

主管  
领导  
审核  
签字

# 数字电子技术基础 试题

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											
阅卷人											

片纸鉴心 诚信不败

## 一、填空与选择 (10分)

1. 下列说法正确的是: \_\_\_\_\_。

- A. TTL 逻辑门的噪声容限表示逻辑门带负载能力。
- B. 对于一个逻辑函数表达式, 最简与或表达式是唯一的。
- C. 集电极开路门(OC)在使用时须在输入端和输出端之间接一电阻。
- D. 同或门当反相器使用时, 将多余的输入端接低电平。

2. 逻辑函数  $F(A,B,C) = (A+\bar{B}+\bar{C})(\bar{A}+B+C)(\bar{A}+B+\bar{C})(\bar{A}+\bar{B}+C)(\bar{A}+\bar{B}+\bar{C})$   
 $= \sum m(\underline{\hspace{2cm}})$ 。

3. 若要构成  $256K \times 16bit$  存储器, 需要 \_\_\_\_\_ 片容量为  $64K \times 4bit$  的存储器, 并且还需要外加 \_\_\_\_\_ 位地址译码以完成寻址操作。

4. 图 1-1 所示电路, 假设初始时刻两个触发器的输出  $Q_1Q_0 = 00$ , 经过 627 个时钟周期触发器的输出  $Q_1Q_0 = \underline{\hspace{2cm}}$ 。

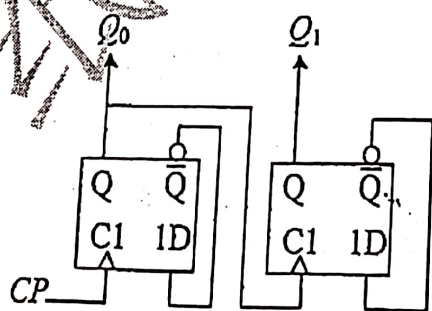


图 1-1

纸张记忆复印店

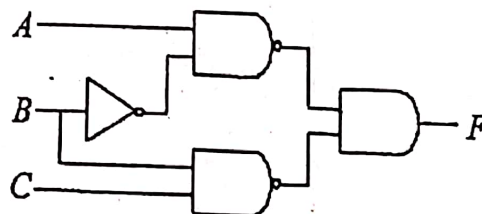


图 1-2

5. 图 1-2 所示的电路 \_\_\_\_\_。

- A. 不产生竞争冒险;
- B. 可能产生 0 态冒险;
- C. 可能产生 1 态冒险;
- D. 0 态、1 态冒险均可能产生。

6. 欲产生序列信号 10110100, 则至少需要 \_\_\_\_\_ 个触发器。

7. 图 1-3 所示的电路中, 有 1 个电路所实现的功能与其它 3 个电路不同, 该电路是\_\_\_\_\_。

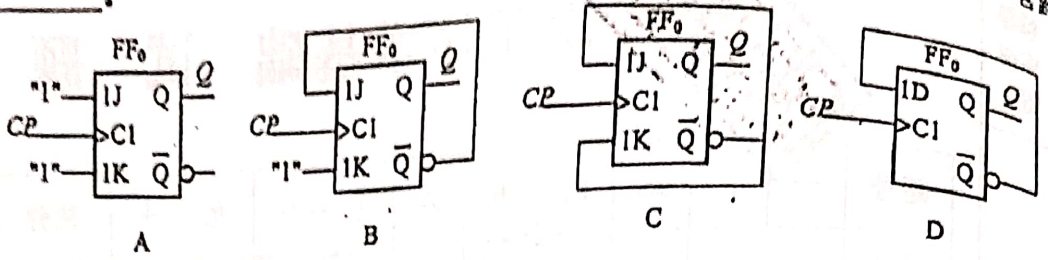


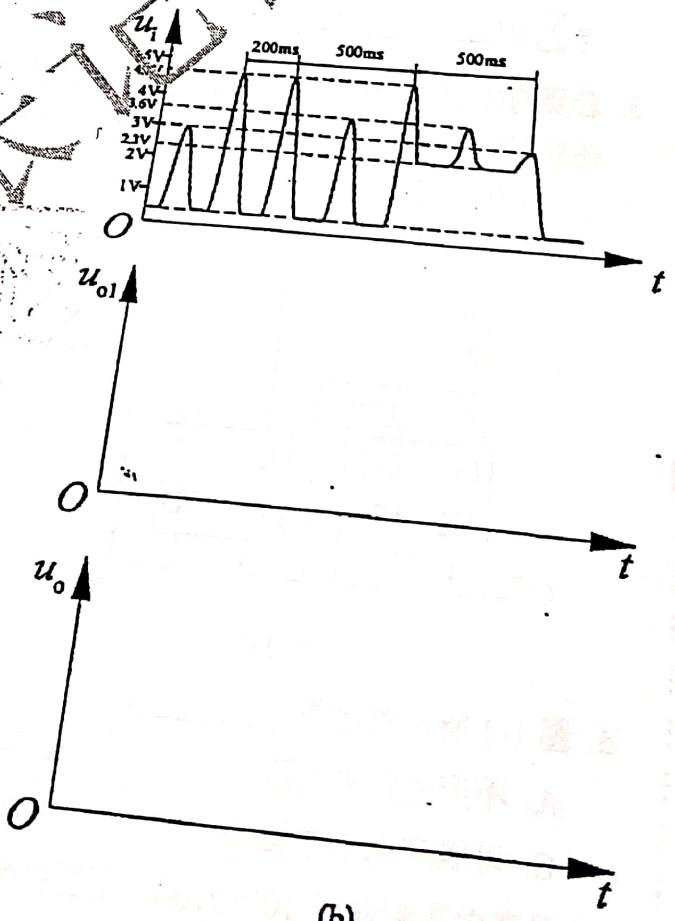
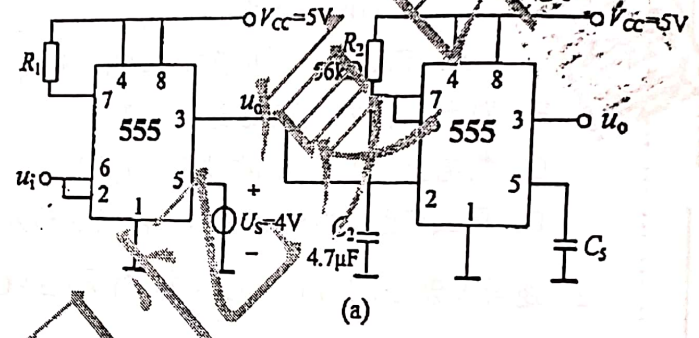
图 1-3

8. 某数模转换器的输入为 10 位二进制数字信号 ( $D_9 \sim D_0$ ), 输出为 0~20.46V 的模拟电压, 该 D/A 转换器的分辨率为\_\_\_\_\_; 当输入数字量为  $(101000000)_2$  时, 输出电压值为\_\_\_\_\_ V。

得分 \_\_\_\_\_

二、简答题: (13 分)

1. 电路如图 2-1(a)所示, 输入信号  $u_i$  如图 2-1(b)所示, 请在图 2-3(I)中画出  $u_{o1}$  和  $u_o$  的波形。



(b)

图 2-1



2. 电路如图 2-2 所示, 图 (a) 中  $G_1$  为 TTL 三态门,  $G_2$  为 TTL 与非门, 图 (b) 为其电压传输特性及输入负载特性曲线。万用表的内阻为  $20\text{k}\Omega / \text{V}$ , 量程为  $5\text{V}$ 。试分别说明在下列情况下, 万用表的读数为多少伏?

- ①  $C=0$ , 开关 S 悬空;
- ②  $C=0$ , 开关 S 接到①端;
- ③  $C=0$ , 开关 S 接到②端;
- ④  $C=0$ , 开关 S 接到③端;
- ⑤  $C=1$ , 开关 S 接到①端。

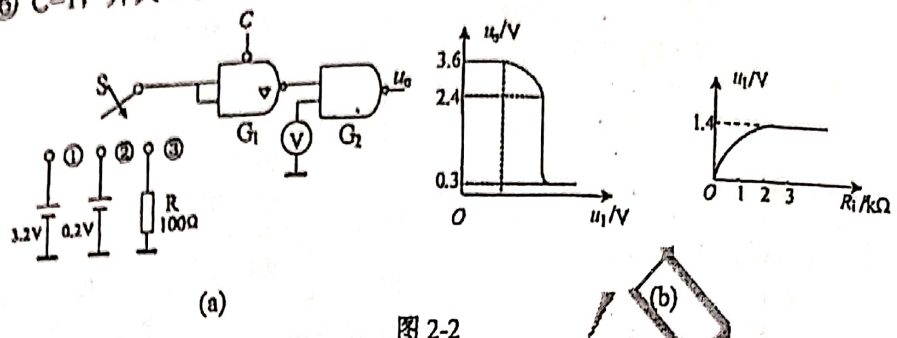


图 2-2

授课教师

姓名

学号

院系

3. 电路如图 2-3(a) 所示, R 为异步清零端, S 为异步置位端, 假设触发器初态  $Q_2Q_1=00$ , 在图 2-3(b) 所示输入波形的作用下, 画出相应的输出波形。

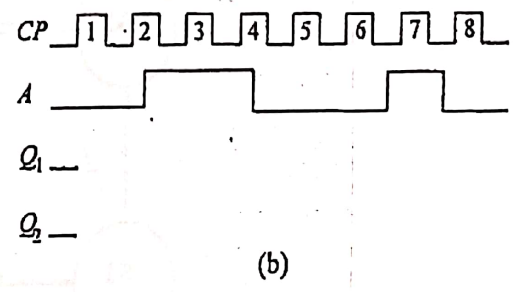
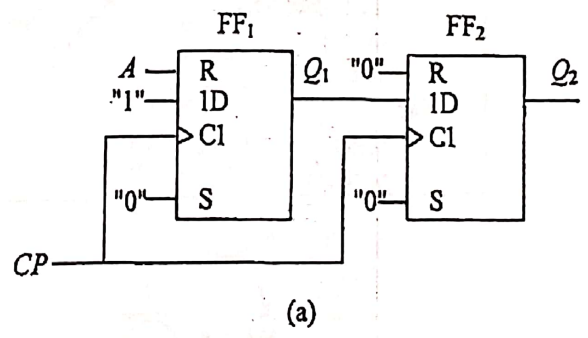


图 2-3

得分

三. 请根据如下所示 Mealy 型状态机的 Verilog 语言描述, 在图 3 所示状态转换图中的横线处填写输入与输出。(4 分)

```

module mealy_machine(clk,din,op);
input clk,din;
output op;
reg[1:0] current_state,next_state;
reg op;
parameter
S0=2'b00,S1=2'b01,S2=2'b10,S3=2'b11;
always@(posedge clk)
begin
current_state <= next_state;
end
always@(current_state or din)
begin
case( current_state )
S0: begin
if (din==0)
begin
next_state = S0;
op = 0;
end
else
begin
next_state = S1;
op = 1;
end
end
S1: begin
if (din==1)
begin
next_state = S1;
op = 1;
end
else
begin
next_state = S2;
op = 0;
end
end
S2: begin
if (din==1)
begin
next_state = S2;
op = 0;
end
else
begin
next_state = S3;
op = 1;
end
end
S3: begin
if (din==0)
begin
next_state = S3;
op = 0;
end
else
begin
next_state = S0;
op = 1;
end
end
default: begin
op = 0;
next_state = S0;
end
endcase
end
endmodule

```

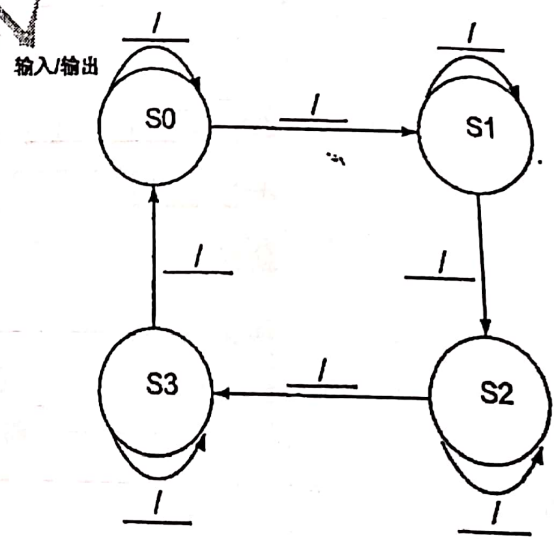


图 3



...一种与输出...  
...时,圆...

得分

四: 电路如图 4 所示,  $[A_1A_0]$ 和 $[B_1B_0]$ 是 2 位二进制数。(1) 分别写出  $L$  和  $P_0$ 关于  $A_0$ 和  $B_0$ 的表达式, 并指出虚线框 I 中电路的功能; (2) 分别写出  $P_1$ 和  $P_2$ 关于  $A_1$ 、 $B_1$ 和  $L$ 的表达式, 并指出虚线框 II 中电路的功能; (3) 说明整个电路的功能。(7 分)

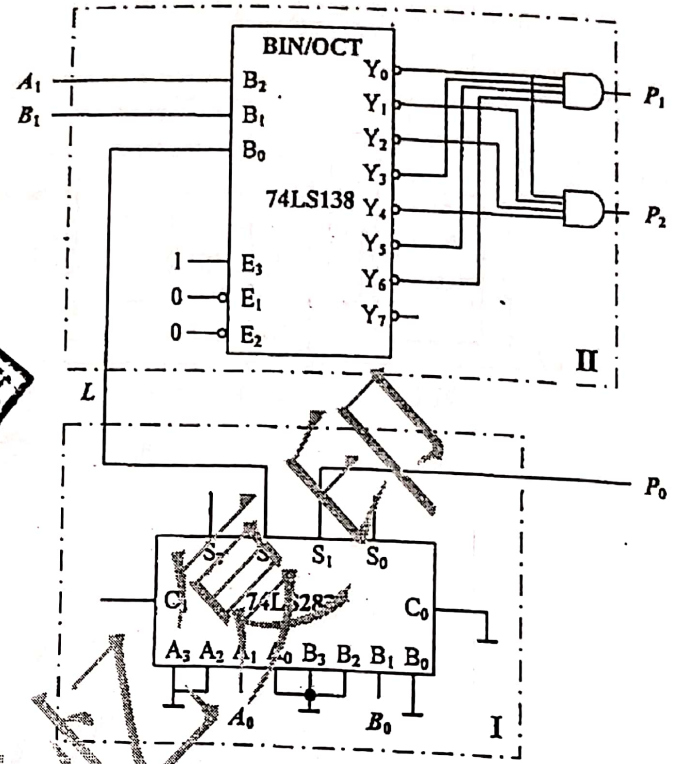


图 4

院系 \_\_\_\_\_ 学号 \_\_\_\_\_ 姓名 \_\_\_\_\_ 授课教师 \_\_\_\_\_

纸张记忆法

纸张记忆法

得分

五. 用 4 个 D 触发器, 设计一个可产生 6 位序列脉冲 000111 的序列脉冲发生器, 要求  $Q_4$  作为输出. (1) 设计并在图 5 中完成该电路(要求: 不允许使用其他元器件和逻辑门); (2) 请画出该电路完整的状态转换图, 并判断该电路是否可以自启动; (8 分)

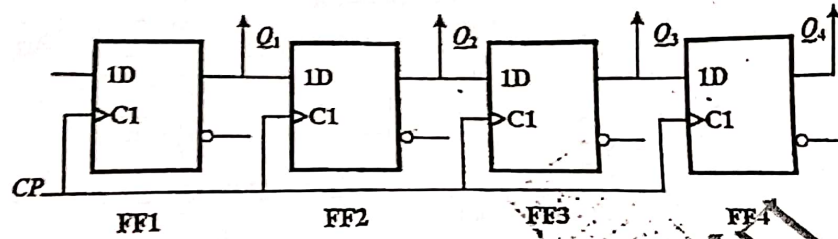


图 5

WUHAN UNIVERSITY



得分

六. 555 定时器、异步十进制计数器 74LS90 和运算放大器组成如图 6 示的电路。试问：(1) 555 定时器构成电路的名称？若已知  $R_1 = 5k\Omega$ ,  $R_2 = 5k\Omega$ ,  $C_1 = 0.1\mu F$ , 求输出  $v_{out}$  信号的周期和占空比；(2) 画出 74LS90 在 CP 脉冲作用下, 输出  $Q_D Q_C Q_B Q_A$  有效循环内的状态转换图；(3) 若已知  $Q_D Q_C Q_B Q_A$  输出的高电平为 3V, 低电平为 0V, 求运放输出  $U_o$  的变化范围。(8 分)

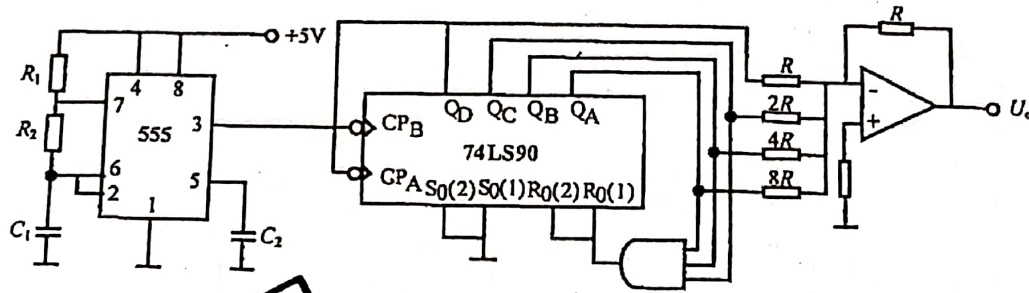


图 6

授课教师

姓名

学号

班

院系

纸张记忆复印店

纸张记忆复印

得分

七. 用计数器 74LS161 (异步清零, 同步置数), EPROM2716 和十六选一数据选择器的电路如图 7 示, 存储器中存储的信息见表 1. (1) 当开关  $S_0$  接到①端, 说明 74LS161 构成多少进制计数器; (2) 写出输出  $Y$  关于十六选一数据选择器选择变量  $A_3, A_2, A_1, A_0$  的最简与或式; (3) 当开关  $S_0$  接到②端, 并假设初始时刻 74LS161 的输出  $Q_D Q_C Q_B Q_A = 0000$ , 若以此时作为电路运行的起始点, 写出  $Y$  输出的序列码 (只写出一个周期的序列码即可). (10分)

表1 EPROM2716存储内容

$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	1	1	1	0
0	0	0	1	1	0	1	0
0	0	1	0	1	1	0	0
0	0	1	1	0	0	1	1
0	1	0	0	1	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	0	0	1	0
0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	1
1	0	0	1	0	1	0	0
1	0	1	0	0	0	1	0
1	0	1	1	0	0	0	1
1	1	0	0	1	1	0	1
1	1	0	1	0	0	1	0
1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	1

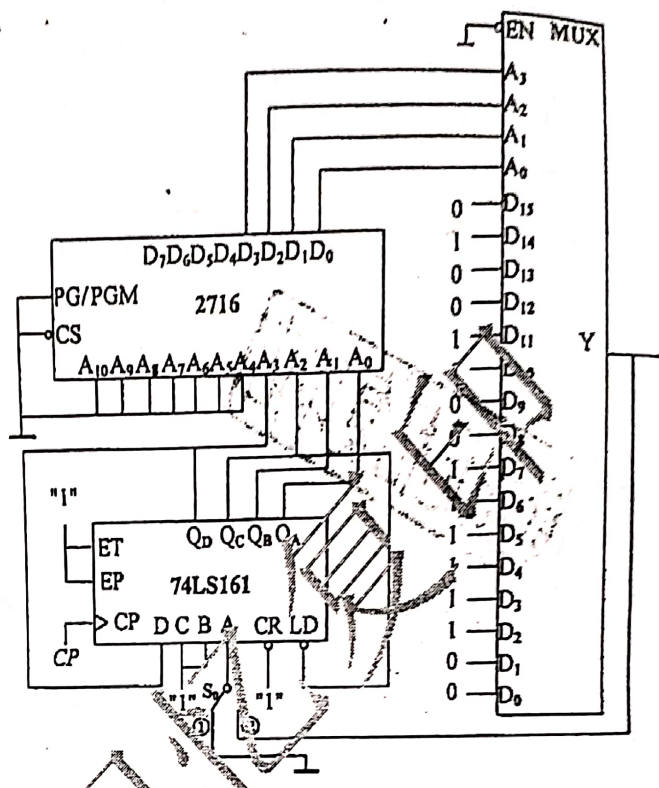


图7



得分

八. 由 JK 触发器、74LS138 译码器、74LS85 四位数码比较器构成的电路如图 8 所示, 74LS138 译码器输出低电平有效, 使能电平为[100], 使能无效时  $\bar{Y}_0$  到  $\bar{Y}_7$  输出均为高电平, (1) 写出 4 个触发器的状态方程; (2) 按照  $Q_3Q_2Q_1Q_0$  的顺序, 画出状态转换图(有效循环即可), 并分析是多少进制的计数器。(10分)

授课教师

姓名

学号

院系

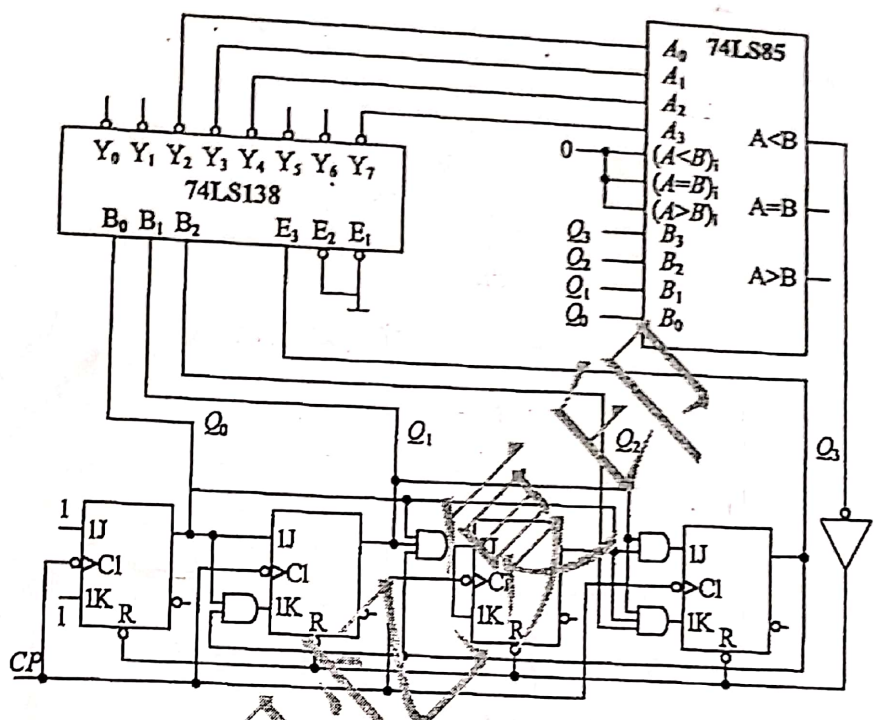


图 8

表 2-7 74LS85 四位数码比较器的功能表

比较输入				串联输入			输出						
$A_3$	$B_3$	$A_2$	$B_2$	$A_1$	$B_1$	$A_0$	$B_0$	$(A>B)_i$	$(A<B)_i$	$(A=B)_i$	$Y_{A>B}$	$Y_{A<B}$	$Y_{A=B}$
$A_3 > B_3$	x	x	x	x	x	x	x	x	x	x	1	0	0
$A_3 < B_3$	x	x	x	x	x	x	x	x	x	x	0	1	0
$A_3 = B_3$	$A_2 > B_2$	x	x	x	x	x	x	x	x	x	1	0	0
$A_3 = B_3$	$A_2 < B_2$	x	x	x	x	x	x	x	x	x	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	x	x	x	x	x	x	x	x	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	x	x	x	x	x	x	x	x	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	x	x	x	x	x	x	x	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	x	x	x	x	x	x	x	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	0	0	1	0	0	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	1	0	0	0	1	0	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	0	1	0	0	0	1	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	0	0	0	0	0	0	0	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	1	1	0	1	0	1	1	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	1	0	1	1	0	1	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	1	0	0	1	1	1	1	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	1	1	0	1	1	1	1	1	1

# 数字电子技术基础 2017 年秋季学期试题答案

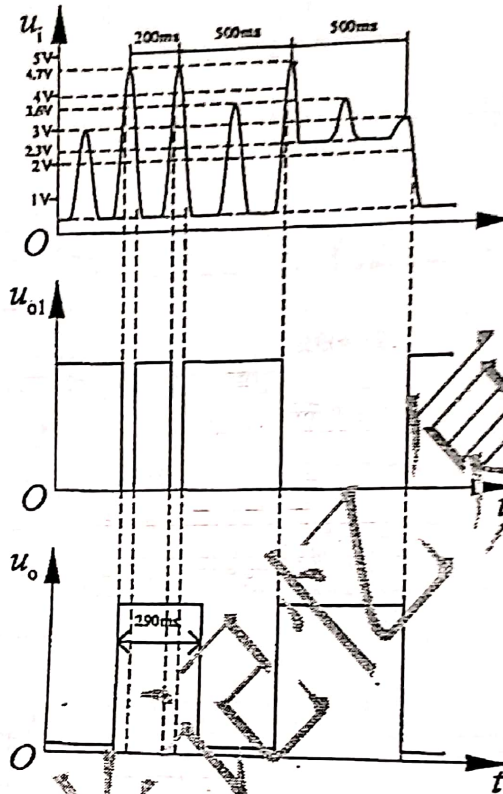
一、共 10 分

(1) D (2) 0,1,2 (3) 16 2 (4) 01 (5) C (6) 3 (7) C (8) 1/1023 (或 10 位) 12.2

二、

1. 共 4 分

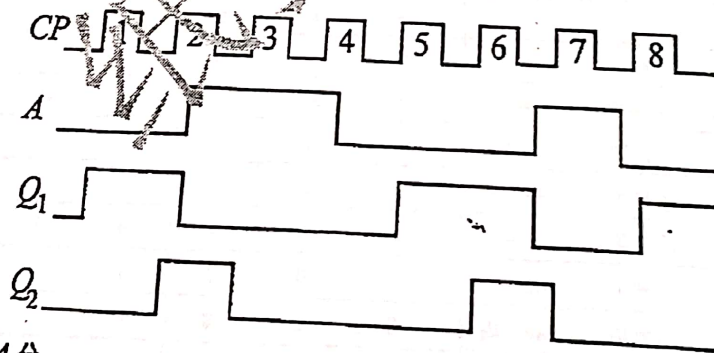
$$t_w = 1.1R_2 * C_2 = 290ms \quad (1 \text{ 分})$$



( $u_i$  波形 2 分,  $u_o$  波形 1 分)

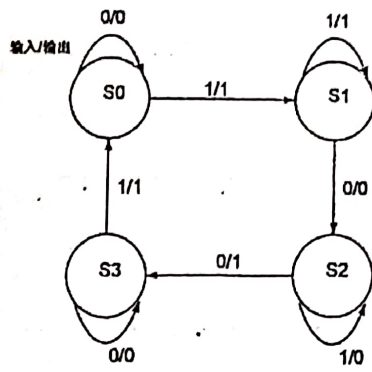
2. 共 5 分 ① 0.3V ② 1.3V ③ 1.4V ④ 1.4V ⑤ 1.4V (每个 1 分)

3. 共 4 分 每个 2 分



三、共 4 分





(共4分, 错一处扣一分, 扣满4分为止)

四、共7分

(1)  $L = A_0 B_0$  .....1分

$P_0 = A_0 \oplus B_0$  .....1分

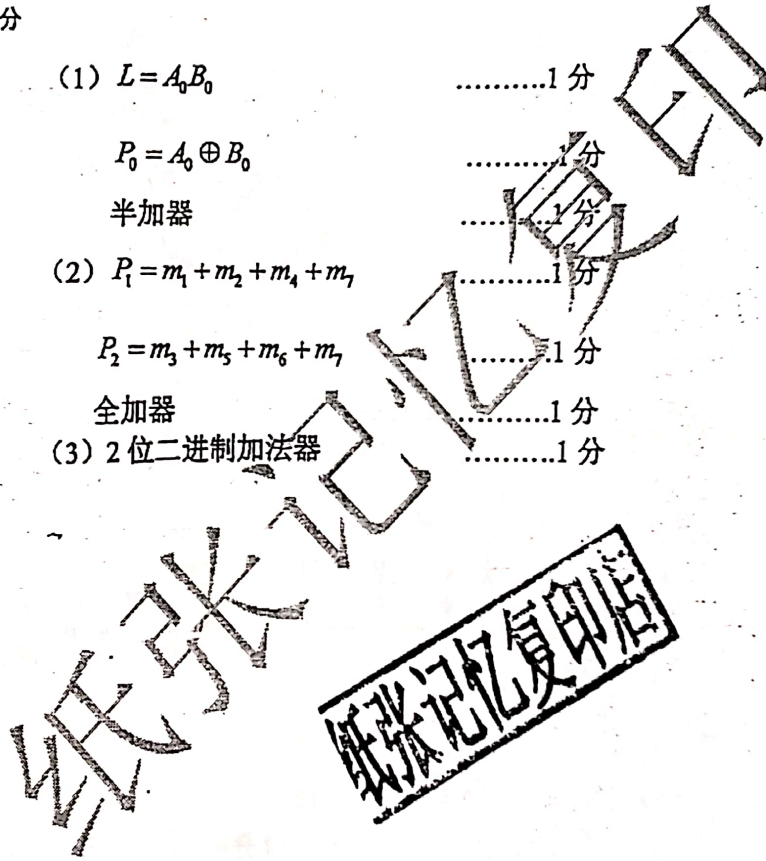
半加器 .....1分

(2)  $P_1 = m_1 + m_2 + m_4 + m_7$  .....1分

$P_2 = m_3 + m_5 + m_6 + m_7$  .....1分

全加器 .....1分

(3) 2位二进制加法器 .....1分



五、共8分

CP	Q <sub>b</sub>	Q <sub>c</sub>	Q <sub>a</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	0	1	1
1	0	0	1	1	1
2	0	1	1	1	0
3	1	1	1	0	0

		Q <sub>b</sub> Q <sub>a</sub>			
		00	01	11	10
Q <sub>b</sub> Q <sub>c</sub>	00	X	1	1	X
	01	X	X	0	X
		Q <sub>b</sub> Q <sub>c</sub>			
		0	X	X	0





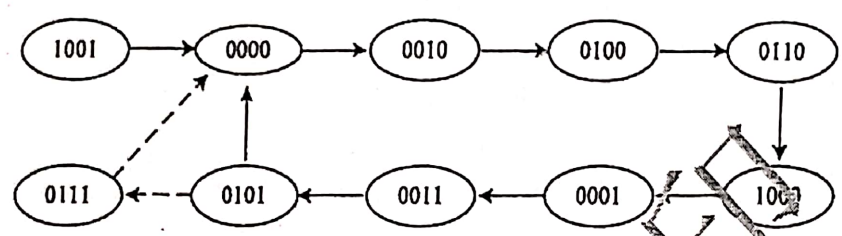
纸张记忆复印店

$$T_2 = 0.7R_2C_1 = 0.35ms$$

$$T = T_1 + T_2 = 1.05ms \quad (1分)$$

$$D = \frac{T_1}{T_1 + T_2} \times 100\% = 66.7\% \quad (1分)$$

(2)



(3分)

(3) -3V-0V (2分, 对一个给1分)

七 (共10分)

(1) 六进制 (3分)

(2)  $Y = \bar{A}_3A_2 + A_1A_0 + \bar{A}_2A_1$  (4分, 卡诺图对但结果错给2分)

(3) 10001 (3分)

八、共10分

驱动方程: (2分, 错一处扣1分, 扣满2分为止)

$$J_0=1 \quad K_0=1$$

$$J_1=Q_0K_1=Q_3Q_0$$

$$J_2=Q_3Q_1Q_0K_2=Q_3Q_1Q_0$$

$$J_3=Q_1Q_0K_3=Q_2Q_1Q_0$$

状态方程: (2分, 错一处扣1分, 扣满2分为止)

$$Q_0^{n+1} = \bar{Q}_0^n$$

$$Q_1^{n+1} = Q_0^n \bar{Q}_1^n + \bar{Q}_3^n Q_0^n Q_1^n$$

$$Q_2^{n+1} = Q_3^n Q_1^n Q_0^n \bar{Q}_2^n + \bar{Q}_3^n Q_1^n Q_0^n Q_2^n$$

$$Q_3^{n+1} = Q_1^n Q_0^n Q_3^n + \bar{Q}_2^n Q_1^n Q_0^n Q_3^n$$

状态转换表: (共3分,  $Q_3Q_2Q_1Q_0$  1分,  $A_3A_2A_1A_0$  1分,  $A < B$  1分)

CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$A_3$	$A_2$	$A_1$	$A_0$	$A < B$
0	0	0	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1	1	0
2	0	0	1	0	1	1	1	1	0
3	0	0	1	1	1	1	1	1	0

纸张记忆复印店

纸张记忆复印店

4	1	0	1	0	1	1	1	0	0
5	1	0	1	1	1	1	0	1	0
6	1	1	0	0	1	0	1	1	1
7	1	1	0	1	1	1	1	1	0
8	1	1	1	0	1	1	1	1	0
9	1	1	1	1	1	1	1	1	0
10	0	0	0	0	1	1	1	1	0

0 → 1 → 2

↑            ↓

11 ← 10 ← 3

(2分)

六进制计数器

(1分)

张记区复印

张记区复印



一、填空和选择题 (8分)

1. TTL与非门的漏电流负载发生在输出\_\_\_\_\_电平情况下, 负载电流越大, 则输出电平越\_\_\_\_\_。(低、高)

2. 图 1-1 所示电路的逻辑功能  $F=$ \_\_\_\_\_。

纸张记忆复印店

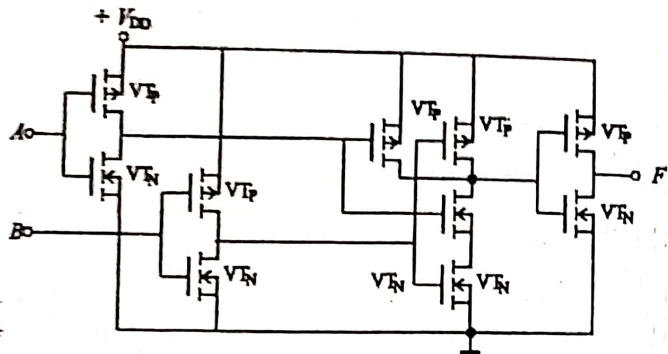


图 1-1

3. 一组组合逻辑电路输入信号的变化顺序有以下三种情况, 当顺序为\_\_\_\_\_时, 将可能出现竞争冒险。

- A. 00→01→11→10 B. 00→11→10→01 C. 00→01→00→10

4. EEPROM 芯片 2816 的存储容量为  $2K \times 8\text{bit}$ , 说明它有\_\_\_\_\_根地址线, \_\_\_\_\_根数据线。

5. 双积分型 A/D 转换器属于\_\_\_\_\_型 A/D 转换器。(直接、间接)

6. AD7524 的电路如图 1-2 所示。图中  $D_0 \sim D_7$  为数据输入,  $\overline{CS}$  为片选信号,  $\overline{WR}$  为写入命令, 电源  $V_{DD} = V_{REF} = +5V$ , 其输出电压为\_\_\_\_\_V。

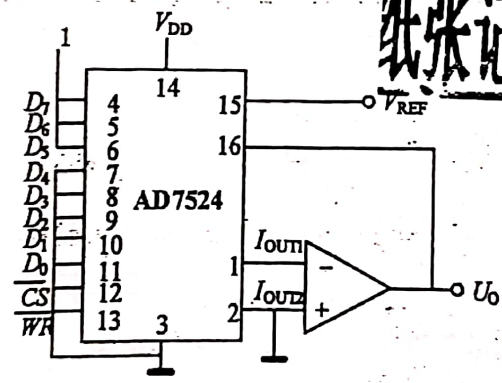


图 1-2

纸张记忆复印店

二、阅读 Verilog 语言程序, 回答问题 (6分)

1. 写出电路的逻辑功能。

```

module abc(clk,q);
  input clk;
  output [3:0] q;
  reg [3:0]q;
  always @ (posedge clk)
  begin
    if (q<4'b0110) //-----①
    begin
      q=q+1;
    end
    else
    begin
      q=4'b0000; //-----②
    end
  end
endmodule
    
```

2. 若要将上面电路改成余三码输出电路, 则需要对①和②处语句做如何修改?

纸张记忆复印 0451-86413025



三、简答题 (16分)

1. 四位并行加法器 74LS283 和四位二进制码比较器 74LS85 组成的电路如图 3-1 所示, 分析电路的逻辑功能。(4分)

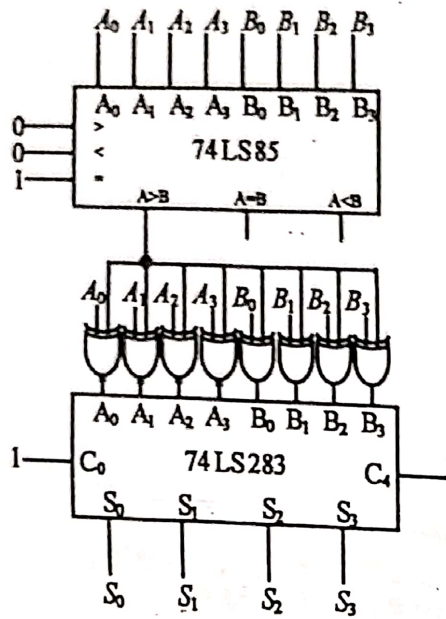


图 3-1

2. 序列脉冲发生器如图 3-2 所示, 移位寄存器 74LS194 的功能表如表 3-1 所示, 分析输出序列 Y=? (4分)

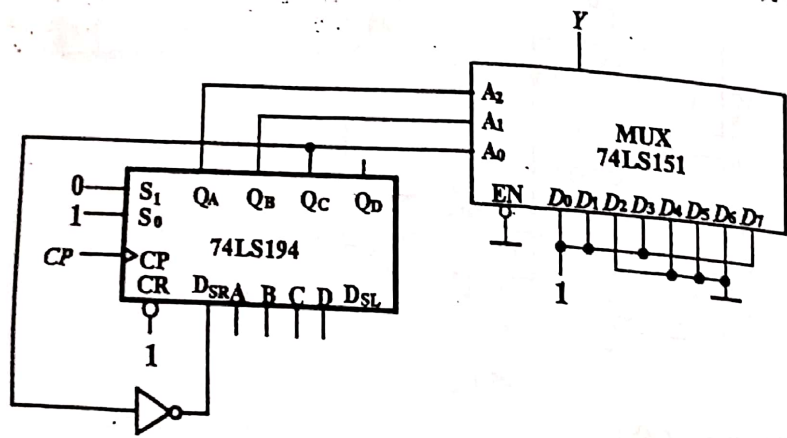


图 3-2

表3-1 74LS194功能表

功能	输 入										输 出			
	CR	S <sub>1</sub>	S <sub>0</sub>	CP	D <sub>srL</sub>	D <sub>srR</sub>	A	B	C	D	Q <sub>A</sub> <sup>n+1</sup>	Q <sub>B</sub> <sup>n+1</sup>	Q <sub>C</sub> <sup>n+1</sup>	Q <sub>D</sub> <sup>n+1</sup>
清零	0	x	x	x	x	x	x	x	x	x	0	0	0	0
保持	1	x	x	0	x	x	x	x	x	x	Q <sub>A</sub> <sup>n</sup>	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>	Q <sub>D</sub> <sup>n</sup>
送数	1	1	1	┌	x	x	A	B	C	D	A	B	C	D
右移	1	0	1	┌	x	1	x	x	x	x	1	Q <sub>A</sub> <sup>n</sup>	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>
右移	1	0	1	┌	x	0	x	x	x	x	0	Q <sub>A</sub> <sup>n</sup>	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>
左移	1	1	0	┌	1	x	x	x	x	x	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>	Q <sub>D</sub> <sup>n</sup>	1
左移	1	1	0	┌	0	x	x	x	x	x	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>	Q <sub>D</sub> <sup>n</sup>	0
保持	1	0	0	x	x	x	x	x	x	x	Q <sub>A</sub> <sup>n</sup>	Q <sub>B</sub> <sup>n</sup>	Q <sub>C</sub> <sup>n</sup>	Q <sub>D</sub> <sup>n</sup>

3. 电路如图 3-3(a)所示, 其输入信号如图 3-3(b)所示, 对应输入波形在其下面画出 S 和 Q 的波形, 已知 Q 的初始状态为 0。(4分)

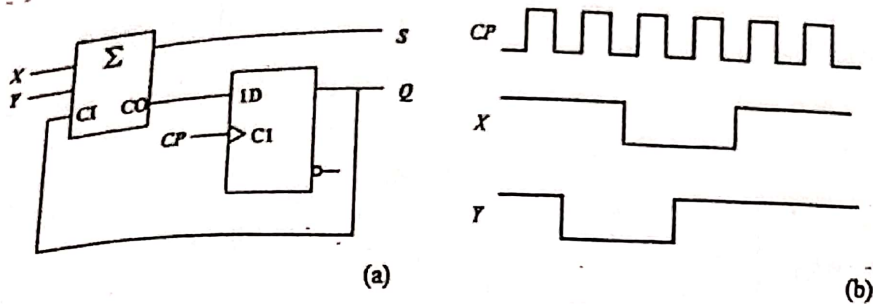


图 3-3

4. 某译码器的真值表如表 3-2 所示, 要求用两片译码器 74LS138 (图 3-4) 仅通过连线, 不使用任何门实现该译码器。(4分)

表 3-2. 译码器真值表

选择输入				译码输出									
D	C	B	A	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$	$Y_8$	$Y_9$
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	0	0	1	1	1	1	1	1	1	1	1	0

纸张记忆复印店

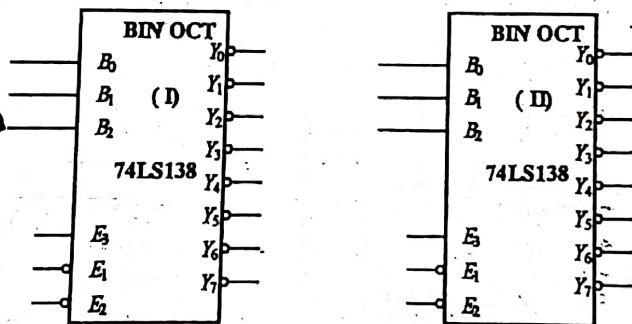


图 3-4

四、试用双四选一数据选择器 74LS153 设计一个 BCD8421 码识别电路, 即要求输入信号 DCBA 为 BCD8421 码时, 输出 Z=1; 其他输入时 Z=0。电路初始连接如图 4 所示, 完成其余连接, 可以使用非门。(10分)

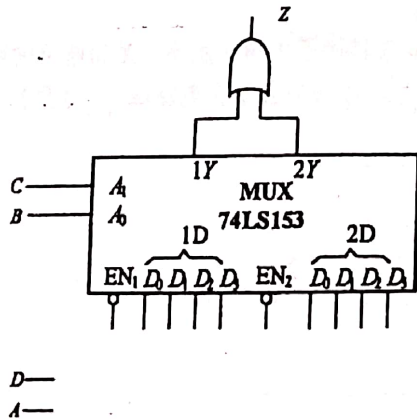
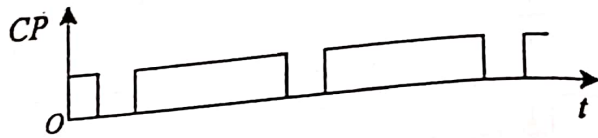
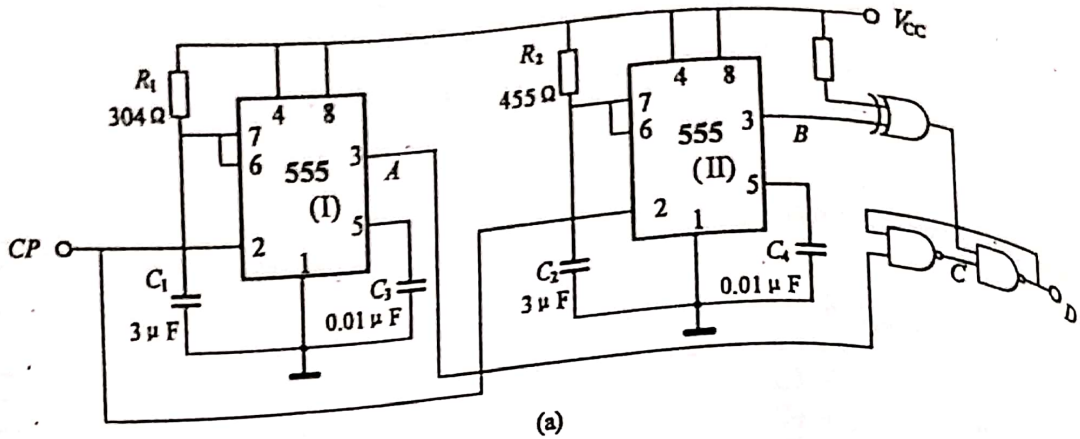


图 4

纸张记忆复印 0451-86413025

五、电路如图 5(a)所示，已知输入 CP 脉冲的周期  $T=2ms$ ，占空比为 80%，其高电平电压为  $V_{cc}$ ，低电平为 0V，如图 5(b)所示，根据电路参数对应 CP 画出 A、B、C、D 各点的波形。(10分)



(b)

图 5

六、电路如图 6 所示，画出虚线框 I 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换图，说明它是多少进制计数器？画出虚线框 II 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换图，说明它是多少进制计数器？两部分电路合在一起为多少进制计数器？(10分)

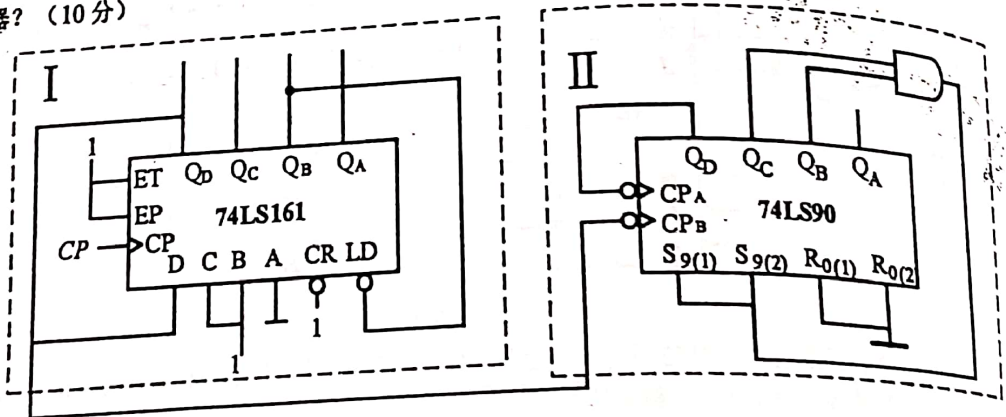


图 6

七、试用上升沿触发的 JK 触发器设计一同步时序电路，其状态转换图如图 7 所示，X 为电路的输入信号，Z 为电路的输出信号，要求列出状态方程、驱动方程和输出方程，不必画出逻辑电路图。(10分)

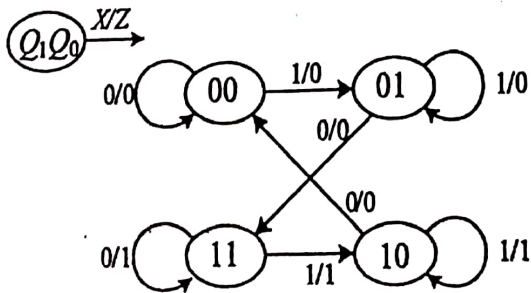


图 7



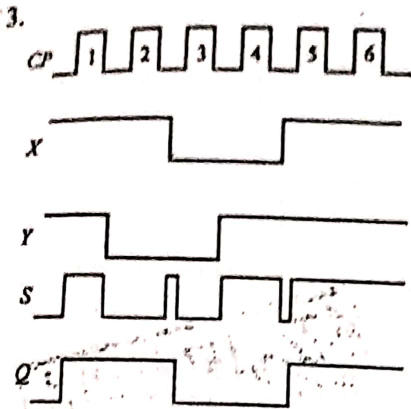
一、1. 低、高 2.  $\overline{A+B}$  3. B 4. 11 8 5. 间接 6. -4.37

二、1. 七进制加法计数器 2. ①处改为:  $q=4'b1100$  ②处改为:  $q=4'b0011$

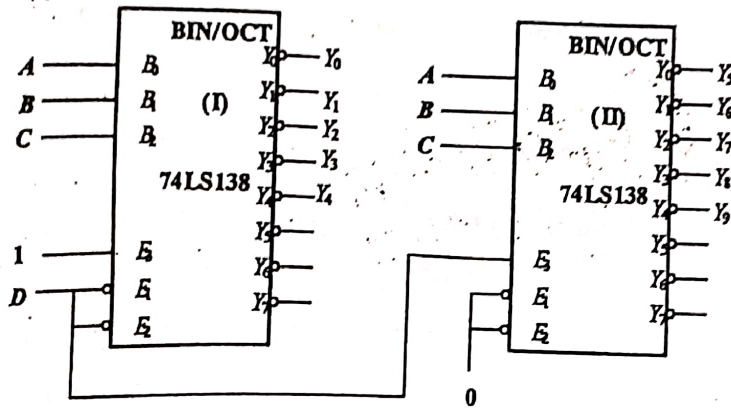
三、简答题

1. 当  $A > B$  时, 实现  $A-B$ ; 当  $A < B$  时, 实现  $B-A$ .

2.  $Y=100111$



4.



四、列真值表如下:

D	C	B	A	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

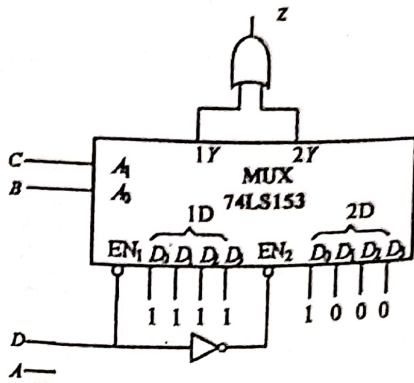
纸张记忆复印 0451-86413025

$$Z(D, C, B, A) = \overline{D}C\overline{B}A + \overline{D}CBA + \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}BA + \overline{D}C\overline{B}\overline{A} + \overline{D}C\overline{B}A + \overline{D}C\overline{B}\overline{A} + \overline{D}CBA + D\overline{C}\overline{B}A + D\overline{C}BA$$

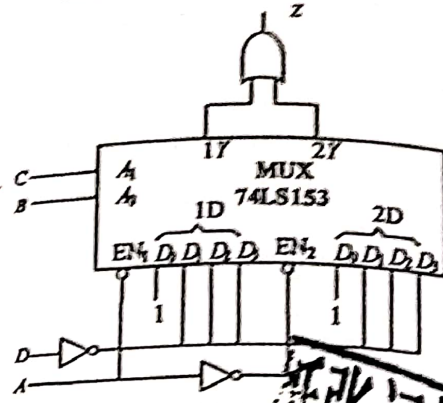
$$= \overline{D}m_3\overline{A} + \overline{D}m_3A + \overline{D}m_7\overline{A} + \overline{D}m_7A + \overline{D}m_5\overline{A} + \overline{D}m_5A + \overline{D}m_6\overline{A} + \overline{D}m_6A + Dm_4\overline{A} + Dm_4A$$

若选 D 作为使能信号，则连接为：

若选 A 作为使能信号，则连接为：



答案 1

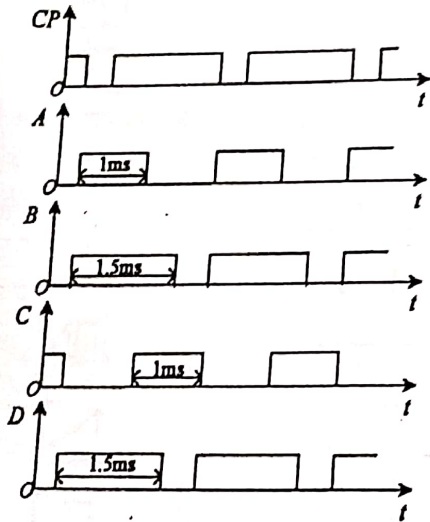


答案 2

五、

$$t_{w1} = 1.1R_1C_1 = 1\text{ms} \quad t_{w2} = 1.1R_2C_2 = 1.5$$

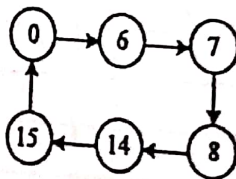
CP 低电平脉冲宽度为 0.4ms，小于两个暂稳态时间，因此 A 和 B 为两个单稳。  
两个与非门构成基本 RS 触发器。



六、虚线框 I 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换表为：

CP	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	1	1	0
2	0	1	1	1
3	1	0	0	0
4	1	1	1	0
5	1	1	1	1
6	0	0	0	0

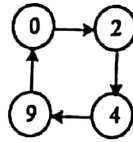
状态转换图如图为：



构成6进制加法计数器。  
虚线框II内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换表为：

$CP_B$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	1	0	0	1
4	0	0	0	0

状态转换图如图为：



构成4进制加法计数器。合在一起为24进制计数器。

七、

状态转换表如下：

$x$	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	0	0	0
1	0	0	0	1	0
1	0	1	0	1	0
0	0	1	1	1	0
1	1	1	1	0	1
0	1	0	0	0	0
0	1	1	1	1	1
1	1	0	1	0	1

纸张记忆复印店

状态方程为：

$$Q_1^{n+1} = \overline{X}Q_0\overline{Q_1} + (X + Q_0)Q_1$$

$$Q_0^{n+1} = X\overline{Q_1}Q_0 + (\overline{Q_1} + \overline{X})Q_0$$

驱动方程为：

$$J_1 = \overline{X}Q_0 \quad K_1 = \overline{X + Q_0} \quad J_0 = X\overline{Q_1} \quad K_0 = XQ_1$$

输出方程为：

$$Z = Q_0Q_1 + XQ_1$$

纸张记忆复印店

纸张记忆复印 0451-86413025