

# 数电

数电 (密码1920)



期末试题汇总 (密码1920)

# 试题



更多资料尽在纸张记忆复印!

每天都在更新中!!

(打印复印洗照片、易拉宝条幅海报都可以做)

本店地址: ①篮球场入口对面纸张记忆 QQ:

软件分享群

②二公寓旁小红楼纸张记忆 QQ:

626648181

③建设银行取款机旁纸张记忆 QQ:

资源社 QQ群

1095529242

打印可以提前发到QQ, 微信, 到店就可以直接取走啦,  
省去了排队的麻烦~~~

# 第一章 数字逻辑基础

## 1.1 数字电路概述

### 1.1.1 数字电路与模拟电路

电子电路根据其处理的信号不同可以分为模拟电子电路和数字电子电路。

#### 1. 模拟信号和模拟电路

模拟信号：在时间和数值上都是连续变化的信号。

模拟电路：处理模拟信号电子电路。

#### 2. 数字信号和数字电路

数字信号：在时间和数值上都是离散（变化不连续）的信号。

数字电路：处理数字信号电子电路。

#### 3. 数字电路的特点

数字电路内部的晶体管（包括单、双极型）主要工作在饱和导通或截止状态；模拟电路内部的晶体管主要工作在放大状态。

数字电路的信号只有两种状态：高电平和低电平，分别对应于（或代表）二进制数中的 1 和 0，表示信号的有或无，便于数据处理。

数字电路结构相对简单，功耗较低，便于集成。

数字电路抗干扰能力强。其原因是利用脉冲信号的有无传递 1 和 0 的数字信息，高低电平间容差较大，幅度较小的干扰不足以改变信号的有无状态。

数字电路不仅能完成数值运算，而且还能进行逻辑运算和比较判断，从而在计算机系统中得到广泛应用。

#### 4. 数字电路的分类

按电路的组成结构可分为分立元件电路和集成电路。

按数字电路集成度可分为小规模、中规模、大规模和超大规模集成电路。

按集成电路内部器件可分为双极型和单级型。

按电路的逻辑功能可分为组合逻辑和时序逻辑电路。

### 1.1.2 脉冲波形参数

数字电路信号中，研究的对象是一些不连续的突变的电信号，作用时间很短，所以也称为脉冲信号。

脉冲信号波形形状很多，主要有方波、矩形波、三角波、锯齿波等。

脉冲幅度  $U_m$ 。脉冲电压变化的最大值，即脉冲波从波底至波顶之间的电压。

上升时间  $t_r$ 。脉冲波前沿从  $0.1U_m$  上升到  $0.9U_m$  所需的时间。

下降时间  $t_f$ 。脉冲波后沿从  $0.9U_m$  下降到  $0.1U_m$  所需的时间。

脉冲宽度  $t_w$ 。脉冲波从上升沿的  $0.5U_m$  至下降沿  $0.5U_m$  所需的时间。

脉冲周期  $T$ 。在周期性脉冲信号中，任意两个相邻脉冲上升沿（或下降沿）之间的时间间隔。

重复频率  $f$ （单位：Hz）。每秒脉冲信号出现的次数，即脉冲周期的倒数： $f=1/T$ 。

占空比  $q$ 。脉冲宽度与脉冲周期的比值， $q=t_w/T$ 。

### 1.2.1 数制与编码

十进制数、十六进制数、二进制数对应关系表



十进制数	十六进制数	二进制数
0	0H	0000B
1	1H	0001B
2	2H	0010B
3	3H	0011B
4	4H	0100B
5	5H	0101B
6	6H	0110B
7	7H	0111B
8	8H	1000B
9	9H	1001B
10	AH	1010B
11	BH	1011B
12	CH	1100B
13	DH	1101B
14	EH	1110B
15	FH	1111B



哈工大21级新生交流群  
群号：821109519



扫一扫二维码，入群聊。



哈工大资源分享站  
QQ：2842305604



扫一扫二维码，加我QQ好友。

# 数字电子技术基础学习笔记

## 数字电子技术基础学习笔记

### 一、正逻辑与负逻辑

#### 正逻辑

门电路的输入、输出电压的高电平定义为逻辑“1”，低电平定义为逻辑“0”。

#### 负逻辑

门电路的输入、输出电压的低电平定义为逻辑“1”，高电平定义为逻辑“0”。

同一个逻辑门电路，在正逻辑定义下如实现与门功能，在负逻辑定义下则实现或门功能。数字系统设计中，不是采用正逻辑就是采用负逻辑，而不能混合使用。

### 二、集成电路

由于集成电路体积小、重量轻、可靠性好，因而在大多数领域里迅速取代了分立器件组成的数字电路。在数字集成电路发展的历史过程中，首先得到推广应用的是双极型的TTL电路。

然而，TTL电路存在着一个严重的缺点就是功耗比较大。所以用TTL电路只能做成小规模集成电路 (SmallScaleIntegration, 简称SSI, 其中仅包含10个以内的门电路) 和中规模集成电路 (MediumScaleIntegration, 简称MSI, 其中包含10~100个门电路), 而无法制作成大规模集成电路 (LargeScaleIntegration, 简称LSI, 其中包含1000~10000个门电路) 和超大规模集成电路

(Very Large Scale Integration, 简称 VLSI, 其中包含 10000 个以上的门电路)。CMOS 集成电路最突出的优点在于功耗极低, 所以非常适合于制作大规模集成电路。随着 CMOS 制作工艺的不断进步, 无论在工作速度还是在驱动能力上, CMOS 电路都已不比 TTL 电路逊色。因此, CMOS 电路便逐渐取代了 TTL 电路而成为当前数字集成电路的主流产品。

### 三、CMOS 电路的正确使用

#### 1 、输入电路的静电防护

虽然在 CMOS 电路的输入端已经设置了保护电路, 但由于保护二极管和限流电阻的几何尺寸有限, 它们所能承受的静电电压和脉冲功率有一定的限度。

由于各种原因产生的静电电压有时可高达数千伏, 若将这个静电电压加到 CMOS 电路的输入端, 将足以将电路损坏。为防止由静电电压造成的损坏, 应注意以下几点:

在存储和运输 CMOS 器件时不要使用易产生静电高压的化工材料和化纤织物包装, 最好采用金属屏蔽层做包装材料。

组装、调试时, 应使电烙铁和其他工具、仪表、工作台台面等良好接地。操作人员的服装和手套等应选用无静电的原料制作。

不用的输入端不应悬空。

#### 2 、输入电路的过流保护

由于输入保护电路中的钳位二极管电流容量有限, 一般为 1mA, 所以在可能出现较大输入电流的场合必须采取以下保护措施:

输入端接低内阻信号源时，应在输入端与信号源之间串进保护电阻，保证输入保护电路中的二极管导通时电流不超过 1mA

输入端接有大电容时，亦应在输入端与电容之间接入保护电阻。

输入端接长线时，应在门电路的输入端接入保护电阻。

#### 四、CMOS数字集成电路的各种系列

4000 系列、HC/HCT系列、AHC/AHC系列、VHC/VHC系列、LVC系列、ALVC系列等。

#### 五、TTL门电路

1 、TTL门电路采用双极型三极管作为开关器件。一个独立的双极型三极管由管芯、三个引出电极和外壳组成。三个电极分别称为基极(base)、集电极(collector)和发射极(emitter)。分NPN和PNP型两种，因为在工作时有电子和空穴两种载流子参与导电过程，故称这类三极管为双极型三极管(Bipolar Junction Transistor, 简称BJT)。

反相器是TTL集成门电路中电路结构最简单的一种，这种类型电路的输入端和输出端均为三极管结构，所以称为三极管-三极管逻辑电路(Transistor-Transistor Logic), 简称TTL电路。和CMOS电路中的OD输出结构门电路类似，在TTL电路中也有集电极开路(Open Collector)输出结构的门电路。

#### 2 、TTL数字集成电路的各种系列

TI 公司最初生产的 TTL电路取名为 SN54/74系列，我们称它为 TTL基本系列。后又相继生产了 74H、74L、74S、74LS、74AS、74ALS、74F 等改进系列。



哈工大21级新生交流群  
群号：821109519



扫一扫二维码，入群聊。



哈工大软件分享中心  
群号：626648181



扫一扫二维码，入群聊。



哈工大资源分享站  
QQ：2842305604



扫一扫二维码，加我QQ好友。



哈工大二手市场[一...]  
群号：744900487



扫一扫二维码，入群聊。



# 哈工大网盘计划简介

## 1.项目初衷

鉴于 (1) 哈工大各类 QQ 群内学习资料多且繁杂, 而文件文字太多会导致文件被 tx 屏蔽或者降低 QQ 群信用星级; (2) 校内诚信复印和纸张记忆资料质量较差; (3) 很多营销号在卖资料且售价很高; (4) 学长学姐的自编材料很好, 还想分享给下一届; 等问题, 网盘计划应运而生! 哈尔滨工业大学网盘计划**旨在将哈工大的各类学习资料进行归类整理, 并且以网盘的形式发出来**, 历时一年, 现已小成, 扫描了上百份试题文档及实验报告, 归类整理了近 50 个 G 的学习资料给大家, 前期投入高达上千元, 现入不敷出, 如果您希望网盘计划继续运营下去的话, 欢迎通过以下方式进行捐赠。



推荐使用微信支付



## 2.网盘计划成就 (密码 1920)

哈工大网盘计划  
密码1920



微信公众号二维码



数字电子技术基础 (密码1920)



**腾讯自动屏蔽以上链接, 请用浏览器扫一扫**

# 数字电子技术基础 试题

题号	一	二	三	四	五	六	七	总分
得分								
阅卷人								

## 片纸鉴心 诚信不败

### 一、填空与选择判断(共 12 分)

1. 已知函数  $F=AB+BC$ ，令  $F=1$  的输入  $ABC$  组合为\_\_\_\_\_。

- a.  $ABC = 000$     b.  $ABC = 010$     c.  $ABC = 101$     d.  $ABC = 110$

2. 判断下述说法是否正确，正确者在其后( )内打√，反之打×。

(1) 门电路的噪声容限越小，抗干扰能力越强。( )

(2) TTL 或非门的多余输入端，可以通过  $10k\Omega$  电阻接地处理。( )

(3) 三态门输出高阻态时，其输出端相当于悬空。( )

3. 集电极开路门在工作时，必须外加\_\_\_\_\_和\_\_\_\_\_。

4. 逻辑电路如图 1.1 所示。当  $X=1$ ， $\bar{S}=0$ ， $\bar{R}=1$  时，电路的输出状态为\_\_\_\_\_。

- a. 高阻态    b. 0 态    c. 1 态

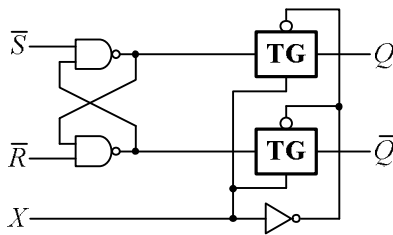


图 1.1

5. 已知 8 位 D/A 转换器的最大输出电压是  $9.945V$ ，当输入代码为  $(10111001)_2$  时，转换器输出的电压为\_\_\_\_\_V。(小数点后保留 3 位有效数字)

6. 已知某 D/A 转换器的输出误差  $\Delta U_0$  与数字量  $D$  值无关，在一定温度条件下，该误差为恒定值，这种误差产生的原因是\_\_\_\_\_。

7. 由 RAM6116 组成的电路如图 1.2 所示，试分析电路中 RAM 的总容量为\_\_\_\_\_ bit；寻址范围为\_\_\_\_\_ H~\_\_\_\_\_ H。

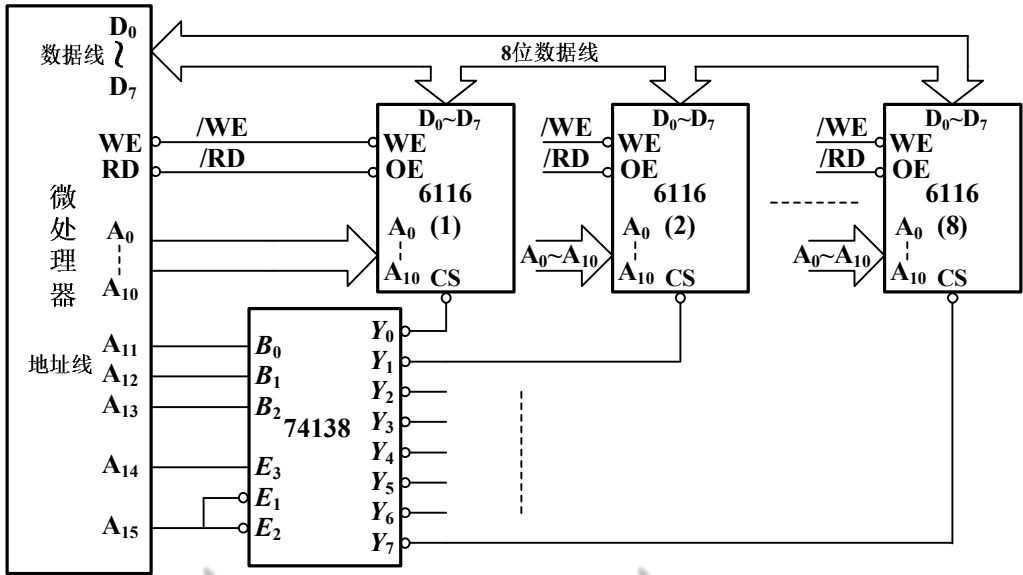


图 1.2

二、简答题：(15分)

- 已知用逻辑分析仪测得某组合逻辑电路的输入和输出工作波形如图 2.1 所示。试求：
  - 请分别画出电路输出  $Y_1$ 、 $Y_2$  的函数卡诺图；
  - 化简并写出  $Y_1$  的最简与-或式， $Y_2$  的最简与-或非式；
  - 设  $F=Y_1+Y_2$ ，化简求  $F$  的最简与-或式。

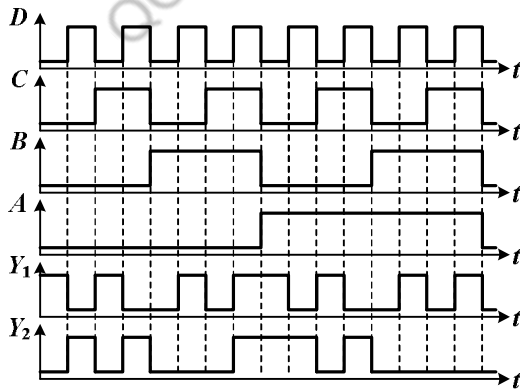


图 2.1

- 逻辑电路如图 2.2 所示，试分析并列写电路的输出逻辑函数表达式(不用化简! )。

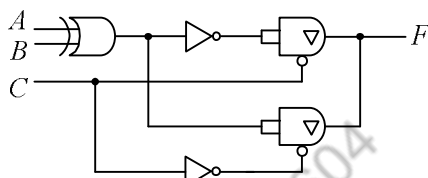


图 2.2

3. 由集成双向移位寄存器 74LS194 构成的序列信号发生电路如图 2.3(a)所示, 设移位寄存器的输出  $Q_D Q_C Q_B Q_A$  的初态为“0101”。在图 2.3(b)所示时钟  $CP$  控制下, 试画出  $F$  端的工作波形。

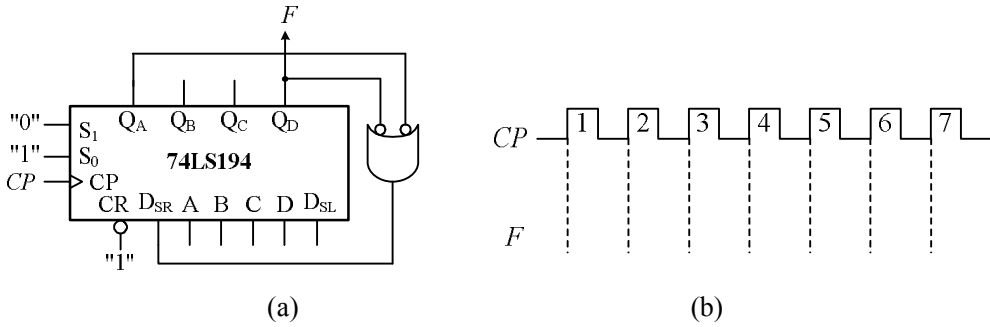


图 2.3

4. 并行比较型 A/D 转换电路如图 2.4 所示, 设  $U_{REF} = +10V$ 。试求:

- (1) 图示转换电路的最大量化误差值;
- (2) 当电路输入  $U_I = 4V$  时, 电路输出的 3 位二进制数码  $CBA$  为何值? 。

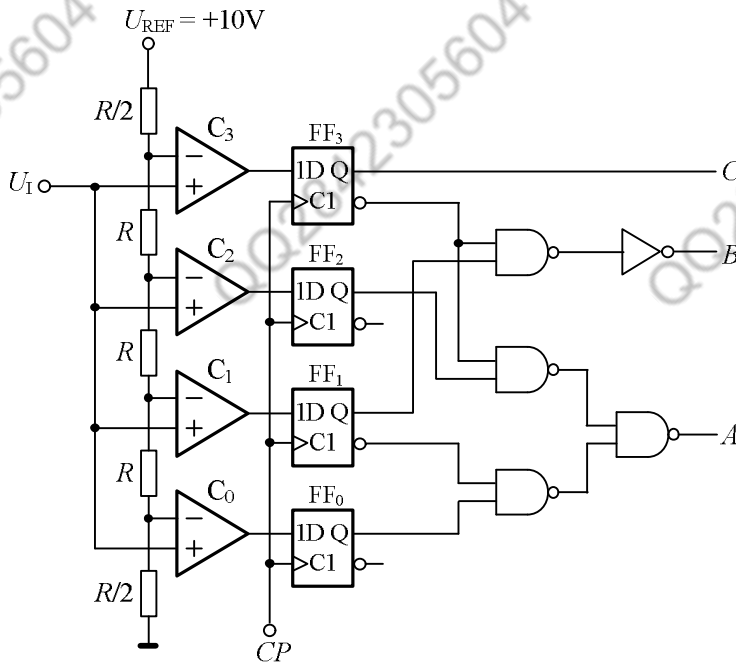


图 2.4

三、已知逻辑电路如图 3 所示, 图中  $X_2$ 、 $X_1$ 、 $X_0$  为输入变量,  $K$  为控制变量,  $Y_2$ 、 $Y_1$ 、 $Y_0$  为输出。试求: (7 分)

- (1) 列写电路输出  $Y_2$ 、 $Y_1$ 、 $Y_0$  的函数表达式(不用化简!);
- (2) 当  $K=0$  和  $K=1$  时, 试分析并分别写出电路的逻辑功能。

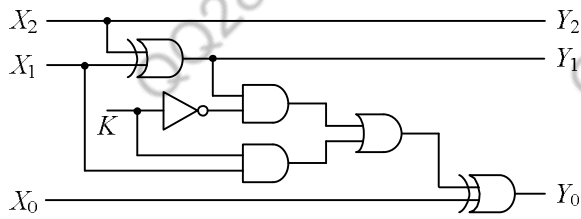


图 3

四、请用数据选择器 74LS153 和 2 个 D 触发器设计一个时序逻辑电路。功能要求：输入  $XY=00$  时，执行加法计数；输入  $XY=01$  时，执行减法计数，输入  $XY=10$  时，执行同步清零功能。试求：(8 分)

- (1) 完整填写表 4.1 中的内容。
- (2) 求电路的状态方程。
- (3) 在图 4 中完成电路设计。(只允许增加尽可能少的非门电路!)

表 4.1

$X$	$Y$	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$

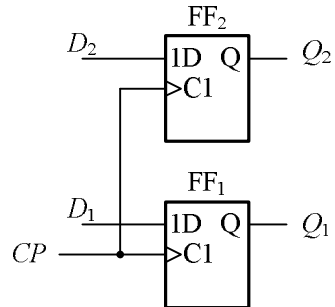
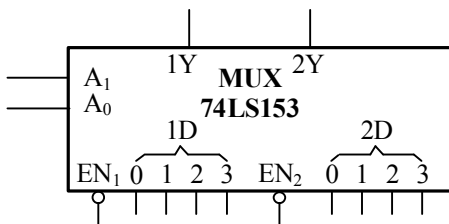


图 4

五、电路如图 5(a)所示，74LS161 为大规模集成同步加法计数器，74LS90 为大规模集成异步加法计数器，74LS85 为大规模四位数码比较器。设时钟  $CP$  的频率为 92 Hz，计数器的初态均为“0000”。试求：(12 分)

1. 当开关  $S$  切换至触点②接高电平时，请按照  $Q_D Q_C Q_B Q_A$  的顺序，画出 74LS161 构成电路的状态转换图(画出有效状态即可!);

2. 当开关  $S$  切换至触点②时，在 74LS161 输出有效状态的驱动下，要求数码管依次显示如图 5(b)所示字型“HIT100”。为实现此功能，请将表 5.1 所示 2716 存储数据表中，与显示字型相关的地址单元中的存储数据补充完整。



3. 设开关 S 切换至触点①，计数器的初态均为“0000”。试分析计算 74LS161 输出端  $Q_D$  的输出信号周期和占空比。

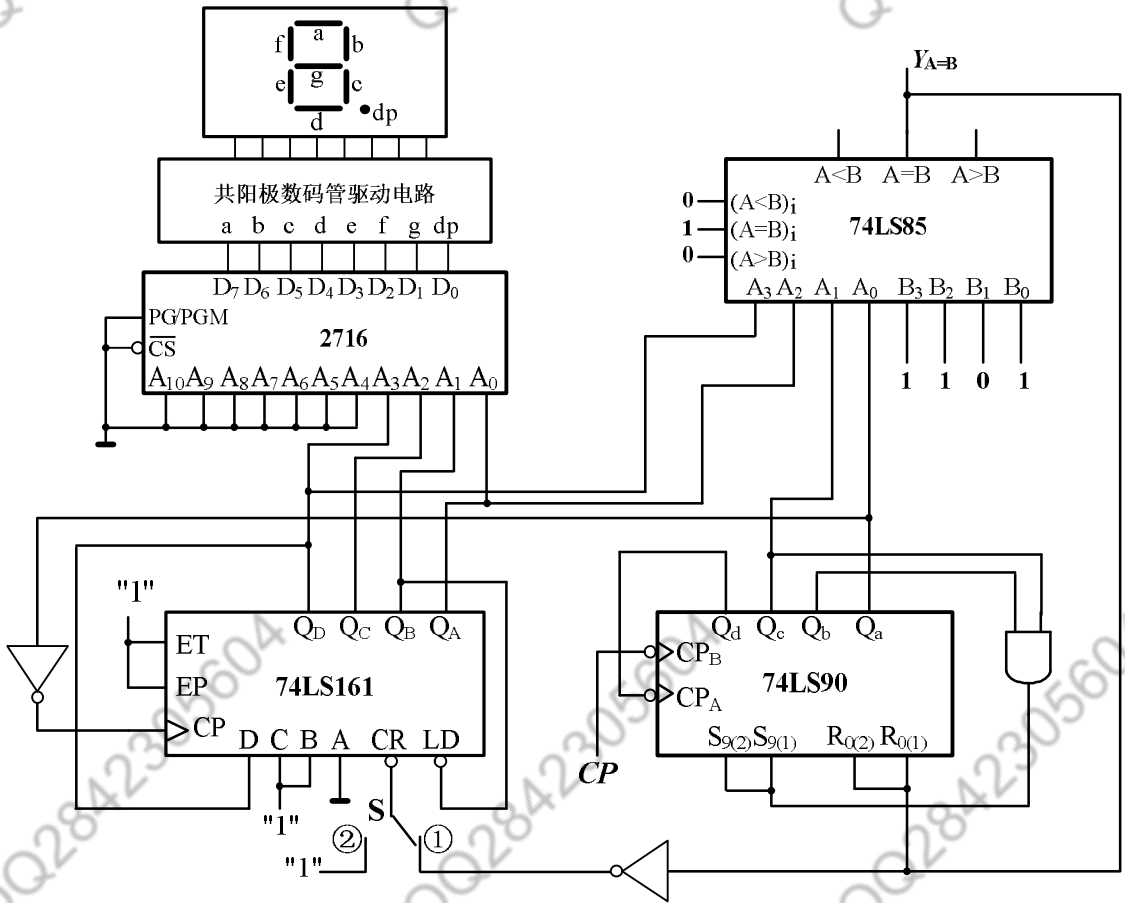


图 5 (a)

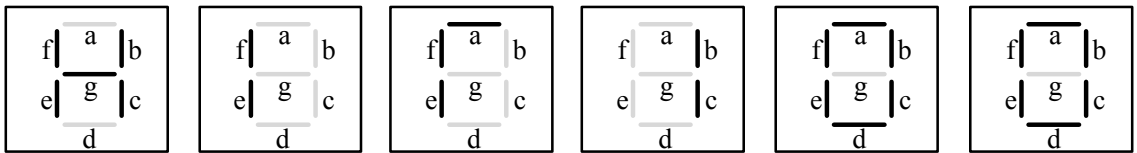


图 5 (b)

表 5.1 EPROM 2716 存储数据表

$A_3$	$A_2$	$A_1$	$A_0$	存储数据(十六进制)	$A_3$	$A_2$	$A_1$	$A_0$	存储数据(十六进制)
0	0	0	0	$(91)_{16}$	1	0	0	0	
0	0	0	1		1	0	0	1	
0	0	1	0		1	0	1	0	
0	0	1	1		1	0	1	1	
0	1	0	0		1	1	0	0	
0	1	0	1		1	1	0	1	
0	1	1	0		1	1	1	0	
0	1	1	1		1	1	1	1	

六、由 555 定时器构成的救护车扬声器发音电路如图 6 所示。设 555 定时器的输出  $U_{OH}=11V$ ,  $U_{OL}=0V$ , 输出电阻可忽略不计。在图示电路参数下, 试求: (小数点后保留 2 位有效数字) (8 分)

- (1) 写出 555 定时器(I)所构成电路功能;
- (2) 当  $u_{o1}$  输出高电平时, 计算扬声器的高音频率及高音持续时间;
- (3) 当  $u_{o1}$  输出低电平时, 计算扬声器的低音频率及低音持续时间。

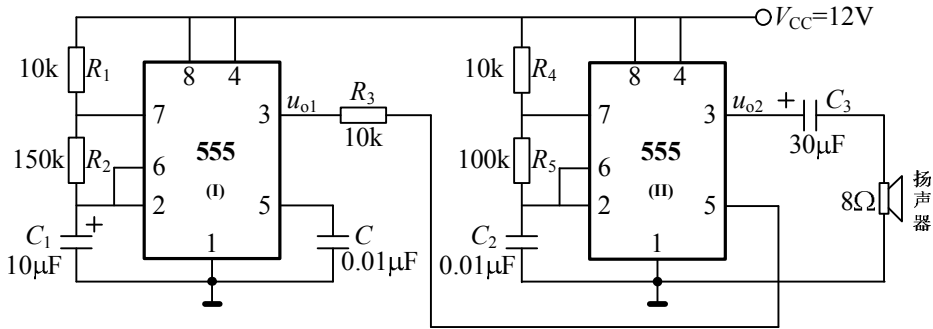


图 6

七、试分析: (8 分)

1. 根据下面 Verilog HDL 语言的描述, CLK 为周期  $T_{cp}$  的时钟信号, RST\_n 为复位信号, LD\_n 为置数信号, ET 为计数使能信号, RCO 为进位输出信号, DataIn 为并行输入数据。如果来实现低电平异步清零, 低电平同步置数的 10 进制加法计数器, 在①②③中填入适当的语句。

<pre> module Counter(CLK,RST_n,ET,LD_n,DataIn,Data,RCO); input  CLK; input  RST_n; input  ET; input  LD_n; input[3:0] DataIn; output reg[3:0] Data; output  RCO; parameter Model = __①__; always@(posedge CLK or negedge RST_n) begin     if(!RST_n)     begin         __②__;     end     else if(!LD_n)     begin         __③__;     end end                     </pre>	<pre>                     else if(ET)                     begin                         if(Data== Model)                         begin                             Data &lt;= 4'd0;                         end                         else                         begin                             Data &lt;= Data + 4'd1;                         end                     end                     else                     Data &lt;= Data;                 end                 assign RCO = (Data == Model &amp;&amp; ET)? 1'b1:1'b0;             endmodule                     </pre>
--	--

2. 在完成上题 1 的前提下，请在下面程序中采用实例化的方法，完成①②③的程序，实现 10000 进制计数器。

```
module TimeSet(CLK,RST_n,ET,LD_n,Data,CO);
input  CLK;
input  RST_n;
input  ET;
input  LD_n;
output[15:0] Data;
output  CO;
wire[3:0] RCO;
assign CO = RCO[3];
Counter
cnt1(.CLK(CLK),.RST_n(RST_n),.ET(ET),.LD_n(LD_n),.DataIn(4'b0000),.Data(Data[3:0]),.RCO(RCO[0]));
Counter cnt2(.CLK(CLK),.RST_n(RST_n),.LD_n(LD_n),.DataIn(4'b0000),__①__);
Counter cnt3(.CLK(CLK),.RST_n(RST_n),.LD_n(LD_n),.DataIn(4'b0000),__②__);
Counter cnt4(.CLK(CLK),.RST_n(RST_n),.LD_n(LD_n),.DataIn(4'b0000),__③__);
endmodule
```

机器人技术 (密码1920)



近世代数 (密码1920)



集合论与图论 (密码1920)



机械原理 (密码1920)



哈尔滨工业大学 2020 学年 春 季学期  
数字电子技术基础 试题

一、填空与选择判断(共 12 分)

1. d
2. (1) ( × )    (2) ( × )    (3) ( √ )
3. 电源、上拉电阻(电阻)
4. c
5. 7.215 V
6. 运放的零点漂移(零漂或温漂)。
7. 16K×8(=128K) bit; 4000 H~7FFF H

二、简答题: (15 分)

1. (6 分)

(1) 函数卡诺图略;

(2)  $Y_1 = \overline{B}\overline{D} + BD$

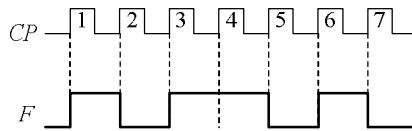
$$Y_2 = \overline{AB + CD + BC + AD}$$

(3)  $Y_1 + Y_2 = \overline{B} + D$

2. (3 分)

$$F = A \oplus B \odot C = \overline{A \oplus B \oplus C} \dots\dots\dots(3 \text{ 分})$$

3. (3 分)



(b)\* .....(3 分)

4. (3 分)

(1) 最大量化误差值——1.25V。

(2)  $CBA$  为 010

三、(7 分)

答: (1)  $Y_2 = X_2$

$$Y_1 = X_2 \oplus X_1$$

$$K = 0 \Rightarrow Y_0 = X_2 \oplus X_1 \oplus X_0; \quad K = 1 \Rightarrow Y_0 = X_1 \oplus X_0$$

(2) 当  $K=0$  时，电路实现从 3 位循环码到 3 位自然二进制码的转换。

(3) 当  $K=1$  时，电路实现从 3 位自然二进制码到 3 位格雷码(循环码)的转换。

$X$	$Y$	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	x	x	x	x

四、 (8 分)

(1)表 4.1 画真值表或函数卡诺图

(2)

$$Q_2^{n+1} = \bar{X} (\bar{Y}Q_2^n Q_1^n + \bar{Y}Q_2^n \bar{Q}_1^n + Y\bar{Q}_2^n Q_1^n + YQ_2^n \bar{Q}_1^n)$$

$$Q_1^{n+1} = \bar{X}(\bar{Y}Q_2^n \bar{Q}_1^n + \bar{Y}Q_2^n Q_1^n + Y\bar{Q}_2^n \bar{Q}_1^n + YQ_2^n Q_1^n) = \bar{X}(Q_2^n \bar{Q}_1^n + Q_2^n Q_1^n) = \bar{X}Q_2^n \quad (\text{化简不化简都行})$$

(3)

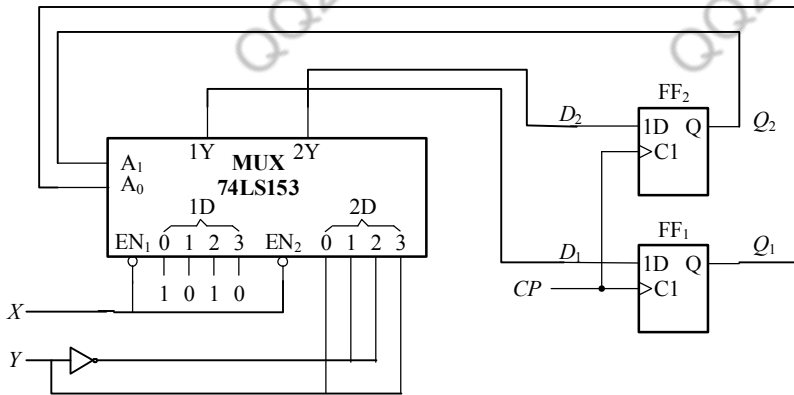


图 4\*

D 端、Q 端接对

X 接对, Y 接对.....(4 分)

注意: 2Y, 1Y 可互换, 对应  $D_i$  部分互换就行;

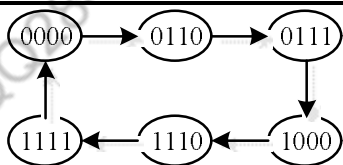
$EN_2$  必须接 X,  $A_1A_0$  可接 Y,  $Q_2$  或  $Q_1$ , 如果接  $YQ_2$ ,  $D_3-D_1$  为  $Q_1, \bar{Q}_1^n, Q_1$ ;

$EN_1$  使能可接地, 能实现  $Q_1^{n+1} = \bar{X}Q_1^n$  就行, 若  $A_1A_0$  接  $Q_2Q_1$ ,  $D_0, D_2$  接  $\bar{X}$ ,  $D_1, D_3$  接 0)

五、 (12 分)

1.





若按异步置数功能分析，缺少 0000 和 1000 两个状态，变成四进制则酌情给 1 分，其余不给分。

2. 表 5.1 EPROM 2716 存储数据表

$A_3$	$A_2$	$A_1$	$A_0$	存储数据 (十六进制)	$A_3$	$A_2$	$A_1$	$A_0$	存储数据 (十六进制)
0	0	0	0	(91) <sub>16</sub>	1	0	0	0	(9F) <sub>16</sub>
0	0	0	1		1	0	0	1	
0	0	1	0		1	0	1	0	
0	0	1	1		1	0	1	1	
0	1	0	0		1	1	0	0	
0	1	0	1		1	1	0	1	
0	1	1	0	(F3) <sub>16</sub>	1	1	1	0	(03) <sub>16</sub>
0	1	1	1	(73) <sub>16</sub>	1	1	1	1	(03) <sub>16</sub>

3. 周期: 0.25 秒

占空比: 11/23 47.8% 或 48% 都可以

六、(8 分)

答:

(1) 多谐振荡器.

(2)  $t_H = (R_1 + R_2)C_1 \ln 2 = 1.1s$ ;

$f_1 = \frac{1}{1.63ms} = 613.5Hz$  (注意: 因为计算误差, 结果略有偏差)

(3)  $t_L = R_2C_1 \ln 2 = 1.04s$ ;

$f_2 = \frac{1}{1.14ms} = 877.2Hz$  (注意: 因为计算误差, 结果略有偏差)

七、(8 分)

答: 1.

① 4'd9 (各种形式都可以, 9、4'b1001、4'H9) .

② ②Data <= 4'd0 (4'B0000、4'H0、0)

③ Data <= DataIn

2.

① .ET(RCO[0]),.Data(Data[7:4]),.RCO(RCO[1])

② .ET(RCO[1]),.Data(Data[11:8]),.RCO(RCO[2])

③ .ET(RCO[2]),.Data(Data[15:12]),.RCO(RCO[3])

主管  
领导  
审核  
签字

哈尔滨工业大学 2018 学年 秋 季学期

# 数字电子技术基础 试题

题号	一	二	三	四	五	六	七	八	总分
得分									
阅卷人									

## 片纸鉴心 诚信不败

得分

一、填空、选择与判断(共 13 分)

1. CMOS 门电路输入端对地接入  $10M\Omega$  电阻时, 应视为 低电平  。

a. 高电平;    b. 低电平;    c. 不定。

2. 根据对偶规则, 若  $F = A + B + \overline{CD} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F'$  的最简与或式为                     。

3. 已知某组合逻辑电路的输入  $A$ 、 $B$ 、 $C$  和输出  $X$ 、 $Y$  的工作波形如图 1-1 所示,

其逻辑功能为                     。

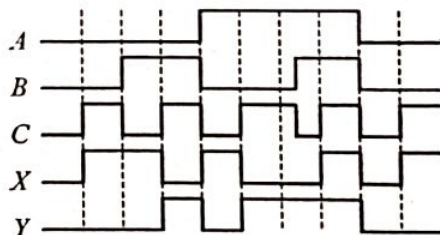


图 1-1

4. 在逻辑功能上属于一对互反操作的是                     。

- a. 译码器和编码器
- b. 全加器和全减器
- c. 数码寄存器和移位寄存器
- d. 数据选择器和数据分配器

5. 判断下述说法是否正确, 正确者在其后 ( ) 内打  $\sqrt{}$ , 反之打  $\times$ 。

- a. 若  $X+Y=X+Z$ , 则  $Y=Z$ 。 (    )
- b. 全部最大项之积恒等于“0”。 (    )
- c. 集电极开路门在使用时, 需要在其输出与电源之间接一个电阻。 (    )
- d. 组合逻辑电路产生冒险信号的原因是门电路的延迟时间。 (    )
- e. 在双积分型 A/D 转换器中, 输入电压  $U_i$  和参考电压  $U_{REF}$  的极性必须相反, 且满足  $|U_i| > |U_{REF}|$ , 才能完成模-数转换。 (    )

授课教师

姓名

学号

系别

密

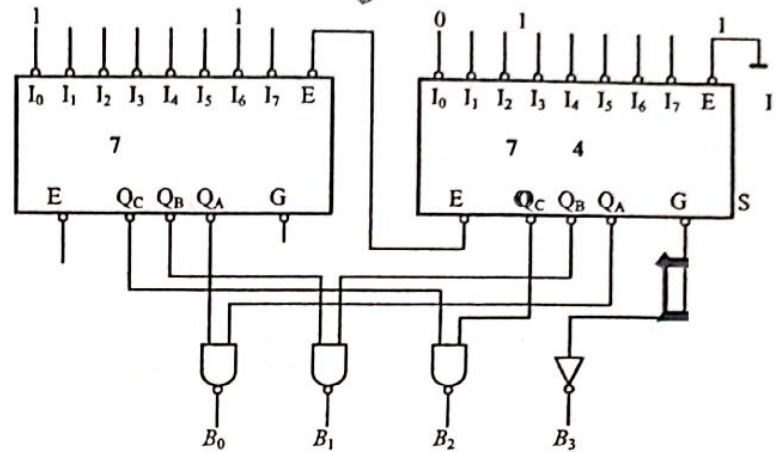
封

线

6. 已知 8 线-3 线集成编码器 74148 的功能表如图 1-3(a)所示, 请分析判断图 1-3(b)所示电路的输出编码  $B_3B_2B_1B_0$  为\_\_\_\_\_。

输入								输出					
$\overline{EI}$	$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$\overline{GS}$	$\overline{Q_C}$	$\overline{Q_B}$	$\overline{Q_A}$	$\overline{EO}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	0	1	1	0	0	0	1	1
0	x	x	x	x	0	1	1	1	0	0	1	0	1
0	x	x	x	0	1	1	1	1	0	0	1	1	1
0	x	x	0	1	1	1	1	1	0	1	0	0	1
0	x	0	1	1	1	1	1	1	0	1	0	1	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1

(a)



(b)

图 1-3

7. 已知某半导体存储器有 12 根地址线, 8 位数据线, 则其存储容量为\_\_\_\_\_ KByte。
8. 某 10 位 D/A 转换器能分辨的最小电压为 3mV, 如果输入数据为  $(2A6)_{16}$ , 则 D/A 转换器输出电压为\_\_\_\_\_ V。(小数点后保留 3 位有效数字)
9. 某数字音频系统中的输入音频信号的最高频率为 15kHz, 为使通过 ADC 和 DAC 之后的模拟音频信号的波形不失真, 则应要求 ADC 的最大转换时间为\_\_\_\_\_ms。(小数点后保留 3 位有效数字)

二、简答题: (14 分)

得分
----

1. 图 2-1 所示电路由 CMOS 门构成, 请写出电路输出  $F$  的最简与-或表达式。

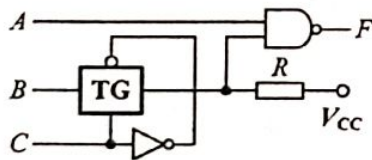


图 2-1

2. Verilog HDL 程序如下所示, 试分析:

(1) 简要说明模块 FF0 的逻辑功能;

(2) 设 FF0 的初态为“0”态, 已知电路的输入波形如图 2-2 所示, 请在图中画出电路输出  $Q_1$  的工作波形。

```

module ff0( q, j, k, clk, set, reset );
input j, k, clk, set, reset;
output q;
reg q;
always @(negedge clk or negedge reset or negedge set)
begin

```



授课教师

姓名

学号

院系

密封线

```

if (!reset) begin
    q <= 1'b0;
end
else if (!set)
begin
    q <= 1'b1;
end
else case ( {j, k} )
    2'b00 : q <= q;
    2'b01 : q <= 1'b0;
    2'b10 : q <= 1'b1;
    2'b11 : q <= ~q;
    default : q <= 1'bx;
endcase
end
endmodule

```

```

module mod1( a, b, c, q1 );
input a, b, c;
output q1;
and u1(out1, a, b);
ff0 u2(q1, out1, a, c, 1'b1, 1'b1);
endmodule

```

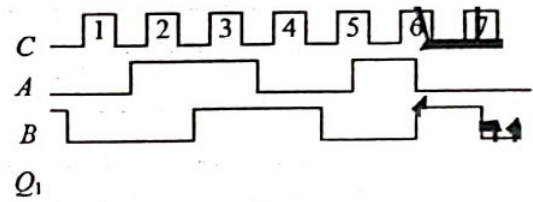


图2-2

3. 电路如图 2-3(a)所示, 移位寄存器 74LS194 的功能表如表 2-1 所示。已知初始时刻 $[Q_D Q_C Q_B Q_A]=[0101]$ , 试分析:
- (1) 设以  $Q_D$  为高位, 在时钟信号控制下,  $[Q_D Q_C Q_B Q_A]$  构成多少进制计数器?
  - (2) 在图 2-3(b)中画出  $Q_2$  的输出波形。

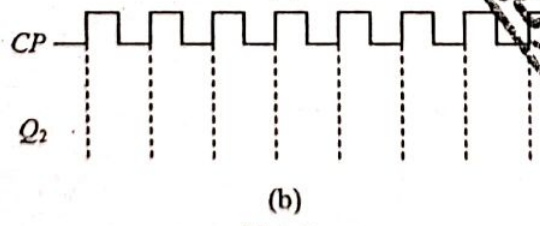
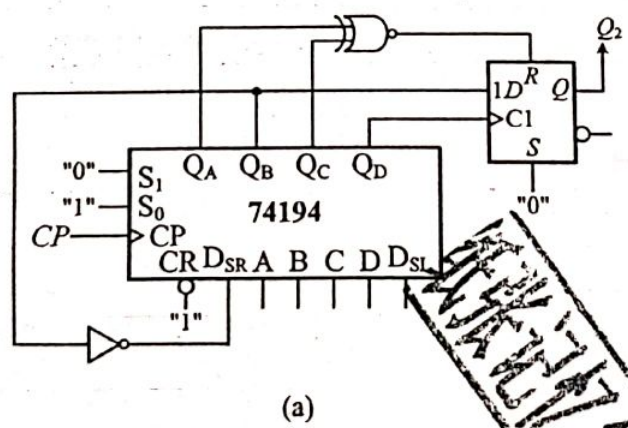


图 2-3

哈工大100周年纪念

哈工大21级新生交流群

群号: 821109519

扫一扫二维码, 加入群聊。

表 2-1 74LS194 功能表

功能	输 入										输 出			
	CR	S <sub>1</sub>	S <sub>0</sub>	CP	D <sub>3L</sub>	D <sub>2L</sub>	A	B	C	D	Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>
清零	0	x	x	x	x	x	x	x	x	x	0	0	0	0
保持	1	x	x	0	x	x	x	x	x	x	Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>
送数	1	1	1	√	x	x	A	B	C	D	A	B	C	D
右移	1	0	1	√	x	1	x	x	x	x	1	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>
右移	1	0	1	√	x	0	x	x	x	x	0	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>
左移	1	1	0	√	1	x	x	x	x	x	Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	1
左移	1	1	0	√	0	x	x	x	x	x	Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	0
保持	1	0	0	x	x	x	x	x	x	x	Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>

得分

三、设计一个 3 变量的组合逻辑电路，要求输入为 3 位二进制数码(ABC)，当输出可以被 3 整除时，电路输出商值；当不能被 3 整除时，输出为 0。试分析：(6 分)

(1) 列写电路的功能真值表；

(2) 请在图 3 中完成该电路设计，允许使用适当的门电路，图中 74153 为 4 选 1 数据选择器。

模电 (密码1920)

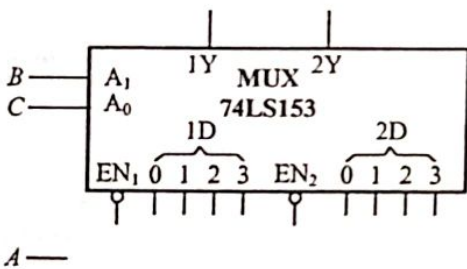


图 3

哈工大期末试题汇总



信号与系统 (密码1920)





授课教师 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_ 院系 \_\_\_\_\_

密封线

得分

四、已知某时序电路的状态转换图如图 4 所示。(试求：(8 分))

1. 分别说明当  $X=0$  及  $X=1$  时电路的逻辑功能。
2. 请画出该电路的次态卡诺图和输出  $Z$  的函数卡诺图。
3. 请写出电路的驱动方程和输出方程。

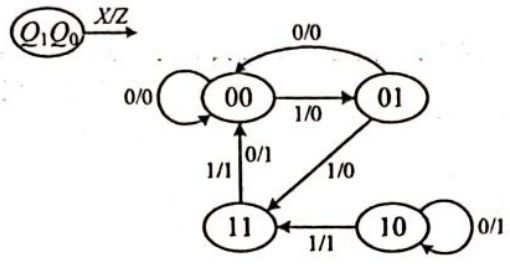


图 4



**哈工大21级新生交流群**  
群号：821109519



扫一扫二维码，入群聊。



**哈工大软件分享中心**  
群号：626648181



扫一扫二维码，入群聊。



**哈工大资源分享站**  
QQ：2842305604



扫一扫二维码，加我QQ好友。



**哈工大二手市场[一...]**  
群号：744900487



扫一扫二维码，入群聊。

得分

五、电路如图 5-1 所示，其中 555 定时器的功能如表 5-1 所示。设二极管 VD 具有理想特性，试求：(7 分)

1. 写出电路的名称；
2. 已知该电路的工作波形如图 5-2 所示，计算电路参数  $V_{CC}$ 、 $R_1$  和  $R_2$  的具体数值；
3. 在图 5-2 中画出电路输出  $u_o$  的工作波形，必须标明信号幅值与时间坐标；
4. 若 555 定时器的第 5 脚接入控制电压  $U_c = V_{CC}$ ，电路能否正常工作？请简述理由。

表 5-1 555 定时器的功能表

$\overline{R_d}(4)$	$U_{TH}(6)$	$U_{TL}(2)$	$U_o(3)$	DIS(7)
L	x	x	L	导通
H	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	L	导通
H	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	保持	保持
H	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止
H	$> \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止

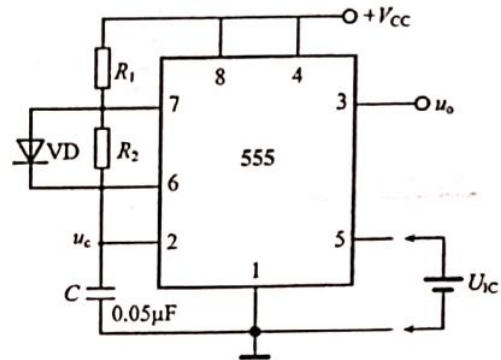


图 5-1

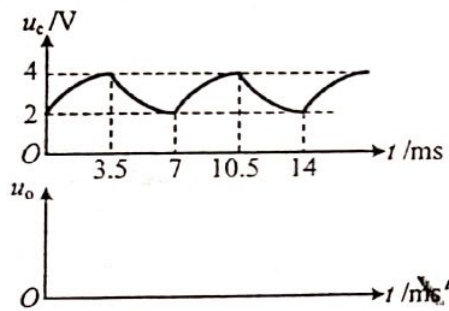


图 5-2

毛概 (密码1920)



马原 (密码1920)



近世代数 (密码1920)



集合论与图论 (密1920)



授课教师

姓名

学号

院系

密

封

线

得分

六、由 2/5 分频 10 进制异步加法计数器 74LS90、2/8 分频 16 进制异步加法计数器 74LS93 和 4 位二进制码比较器 74LS85 构成的电路如图 6 所示，已知  $Q_7Q_6Q_5Q_4 Q_3Q_2Q_1Q_0$  初始状态为 0。试分析：(6 分)

1. 设开关 S 切换至触点 1，请按照  $Q_7Q_6Q_5Q_4$  的顺序画出 74LS93 构成电路的状态转换图；
2. 设开关 S 切换至触点 2，试分析并说明  $[Q_7Q_6Q_5Q_4 Q_3Q_2Q_1Q_0]$  构成多少进制计数器。

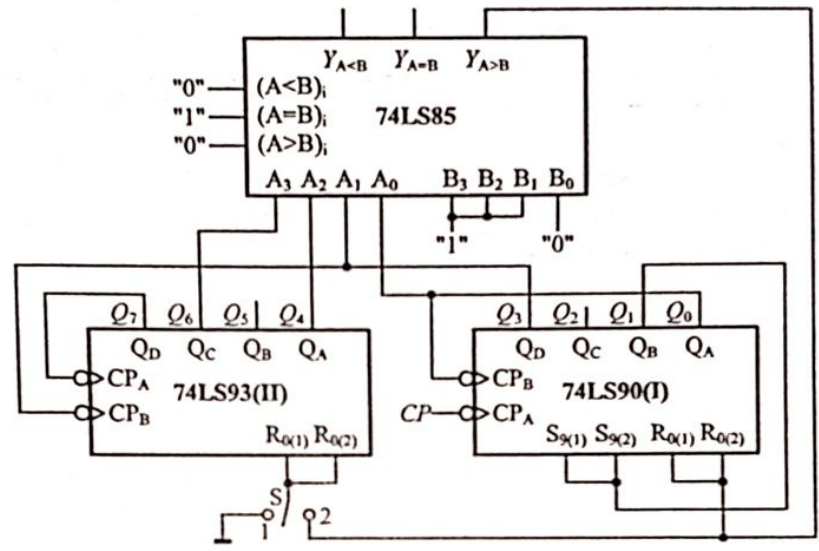


图 6

校学生会  
QQ 334 8756836

哈工大资源分享站  
QQ: 2842305604

扫一扫二维码，加我QQ好友。

哈工大软件分享中心  
群号: 626648181

扫一扫二维码，入群聊。



得分

七、由 16 进制同步加法计数器 74LS163、集成 4 位加法器 74LS283 和存储器构成的电路如图 7 所示。试分析：(8 分)

1. 请写出输出  $D_4$ 、 $D_3$  与变量  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  之间的最简与-或式；
2. 若  $[I_1 I_2 I_3 I_4 I_5 I_6 I_7] = [1000111]$ ，请画出 74LS163 的输出  $Q_D Q_C Q_B Q_A$  完整的状态转换图，并写出 74LS283 的输出  $S_3 S_2 S_1 S_0$  为何种编码；
3. 若  $[I_1 I_2 I_3 I_4 I_5] = [11001]$ ， $I_6$  接  $D_2$ ， $I_7$  接  $D_1$ ，保持  $S_3 S_2 S_1 S_0$  编码方式不变，请直接在图上画出  $D_1$ 、 $D_2$  的阵列，并写出此时  $Q_D Q_C Q_B Q_A$  的输出为何种编码。

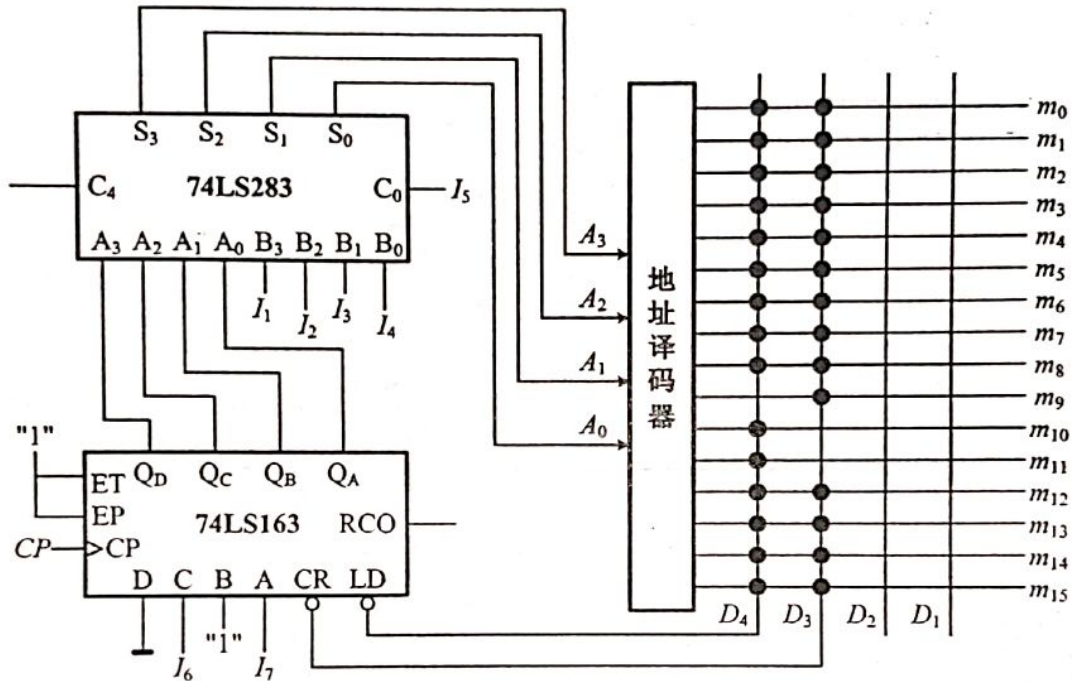


图 7

紫丁香影院  
QQ: 1689929593

python资料 (密码1920)

机械原理 (密码1920)



2  
电工与电子技术 (1920)

概率论 (密码1920)

机器人技术 (密码1920)





哈工大21级新生交流群  
群号：821109519

扫一扫二维码，加入群聊。



哈工大软件分享中心  
群号：626648181

扫一扫二维码，加入群聊。

大物实验群  
290028380

得分

八、在图 8 所示电路中，4 位集成加法计数器 74160 在时钟  $CP$  作用下连续工作，计数器的输出如图中虚线所示与 D/A 转换电路的数据端相连。当  $D_i=1$  时，控制模拟开关  $S_i$  接电源  $U_{REF}$ ；当  $D_i=0$  时， $S_i$  接地 ( $i=0,1,2,3$ )。已知  $U_{REF}=-8V$ ， $R_f=R$ ， $R_{off}=0.75R$ 。试分析：(8 分)

1. 请画出图中虚线框内电路的完整状态转换图，并计算计数器的模值；
2. 试分析并写出电路输出  $U_O$  与二进制数码  $D_3D_2D_1D_0$  之间的函数表达式；
3. 设  $U_{OFF}=0V$ ，计算电路输出  $U_O$  的电压范围。

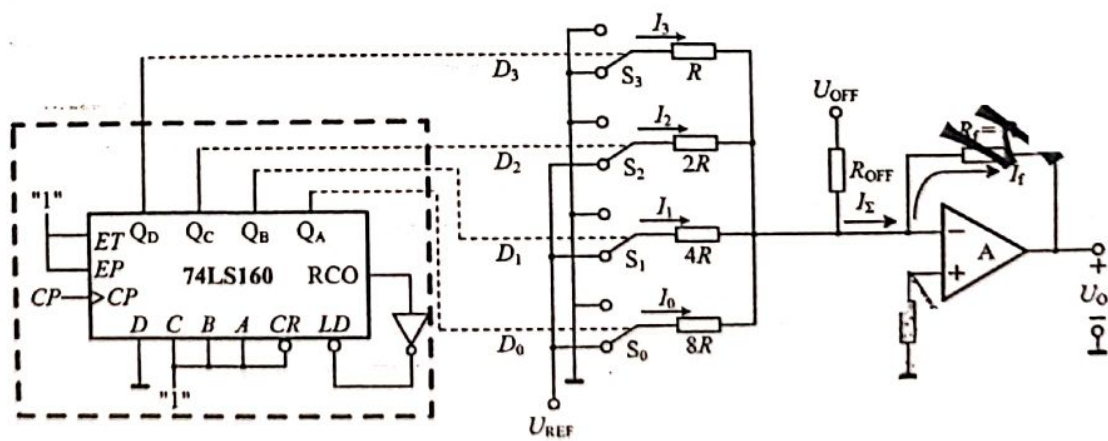


图 8

# 哈工大网盘计划简介

## 1.项目初衷

鉴于 (1) 哈工大各类 QQ 群内学习资料多且繁杂，而文件文字太多会导致文件被 tx 屏蔽或者降低 QQ 群信用星级；(2) 校内诚信复印和纸张记忆资料质量较差；(3) 很多营销号在卖资料且售价很高；(4) 学长学姐的自编材料很好，还想分享给下一届；等问题，网盘计划应运而生！哈尔滨工业大学网盘计划**旨在将哈工大的各类学习资料进行归类整理，并且以网盘的形式发出来**，历时一年，现已小成，扫描了上百份试题文档及实验报告，归类整理了近 50 个 G 的学习资料给大家，前期投入高达上千元，现入不敷出，如果您希望网盘计划继续运营下去的话，欢迎通过以下方式进行捐赠。



推荐使用微信支付



## 2.网盘计划成就 (密码 1920)

哈工大网盘计划  
密码1920



微信公众号二维码



数电 (密码1920)



**腾讯自动屏蔽以上链接，请用浏览器扫一扫**

投稿方式 [2842305604@qq.com](mailto:2842305604@qq.com)



主管  
领导  
审核  
签字

哈尔滨工业大学 2018 学年 秋 季学期

数字电子技术基础 试 题

题号	一	二	三	四	五	六	七	八	总分
得分									
阅卷人									

片纸鉴心 诚信不败

得分

一、填空、选择与判断(共 13 分)

1. CMOS 门电路输入端对地接入  $10M\Omega$  电阻时, 应视为 悬空输入  
 a. 高电平;    b. 低电平;    c. 不定。

2. 根据对偶规则, 若  $F = A + B + \overline{CD} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F'$  的最简与或式为  $A\overline{B} + A\overline{C}D$

3. 已知某组合逻辑电路的输入  $A$ 、 $B$ 、 $C$  和输出  $X$ 、 $Y$  的工作波形如图 1-1 所示, 其逻辑功能为 全加器。

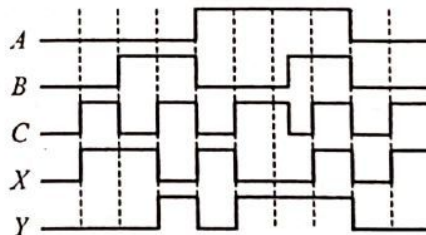


图 1-1

4. 在逻辑功能上属于一对互反操作的是 a、d。

- a. 译码器和编码器
- b. 全加器和全减器
- c. 数码寄存器和移位寄存器
- d. 数据选择器和数据分配器

5. 判断下述说法是否正确, 正确者在其后( )内打  $\checkmark$ , 反之打  $\times$ 。

- a. 若  $X+Y=X+Z$ , 则  $Y=Z$ 。 (  $\times$  )
- b. 全部最大项之积恒等于“0”。 (  $\checkmark$  )
- c. 集电极开路门在使用时, 需要在其输出与电源之间接一个电阻。 (  $\checkmark$  )
- d. 组合逻辑电路产生冒险信号的原因是门电路的延迟时间。 (  $\checkmark$  )
- e. 在双积分型 A/D 转换器中, 输入电压  $U_i$  和参考电压  $U_{REF}$  的极性必须相反, 且满足  $|U_i| > |U_{REF}|$ , 才能完成模-数转换。 (  $\times$  )

密  
封  
线



授课教师

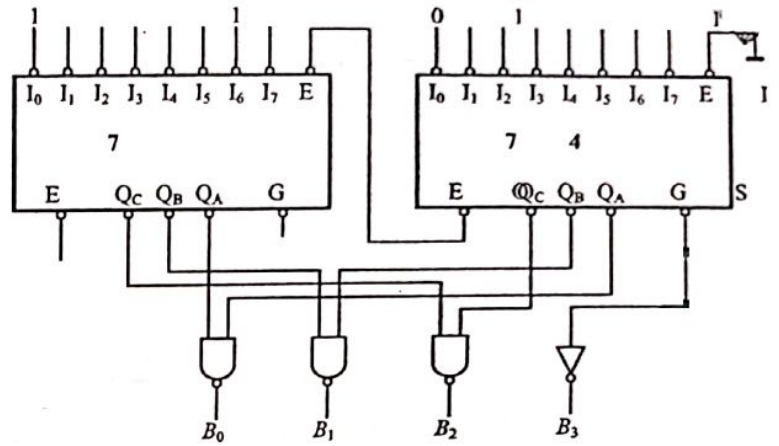
姓名

学号

系部

6. 已知 8 线-3 线集成编码器 74148 的功能表如图 1-3(a)所示, 请分析判断图 1-3(b)所示电路的输出编码  $B_3B_2B_1B_0$  为 1000。

输入									输出				
$\overline{EI}$	$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$\overline{GS}$	$\overline{Q_C}$	$\overline{Q_B}$	$\overline{Q_A}$	$\overline{EO}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	0	1	1	0	0	0	1	1
0	x	x	x	x	0	1	1	1	0	0	1	1	1
0	x	x	x	0	1	1	1	1	0	1	0	0	1
0	x	x	0	1	1	1	1	1	0	1	0	1	1
0	x	0	1	1	1	1	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1



(a)

(b)

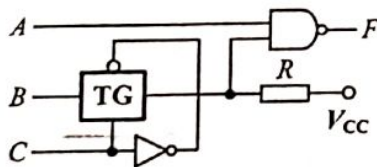
图 1-3

7. 已知某半导体存储器有 12 根地址线, 8 位数据线, 则其存储容量为 4 KByte。
8. 某 10 位 D/A 转换器能分辨的最小电压为 3mV, 如果输入数据为  $(2A6)_{16}$ , 则 D/A 转换器的输出电压为 2.034 V。(小数点后保留 3 位有效数字)
9. 某数字音频系统中的输入音频信号的最高频率为 15kHz, 为使通过 ADC 和 DAC 之后的模拟音频信号的波形不失真, 则应要求 ADC 的最大转换时间为 0.033 ms。(小数点后保留 3 位有效数字)

二、简答题: (14 分)

得分

1. 图 2-1 所示电路由 CMOS 门构成, 请写出电路输出  $F$  的最简与-或表达式。



$F = \overline{A} + \overline{B}C$  .....(3 分)

图 2-1

2. Verilog HDL 程序如下所示, 试分析: .....(6 分)

- (1) 简要说明模块 FF0 的逻辑功能;
- (2) 设 FF0 的初态为“0”态, 已知电路的输入波形如图 2-2 所示, 请在图中画出电路输出  $Q_1$  的工作波形。

```

module ff0( q, j, k, clk, set, reset );
input j, k, clk, set, reset;
output q;
reg q;
always @( negedge clk or negedge reset or negedge set )
begin

```



密 封 线

```

if (!reset) begin
    q <= 1'b0;
end

else if (!set)
begin
    q <= 1'b1;
end

else case ( {j, k} )
    2'b00 : q <= q;
    2'b01 : q <= 1'b0;
    2'b10 : q <= 1'b1;
    2'b11 : q <= ~q;
    default : q <= 1'bx;
endcase

end
endmodule

```

低电平有效的异步清零和异步置数的 JK 触发器(CP下降沿触发)\*

```

module mod1( a, b, c, q1 );
input  a, b, c;
output q1;
and u1(out1, a, b);
ff0 u2(q1, out1, a, c, 1'b1, 1'b1);
endmodule

```

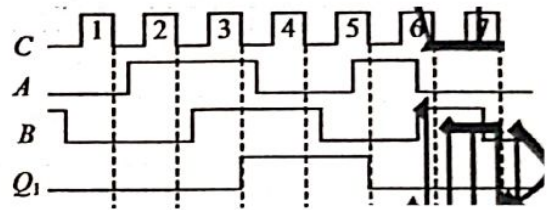


图2-2\*

3. 电路如图 2-3(a)所示, 移位寄存器 74LS194 的功能表如表 2-1 所示。已知初始时刻 $[Q_D Q_C Q_B Q_A]=[0101]$ , 试分析: .....(5 分)
- (1) 设以  $Q_D$  为高位, 在时钟信号控制下,  $[Q_D Q_C Q_B Q_A]$  构成多少进制计数器?
  - (2) 在图 2-3(b)中画出  $Q_2$  的输出波形。

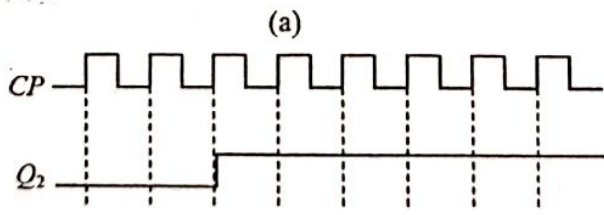
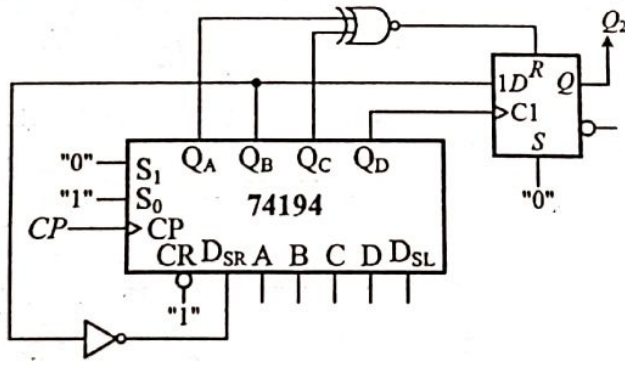


图 2-3

  
**哈工大资源分享站**  
 QQ: 2842305604



扫一扫二维码, 加我QQ好友。

表 2-1 74LS194 功能表

功能	输 入										输 出			
	$\overline{CR}$	$S_1$	$S_0$	$CP$	$D_{sl}$	$D_{sr}$	A	B	C	D	$Q_{n+1}^A$	$Q_{n+1}^B$	$Q_{n+1}^C$	$Q_{n+1}^D$
清零	0	x	x	x	x	x	x	x	x	x	0	0	0	0
保持	1	x	x	0	x	x	x	x	x	x	$Q_n^A$	$Q_n^B$	$Q_n^C$	$Q_n^D$
送数	1	1	1	$\downarrow$	x	x	A	B	C	D	A	B	C	D
右移	1	0	1	$\downarrow$	x	1	x	x	x	x	1	$Q_n^A$	$Q_n^B$	$Q_n^C$
右移	1	0	1	$\downarrow$	x	0	x	x	x	x	0	$Q_n^A$	$Q_n^B$	$Q_n^C$
左移	1	1	0	$\downarrow$	1	x	x	x	x	x	$Q_n^B$	$Q_n^C$	$Q_n^D$	1
左移	1	1	0	$\downarrow$	0	x	x	x	x	x	$Q_n^B$	$Q_n^C$	$Q_n^D$	0
保持	1	0	0	x	x	x	x	x	x	x	$Q_n^A$	$Q_n^B$	$Q_n^C$	$Q_n^D$

得分

三、设计一个 3 变量的组合逻辑电路，要求输入为 3 位二进制数码(ABC)，当输入可以被 3 整除时，电路输出商值；当不能被 3 整除时，输出为 0。试分析：(6 分)

(1) 列写电路的功能真值表；

(2) 请在图 3 中完成该电路设计，允许使用适当的门电路，图中 74153 为双 4 选 1 数据选择器。

答(1):

A	B	C	商	余
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	0	0

(2)

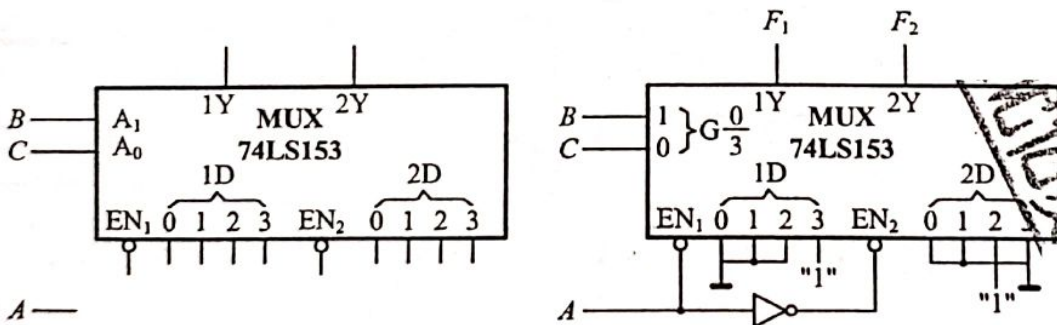


图 3

答案 1\*.....

得分

- 四、已知某时序电路的状态转换图如图 4 所示。试求：
1. 分别说明当  $X=0$  及  $X=1$  时电路的逻辑功能；
  2. 请画出该电路的次态卡诺图和输出  $Z$  的函数卡诺图；
  3. 请写出电路的驱动方程和输出方程。

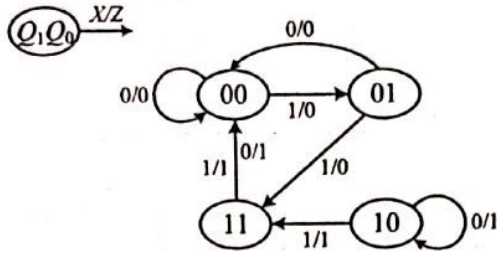


图 4

1. 当  $X=0$  时，电路具有清零(或者返回初态)逻辑功能；  
当  $X=1$  时，电路为三进制计数器。
- 2.

	$Q_1^{n+1} Q_0^{n+1}$	$Q_1^n Q_0^n$			
$X$		00	01	11	10
0		00	00	00	10
1		01	11	00	11

	$Z$	$Q_1^n Q_0^n$			
$X$		00	01	11	10
0		0	0	1	1
1		0	0	1	1

3.

$J_1 = XQ_0^n, K_1 = Q_0^n$  或  $D_1 = XQ_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$  ..... (1分)

$J_0 = X, K_0 = \overline{X}$  (或  $D_0 = XQ_0^n + X\overline{Q_0^n}$ ) ..... (1分)

$Z = Q_1^n$  ..... (1分)

授课教师

姓名

学号

系

密

封

线

  
**哈工大21级新生交流群**  
 群号：821109519  
  
 扫一扫二维码，加入群聊。

  
**哈工大软件分享中心**  
 群号：626648181  
  
 扫一扫二维码，加入群聊。



得分

五、电路如图 5-1 所示，其中 555 定时器的功能如表 5-1 所示。设二极管 VD 具有理想特性，试求：(7 分)

1. 写出电路的名称；
2. 已知该电路的工作波形如图 5-2 所示，计算电路参数  $V_{CC}$ 、 $R_1$  和  $R_2$  的具体数值；
3. 在图 5-2 中画出电路输出  $u_o$  的工作波形，必须标明信号幅值与时间坐标；
4. 若 555 定时器的第 5 脚接入控制电压  $U_{IC} = V_{CC}$ ，电路能否正常工作？请简述理由。

表 5-1 555 定时器的功能表

$\overline{R_d}(4)$	$U_{TH}(6)$	$U_{TL}(2)$	$U_o(3)$	DIS(7)
L	x	x	L	导通
H	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	L	导通
H	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	保持	保持
H	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止
H	$> \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止

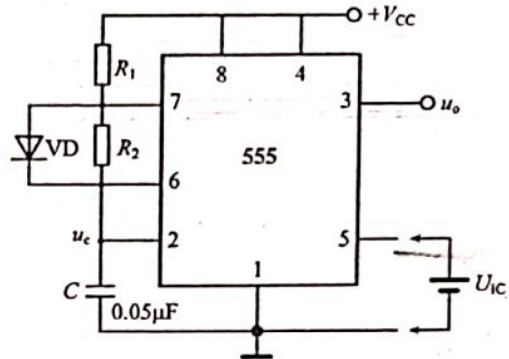


图 5-1

1. 多谐振荡器。.....(2 分)
2.  $V_{CC} = 6V$ ;  $0.7R_1C = 3.5ms \Rightarrow R_1 = R_2 = 100k\Omega$  .....(3 分)
- 3.

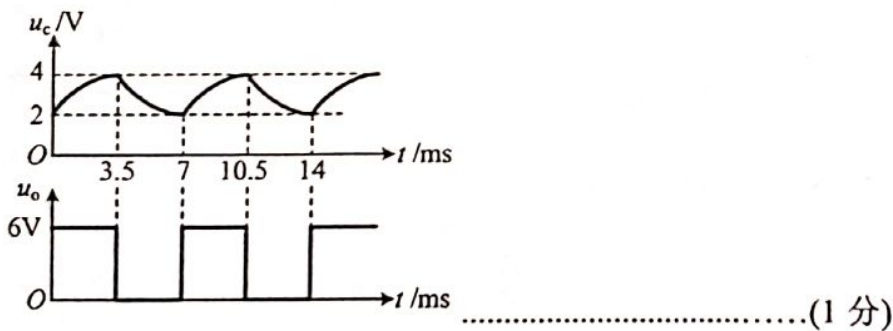


图 5-2

4. 由于在充电过程中  $u_c(\infty) = V_{CC}$ ，因此当第 5 脚接入控制电压  $U_{IC} = V_{CC}$  时，输出始终为高电平，触发器无法置 0，电路不能正常工作。.....(1 分)

大物实验群  
290028380

得分

六、由 2/5 分频 10 进制异步加法计数器 74LS90、2/8 分频 16 进制异步加法计数器 74LS93 和 4 位二进制码比较器 74LS85 构成的电路如图 6 所示，已知  $Q_7Q_6Q_5Q_4 Q_3Q_2Q_1Q_0$  初始状态为 0。试分析：(6 分)

1. 设开关 S 切换至触点 1，请按照  $Q_7Q_6Q_5Q_4$  的顺序画出 74LS93 构成电路的状态转换图；
2. 设开关 S 切换至触点 2，试分析并说明  $[Q_7Q_6Q_5Q_4 Q_3Q_2Q_1Q_0]$  构成多少进制计数器。

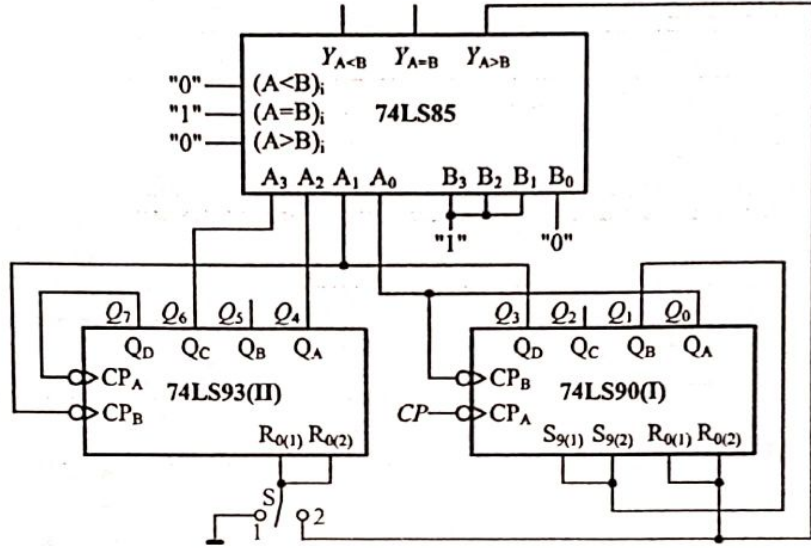
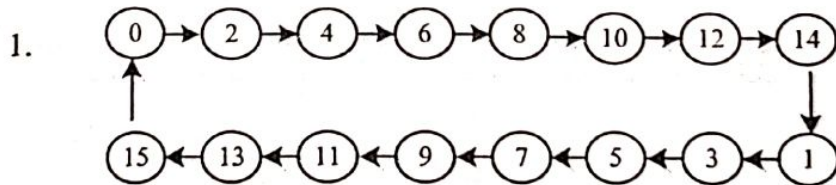


图 6



授课教师

姓名

学号

院系

密

封

线

得分

七、由 16 进制同步加法计数器 74LS163、集成 4 位加法器 74LS283 和存储器构成的电路如图 7 所示。试分析：(8 分)

1. 请写出输出  $D_4$ 、 $D_3$  与变量  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  之间的最简与-或式；
2. 若  $[I_1 I_2 I_3 I_4 I_5 I_6 I_7] = [1000111]$ ，请画出 74LS163 的输出  $Q_D Q_C Q_B Q_A$  完整的状态转换图，并写出 74LS283 的输出  $S_3 S_2 S_1 S_0$  为何种编码；
3. 若  $[I_1 I_2 I_3 I_4 I_5] = [11001]$ ， $I_6$  接  $D_2$ ， $I_7$  接  $D_1$ ，保持  $S_3 S_2 S_1 S_0$  编码方式不变，请直接在图上画出  $D_1$ 、 $D_2$  的阵列，并写出此时  $Q_D Q_C Q_B Q_A$  的输出为何种编码。

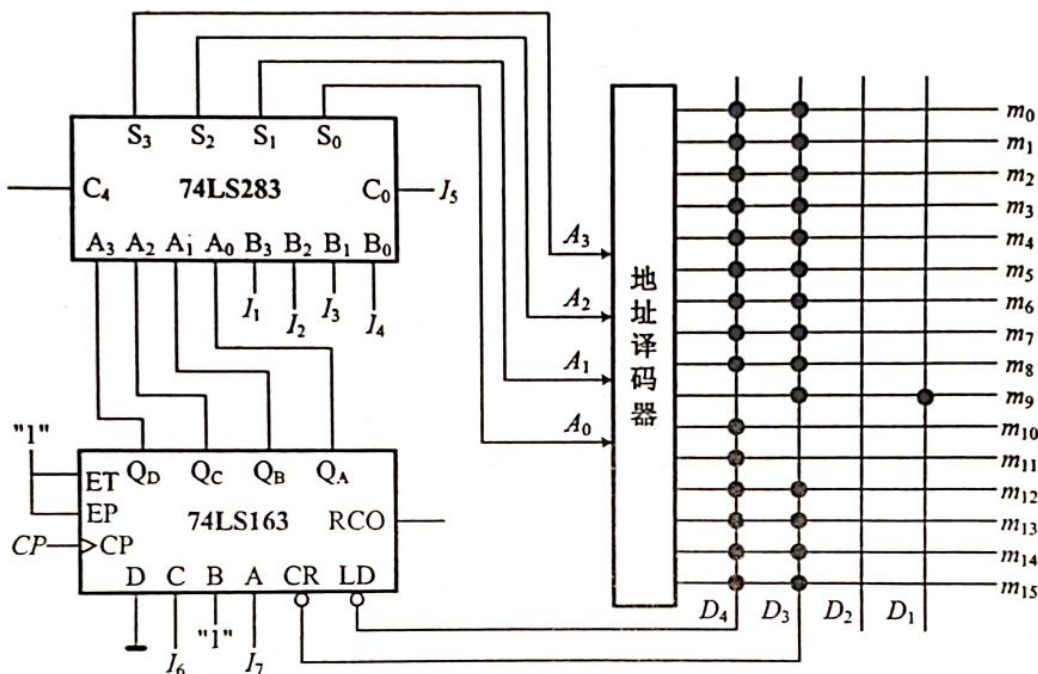
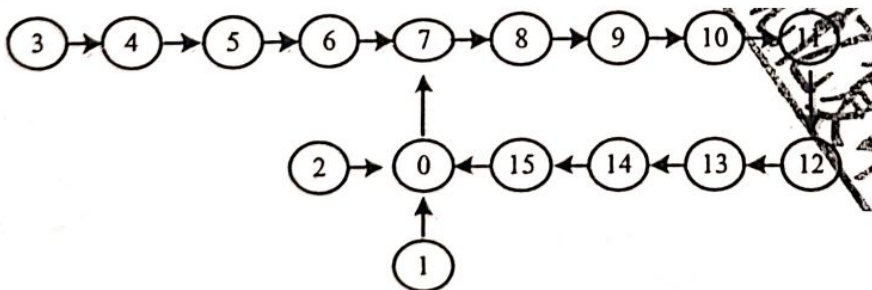


图 7\*

1.  $D_4 = \bar{A}_3 + A_2 + A_1 + \bar{A}_0$

$D_3 = \bar{A}_3 + A_2 + \bar{A}_1$  .....(2 分)

2



.....(2 分)

BCD8421.....(1 分)

3.  $D_2$ 上 $m_9$  不标代表0,  $D_1$ 上 $m_9$  标记代表1 (给分原则: 都标为2分, 仅D1标对1分, 仅D2标对且D1未标不给分) .....(1分)

余三码 .....(2分)



授课教师

姓名

学号

院系

线

封

线

得分

八、在图 8 所示电路中，4 位集成加法计数器 74160 在时钟 CP 作用下连续工作，计数器的输出如图中虚线所示与 D/A 转换电路的数据端相连。当  $D_i=1$  时，控制模拟开关  $S_i$  接电源  $U_{REF}$ ；当  $D_i=0$  时， $S_i$  接地 ( $i=0,1,2,3$ )。已知  $U_{REF}=-8V$ ,  $R_f=R$ ,  $R_{off}=0.75R$ 。试分析：(8 分)

1. 请画出图中虚线框内电路的完整状态转换图，并计算计数器的模值；
2. 试分析并写出电路输出  $U_o$  与二进制数码  $D_3D_2D_1D_0$  之间的函数表达式；
3. 设  $U_{OFF}=0V$ ，计算电路输出  $U_o$  的电压范围。

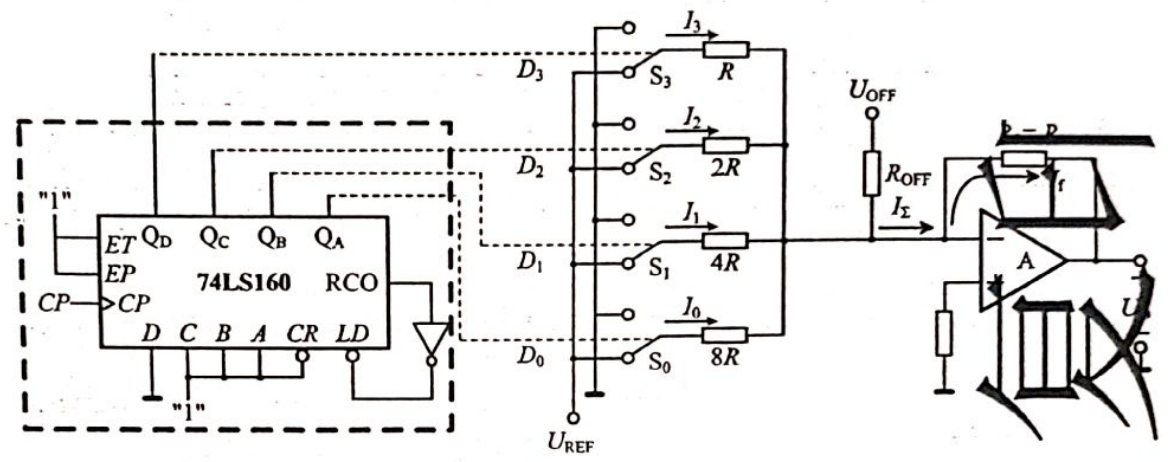


图 8

1. 模  $M=3$ (3 进制) .....(2 分)

2.

$$U_o = -R_f \left( \frac{U_{REF}}{2^3 R} \times D_n + \frac{U_{OFF}}{R_{OFF}} \right) = - \left[ \frac{U_{REF}}{2^3} \times (2^3 D_3 + 2^2 D_2 + 2 D_1 + 2 D_0) + \frac{4}{3} U_{OFF} \right] \dots (4 \text{ 分})$$

3.  $7V \sim 9V$  .....(2 分)

一、填空、选择与判断(共 13 分)

1. CMOS 门电路输入端对地接入  $10M\Omega$  电阻时, 应视为\_\_\_\_\_输入。

a. 高电平;    b. 低电平;    c. 不定。

2. 根据对偶规则, 若  $F = A + \overline{B + C\overline{D}} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F'$  的最简与或式为\_\_\_\_\_。

3. 已知某组合逻辑电路的输入  $A$ 、 $B$ 、 $C$  和输出  $X$ 、 $Y$  的工作波形如图 1-1 所示, 其逻辑功能为\_\_\_\_\_。

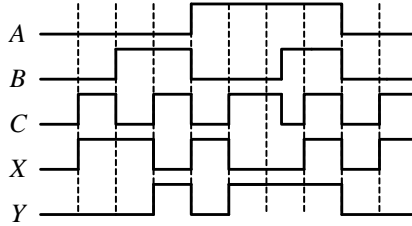


图 1-1

4. 在逻辑功能上属于一对互反操作的是\_\_\_\_\_。

- a. 译码器和编码器
- b. 全加器和全减器
- c. 数码寄存器和移位寄存器
- d. 数据选择器和数据分配器

5. 判断下述说法是否正确, 正确者在其后( )内打  $\checkmark$ , 反之打  $\times$ 。

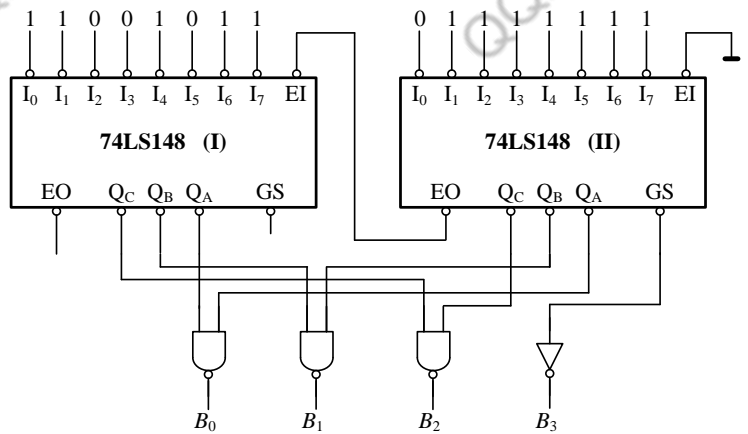
- a. 若  $X+Y=X+Z$ , 则  $Y=Z$ 。( )
- b. 全部最大项之积恒等于“0”。( )
- c. 集电极开路门在使用时, 需要在其输出与电源之间接一个电阻。( )
- d. 组合逻辑电路产生冒险信号的原因是门电路的延迟时间。( )
- e. 在双积分型 A/D 转换器中, 输入电压  $U_I$  和参考电压  $U_{REF}$  的极性必须相反, 且满足  $|U_I| > |U_{REF}|$ , 才能完成模-数转换。( )

6. 已知 8 线-3 线集成编码器 74148 的功能表如图 1-3(a)所示, 请分析判断图 1-3(b)所示电路的输出编码  $B_3B_2B_1B_0$  为\_\_\_\_\_。



输 入									输 出				
$\overline{EI}$	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{GS}$	$\overline{Q_C}$	$\overline{Q_B}$	$\overline{Q_A}$	$\overline{EO}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	0	1	1
0	x	x	x	x	0	1	1	1	0	0	1	1	1
0	x	x	x	0	1	1	1	1	0	1	0	0	1
0	x	x	0	1	1	1	1	1	0	1	0	1	1
0	x	0	1	1	1	1	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1

(a)



(b)

图 1-3

7. 已知某半导体存储器有 12 根地址线, 8 位数据线, 则其存储容量为\_\_\_\_\_ KByte。
8. 某 10 位 D/A 转换器能分辨的最小电压为 3mV, 如果输入数据为(2A6)<sub>16</sub>, 则 D/A 转换器的输出电压为\_\_\_\_\_ V。(小数点后保留 3 位有效数字)
9. 某数字音频系统中的输入音频信号的最高频率为 15kHz, 为使通过 ADC 和 DAC 之后的模拟音频信号的波形不失真, 则应要求 ADC 的最大转换时间为\_\_\_\_\_ms。(小数点后保留 3 位有效数字)

## 二、简答题: (14 分)

1. 图 2-1 所示电路由 CMOS 门构成, 请写出电路输出  $F$  的最简与-或表达式。

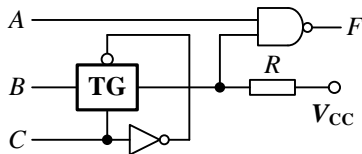


图 2-1

2. Verilog HDL 程序如下所示, 试分析:

- (1) 简要说明模块 FF0 的逻辑功能;
- (2) 设 FF0 的初态为“0”态, 已知电路的输入波形如图 2-2 所示, 请在图中画出电路输出  $Q_1$  的工作波形。

```

module ff0( q, j, k, clk, set, reset );
input j, k, clk, set, reset;
output q;
reg q;
always @( negedge clk or negedge reset or negedge set )
begin
    if (!reset) begin
        q <= 1'b0;
    end
    else if (!set)
    begin
        q <= 1'b1;
    end
    else case ( {j, k} )

```

```

        2'b00 : q <= q;
        2'b01 : q <= 1'b0;
        2'b10 : q <= 1'b1;
        2'b11 : q <= ~q;
        default : q <= 1'bx;
    endcase
end
endmodule

```

```

module mod1( a, b, c, q1 );
input  a, b, c;
output q1;
and u1(out1, a, b);
ff0 u2(q1, out1, a, c, 1'b1, 1'b1);
endmodule

```

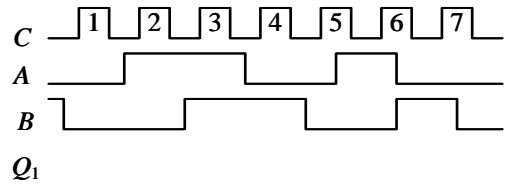


图2-2\*

3. 电路如图 2-3(a)所示，移位寄存器 74LS194 的功能表如表 2-1 所示。已知初始时刻 $[Q_D Q_C Q_B Q_A]=[0101]$ ，试分析：

- (1) 设以  $Q_D$  为高位，在时钟信号控制下， $[Q_D Q_C Q_B Q_A]$  构成多少进制计数器？
- (2) 在图 2-3(b)中画出  $Q_2$  的输出波形。

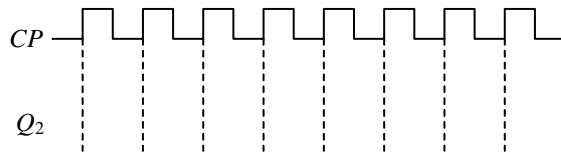
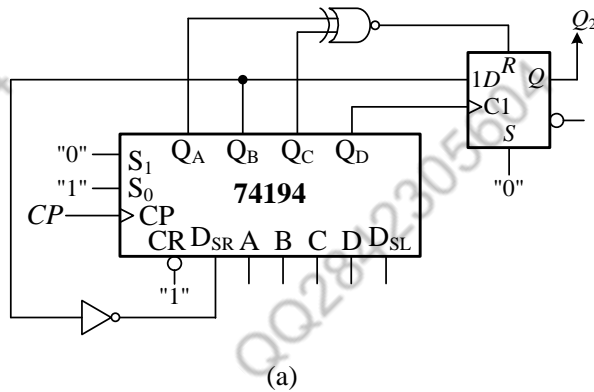


图 2-3

表 2-1 74LS194 功能表

功能	输 入										输 出			
	$\overline{CR}$	$S_1$	$S_0$	$CP$	$D_{SL}$	$D_{SR}$	A	B	C	D	$Q_A^{n+1}$	$Q_B^{n+1}$	$Q_C^{n+1}$	$Q_D^{n+1}$
清零	0	x	x	x	x	x	x	x	x	x	0	0	0	0
保持	1	x	x	0	x	x	x	x	x	x	$Q_A^n$	$Q_B^n$	$Q_C^n$	$Q_D^n$
送数	1	1	1	$\uparrow$	x	x	A	B	C	D	A	B	C	D
右移	1	0	1	$\uparrow$	x	1	x	x	x	x	1	$Q_A^n$	$Q_B^n$	$Q_C^n$
右移	1	0	1	$\uparrow$	x	0	x	x	x	x	0	$Q_A^n$	$Q_B^n$	$Q_C^n$
左移	1	1	0	$\uparrow$	1	x	x	x	x	x	$Q_B^n$	$Q_C^n$	$Q_D^n$	1
左移	1	1	0	$\uparrow$	0	x	x	x	x	x	$Q_B^n$	$Q_C^n$	$Q_D^n$	0
保持	1	0	0	x	x	x	x	x	x	x	$Q_A^n$	$Q_B^n$	$Q_C^n$	$Q_D^n$

三、设计一个 3 变量的组合逻辑电路，要求输入为 3 位二进制数码( $ABC$ )，当输入可以被 3 整除时，电路输出商值；当不能被 3 整除时，输出为 0。试分析：(6 分)

(1) 列写电路的功能真值表；

(2) 请在图 3 中完成该电路设计，允许使用适当的门电路，图中 74153 为双 4 选 1 数据选择器。

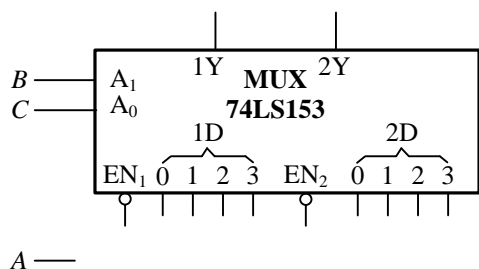


图 3

四、已知某时序电路的状态转换图如图 4 所示。试求：(8 分)

1. 分别说明当  $X=0$  及  $X=1$  时电路的逻辑功能；
2. 请画出该电路的次态卡诺图和输出  $Z$  的函数卡诺图；
3. 请写出电路的驱动方程和输出方程。

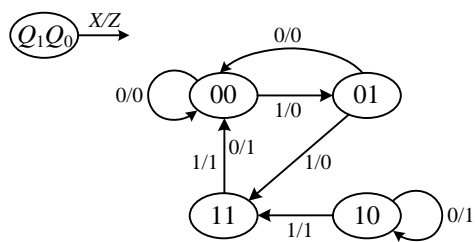


图 4

五、电路如图 5-1 所示，其中 555 定时器的功能如表 5-1 所示。设二极管 VD 具有理想特性，试求：(7 分)

1. 写出电路的名称；
2. 已知该电路的工作波形如图 5-2 所示，计算电路参数  $V_{CC}$ 、 $R_1$  和  $R_2$  的具体数值；
3. 在图 5-2 中画出电路输出  $u_o$  的工作波形，必须标明信号幅值与时间坐标；
4. 若 555 定时器的第 5 脚接入控制电压  $U_{IC} = V_{CC}$ ，电路能否正常工作？请简述理由。

表 5-1 555 定时器的功能表

$\overline{R_d}(4)$	$U_{TH}(6)$	$U_{TL}(2)$	$U_o(3)$	DIS(7)
L	×	×	L	导通
H	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	L	导通
H	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	保持	保持
H	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止
H	$> \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	截止

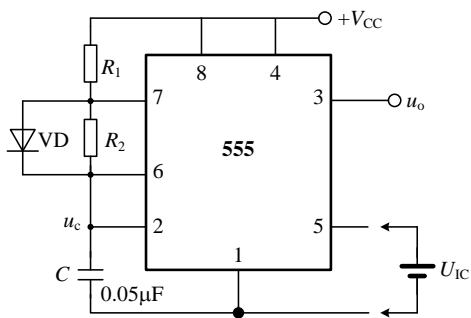


图 5-1

六、由 2/5 分频 10 进制异步加法计数器 74LS90、2/8 分频 16 进制异步加法计数器 74LS93 和 4 位二进制码比较器 74LS85 构成的电路如图 6 所示，已知  $Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$  初始状态为 0。试分析：(6 分)

1. 设开关 S 切换至触点 1，请按照  $Q_7Q_6Q_5Q_4$  的顺序画出 74LS93 构成电路的状态转换图；
2. 设开关 S 切换至触点 2，试分析并说明  $[Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0]$  构成多少进制计数器。

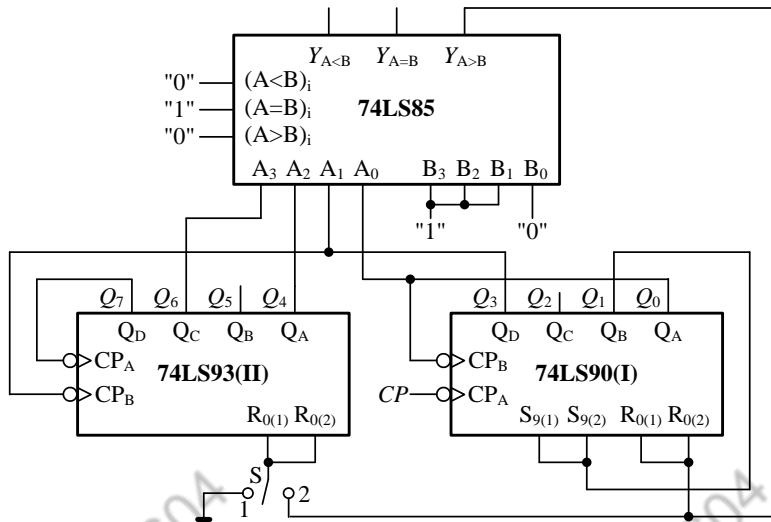


图 6

七、由 16 进制同步加法计数器 74LS163、集成 4 位加法器 74LS283 和存储器构成的电路如图 7 所示。试分析：(8 分)

1. 请写出输出  $D_4$ 、 $D_3$  与变量  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  之间的最简与-或式；
2. 若  $[I_1 I_2 I_3 I_4 I_5 I_6 I_7] = [10001111]$ ，请画出 74LS163 的输出  $Q_D Q_C Q_B Q_A$  完整的状态转换图，并写出 74LS283 的输出  $S_3 S_2 S_1 S_0$  为何种编码；
3. 若  $[I_1 I_2 I_3 I_4 I_5] = [11001]$ ， $I_6$  接  $D_2$ ， $I_7$  接  $D_1$ ，保持  $S_3 S_2 S_1 S_0$  编码方式不变，请直接在图上画出  $D_1$ 、 $D_2$  的阵列，并写出此时  $Q_D Q_C Q_B Q_A$  的输出为何种编码。

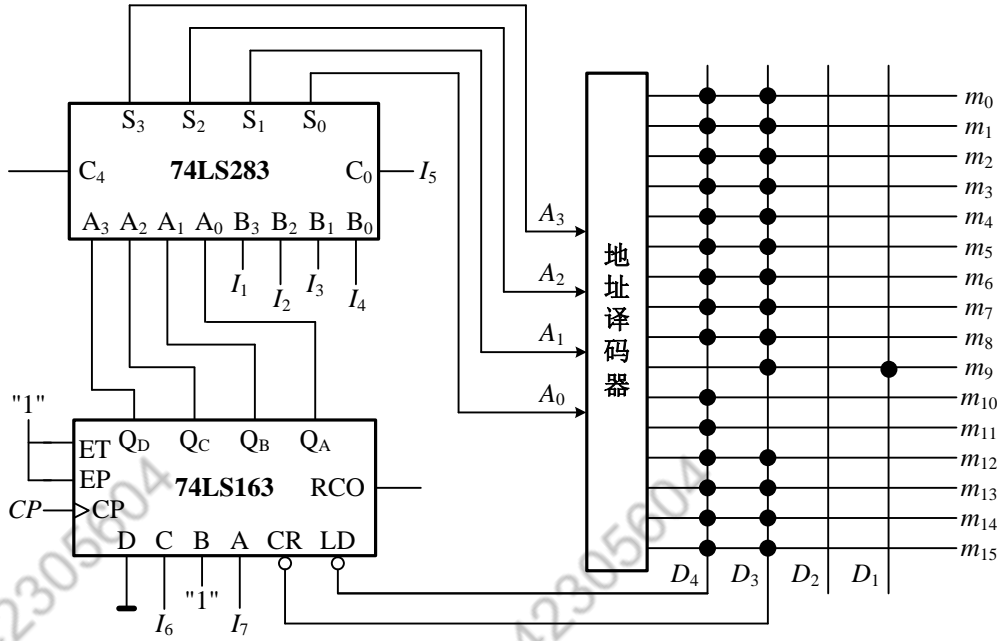


图 7\*

八、在图 8 所示电路中，4 位集成加法计数器 74160 在时钟  $CP$  作用下连续工作，计数器的输出如图中虚线所示与 D/A 转换电路的数据端相连。当  $D_i=1$  时，控制模拟开关  $S_i$  接电源  $U_{REF}$ ；当  $D_i=0$  时， $S_i$  接地 ( $i=0,1,2,3$ )。已知  $U_{REF}=-8V$ ， $R_f=R$ ， $R_{off}=0.75R$ 。试分析：(8 分)

1. 请画出图中虚线框内电路的完整状态转换图，并计算计数器的模值；
2. 试分析并写出电路输出  $U_O$  与二进制数码  $D_3D_2D_1D_0$  之间的函数表达式；
3. 设  $U_{OFF}=0V$ ，计算电路输出  $U_O$  的电压范围。

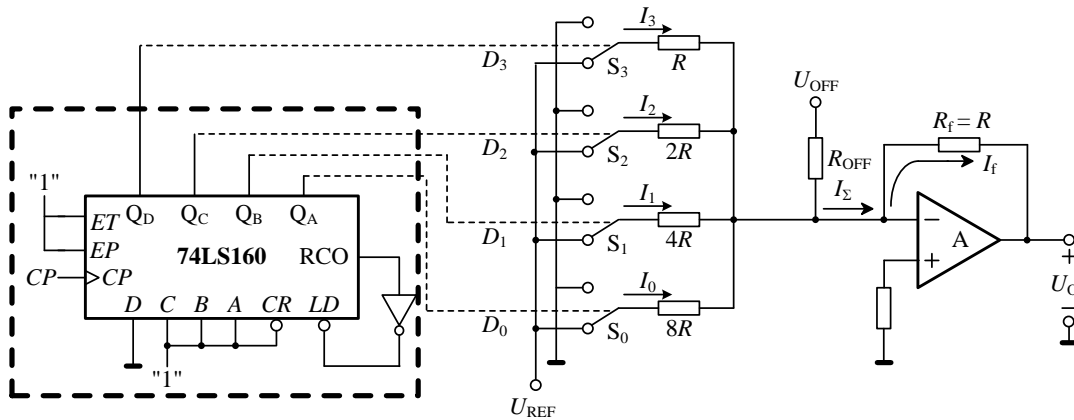


图 8



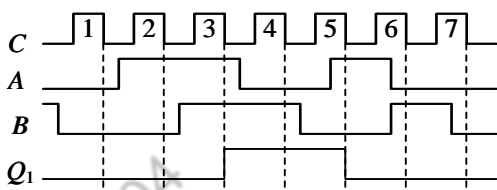
一、填空、选择与判断(共 13 分)

- CMOS 门电路输入端对地接入  $10M\Omega$  电阻时, 应视为 b 输入。  
a. 高电平;    b. 低电平;    c. 不定。
- 根据对偶规则, 若  $F = A + B + \overline{CD} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F'$  的最简与或式为  $\overline{AB} + \overline{ACD}$ 。
- 已知某组合逻辑电路的输入  $A$ 、 $B$ 、 $C$  和输出  $X$ 、 $Y$  的工作波形如图 1-1 所示, 其逻辑功能为 全加器。
- 在逻辑功能上属于一对互反操作的是 a、d。
- 若  $X+Y=X+Z$ , 则  $Y=Z$ 。(  )
  - 全部最大项之积恒等于“0”。(  )
  - 集电极开路门在使用时, 需要在其输出与电源之间接一个电阻。(  )
  - 组合逻辑电路产生冒险信号的原因是门电路的延迟时间。(  )
  - 在双积分型 A/D 转换器中, 输入电压  $U_i$  和参考电压  $U_{REF}$  的极性必须相反, 且满足  $|U_i| > |U_{REF}|$ , 才能完成模-数转换。(  )
- 已知 8 线-3 线集成编码器 74148 的功能表如图 1-3(a)所示, 请分析判断图 1-3(b)所示电路的输出编码  $B_3B_2B_1B_0$  为 1000。
- 已知某半导体存储器有 12 根地址线, 8 位数据线, 则其存储容量为 4 KByte。
- 某 10 位 D/A 转换器能分辨的最小电压为 3mV, 如果输入数据为  $(2A6)_{16}$ , 则 D/A 转换器的输出电压为 2.034 V。(小数点后保留 3 位有效数字)
- 某数字音频系统中的输入音频信号的最高频率为 15kHz, 为使通过 ADC 和 DAC 之后的模拟音频信号的波形不失真, 则应要求 ADC 的最大转换时间为 0.033 ms。(小数点后保留 3 位有效数字)

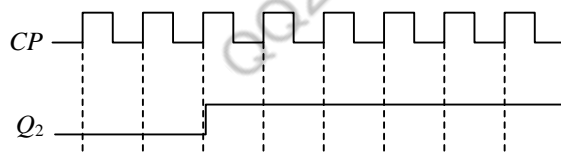
二、简答题: (14 分)

1.  $F = \overline{A} + \overline{B}C$  .....(3 分)

2. 低电平有效的异步清零和异步置数的 JK 触发器(CP 下降沿触发)\*

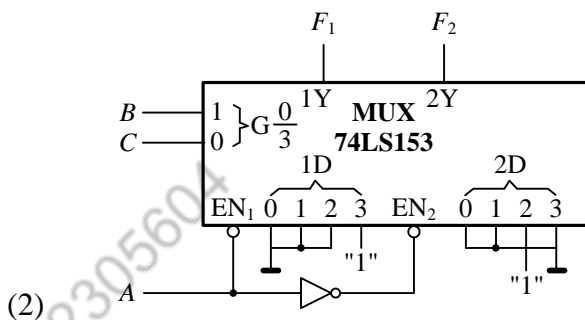


3. 4 进制



三、(1)

A	B	C	Y <sub>2</sub>	Y <sub>1</sub>
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	0	0



四、1. 当  $X=0$  时, 电路具有清零(或者返回初态)逻辑功能;  
当  $X=1$  时, 电路为三进制计数器。

2.

X	$Q_1^{n+1}Q_0^{n+1}$				Z
	$Q_1^nQ_0^n$ 00	01	11	10	
0	00	00	00	10	0
1	01	11	00	11	1

3.

$$J_1 = XQ_0^n, K_1 = Q_0^n \text{ 或 } D_1 = XQ_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n.$$

$$J_0 = X, K_0 = \overline{X} \overline{Q_1^n} \text{ 或 } D_0 = X \overline{Q_0^n} + X \overline{Q_1^n}.$$

$$Z = Q_1^n$$

五、

1. 多谐振荡器。.....(2分)

2.  $V_{CC} = 6V; 0.7R_1C = 3.5ms \Rightarrow R_1 = R_2 = 100k\Omega$  .....(3分)

3.

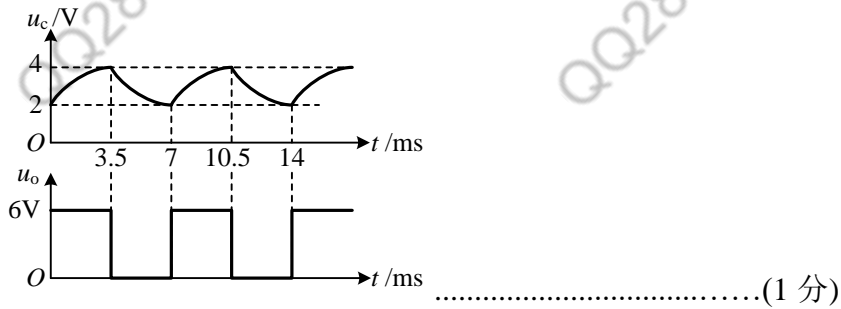
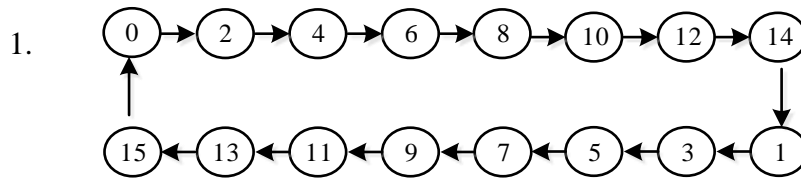


图 5-2

4. 由于在充电过程中  $u_c(\infty) = V_{CC}$ ，因此当第 5 脚接入控制电压  $U_{IC} = V_{CC}$  时，输出始终为高电平，触发器无法置 0，电路不能正常工作。.....(1分)

六、

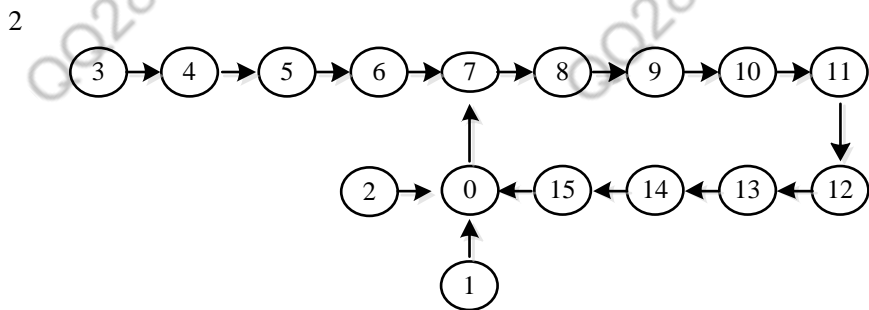


2. 32进制

七、

1.  $D_4 = \bar{A}_3 + A_2 + A_1 + \bar{A}_0$

$D_3 = \bar{A}_3 + A_2 + \bar{A}_1$  .....(2分)



.....(2分)

BCD8421.....(1分)

3.  $D_2$ 上 $m_9$  不标代表0,  $D_1$ 上 $m_9$  标记代表1 (给分原则: 都标对2分, 仅D1标对1分, 仅D2标对且D1未标不给分) .....(1分)  
余三码 .....(2分)

八、1. 模 M=3(3 进制) .....(2分)

2.  $U_o = -R_f \left( \frac{U_{REF}}{2^3 R} \times D_n + \frac{U_{OFF}}{R_{OFF}} \right) = - \left[ \frac{U_{REF}}{2^3} \times (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) + \frac{4}{3} U_{OFF} \right] \dots(4分)$

3. 7V~9V.....(2分)

2018 春

一、判断与填空（共 10 分）

1. 判断下述说法是否正确，正确者在其后( )内打√，反之打×。
  - a. 无关项的值可能是 0，也可能是 1。( )
  - b. 在标准 TTL 门、OC 门和三态门中，OC 门的带负载能力最强。( )
  - c. 已知  $A \oplus B = \overline{A \square B}$ ，因而  $A \oplus B \oplus C = \overline{A \square B \square C}$ 。( )
2. 如图 1-2 所示， $P$  的表达式为\_\_\_\_\_。

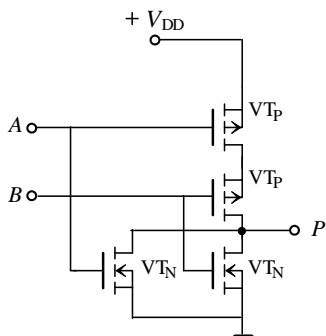


图 1-2

	CD	00	01	11	10
AB	00	1			1
	01	1	1		
	11	1	1		
	10	1			1

图 1-4

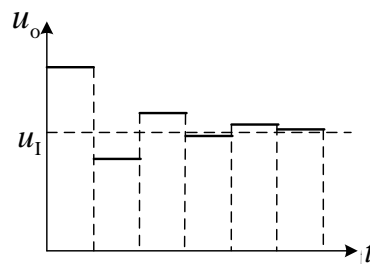


图 1-7

3. 已知函数  $Y = (\bar{A} + C)(A + \bar{B})$ ，其存在\_\_\_\_\_态冒险。
4. 图 1-4 是逻辑函数  $F(A, B, C, D)$  的卡诺图，请写出  $F$  和  $\bar{F}$  的最简与或逻辑表达式：  
 $F =$  \_\_\_\_\_；  $\bar{F} =$  \_\_\_\_\_。
5. 某 EEPROM 有 16 条数据线，15 条地址线，则存储容量为\_\_\_\_\_kbit。
6. 被转换信号的上限频率为 20kHz，则 A/D 转换器采样频率应高于\_\_\_\_\_ kHz。
7. 图 1-7 为某六位逐次逼近 A/D 转换器的转换示意图，其转换结果为\_\_\_\_\_。

二、简答题（共 10 分）

1. 分析图 2-1 电路，两个图都按照  $Q_D Q_C Q_B Q_A$  的顺序分别画出有效循环部分的状态转换图，并说明是多少进制计数器？（6 分）

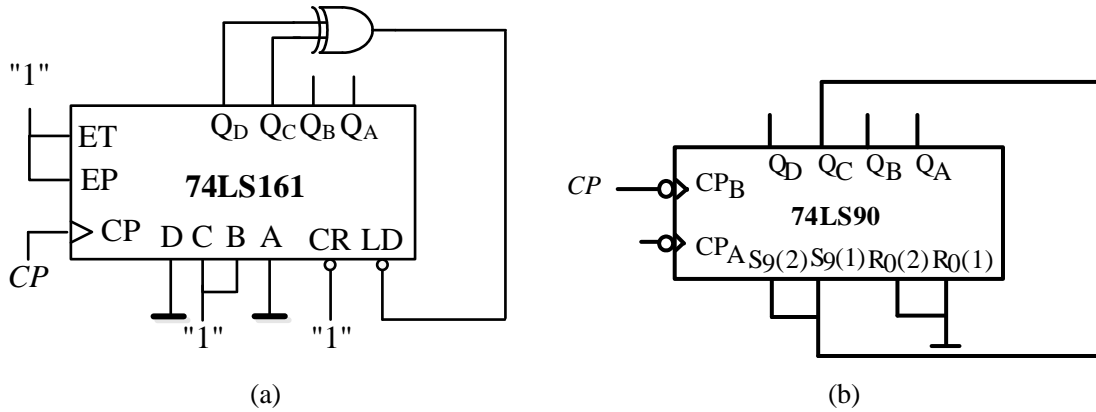


图 2-1

2. 电路如图 2-2 所示， $G_1$  为 TTL 三态门， $G_2$  为 TTL 与非门。指出下表中不同条件下电压表 V 的读数。（高电平输入输出均为 3.6V；低电平输入输出均为 0.3V）（4 分）

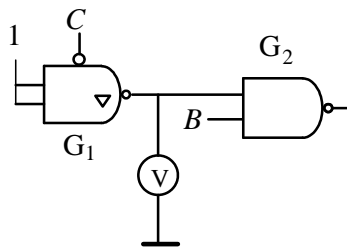


图 2-2

$B=1$	$C=1$	$V=$ _____ $V$
$B=0$	$C=1$	$V=$ _____ $V$
$B=1$	$C=0$	$V=$ _____ $V$
$B=0$	$C=0$	$V=$ _____ $V$

三、(8分)

由4个JK触发器和74LS283构成的电路如图3所示,假设初始状态  $Q_3Q_2Q_1Q_0=0000$ 。

1. 列出由JK触发器构成电路的状态方程;
2. 指出在有效计数循环内  $Q_3Q_2Q_1Q_0$  的编码方式;
3. 该电路正常工作时,若实现74LS283的输出  $DCBA$  为2421\*BCD码,请画出  $B_3B_2B_1B_0$  的接法,完成逻辑电路图(要求:不允许使用其他元器件和逻辑门)。

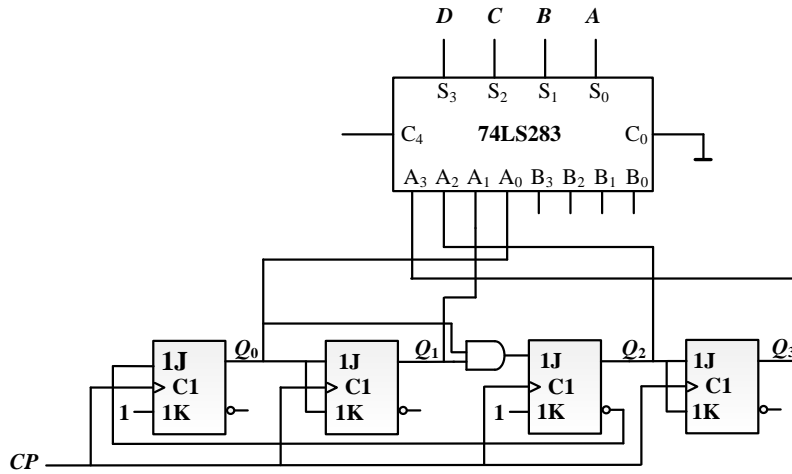


图3

2421*BCD 码	
十进制	2421*码
0	0000
1	0001
2	0010
3	0011
4	0100
5	1011
6	1100
7	1101
8	1110
9	1111

四、(8分) 已知某电路的一次启动时序图如图4所示, 并且该电路具有低电平有效的异步清零端, 对应该逻辑功能的 Verilog HDL 描述如下框内代码所示。1. 根据时序图, 按照  $Q_2Q_1Q_0$  的顺序写出该电路完整的状态转换图; 2. 指出该电路的名称; 3. 要完成该电路的逻辑功能, 请在横线处补充程序语句, 完成相应的 Verilog HDL 描述。

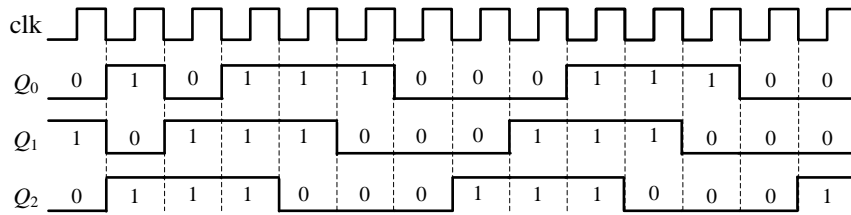


图4

```

module test(clk,clr,Q);
input clk,clr;
output[2:0] Q;

_____

always @(_____ or negedge clr)
begin
if (!clr)
_____
else
begin
_____
_____
end
end
endmodule

```

五、(8分)

已知 $[AB]$ 和 $[CD]$ 为两个二位二进制数，设计一个电路，实现当 $[AB]=[CD]$ 时，输出 $P=1$ ；否则 $P=0$ 。

1. 列出真值表，写出 $P$ 的与或标准型表达式。
2. 在图5中用8选1数据选择器74LS151和3线-8线译码器完成设计，译码器输出高电平有效。在图中通过连线完成设计，不改变已连接部分，不允许外加任何器件。图中所有器件都是TTL器件，74LS151的 $A_2$ 管脚和3线-8线译码器的 $B_2$ 管脚均已折断不能使用，可看成悬空。

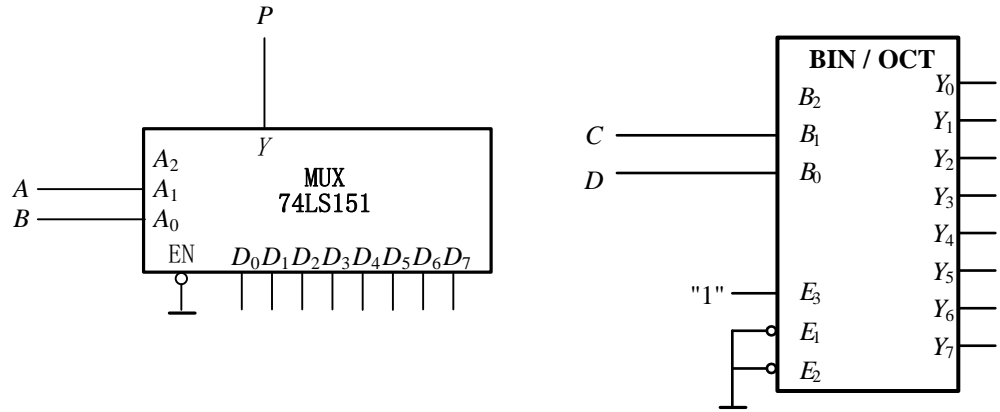


图5



六、(10分)

由 555 定时器构成的电路如图 6(a)所示，输入信号  $u_i$  波形如图 6(b)所示，当输入电压峰值超过额定值时，扬声器 Y 会鸣响发出报警信号。

其中 555 定时器输出为理想 TTL 电平，即输出高电平 5V，低电平 0V，VT 导通时为饱和导通，导通压降可忽略不计， $u_s=4V$ ， $R_1=40k\Omega$ ， $R_2=10k\Omega$ ， $R_3=20k\Omega$ ， $C_1=5.1\mu F$ ， $C_2=0.047\mu F$ 。

1. 由 555 定时器 I、II、III 构成的电路名称分别是什么？
2. 简述此电路的工作原理。
3. 计算扬声器的报警信号频率。
4. 在图 6(b)中定量画出输出  $u_{o1}$ 、 $u_{o2}$  和  $u_{o3}$  的波形。

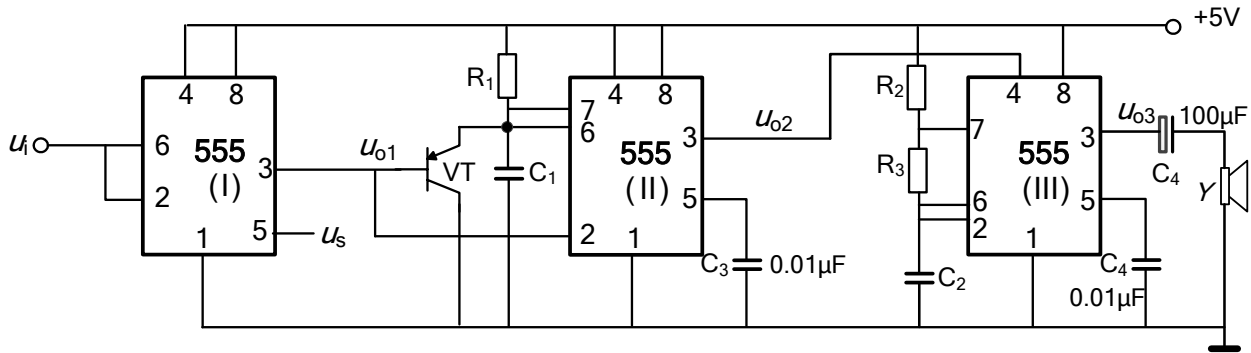


图 6(a)

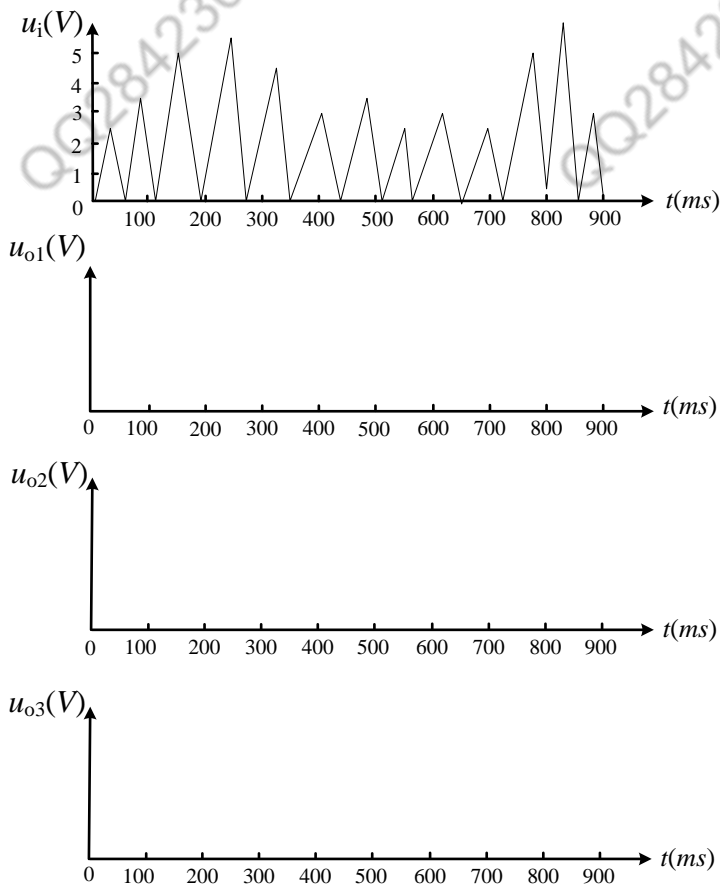


图 6(b)

七、(8分)

采用 D 触发器设计一个同步时序逻辑电路，其状态转换图如图 7(a)所示。其中  $Q_1$ 、 $Q_0$  为状态变量， $d_{in}$  为输入变量， $Z$  为输出变量。

1. 写出电路的状态方程和输出方程；
2. 在图 7(b)中完成该电路的设计，图中  $A_2$  为地址译码器输入的最高位。(要求：不能添加其他器件)

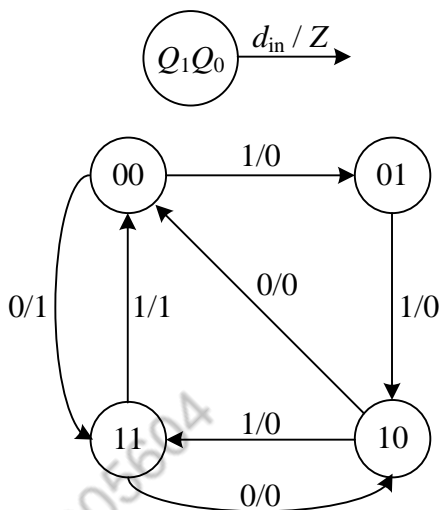


图 7 (a)

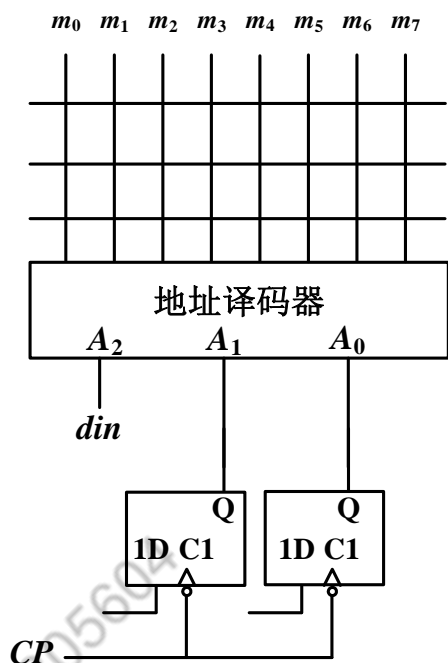


图 7 (b)

八、(8分)

某4位双积分型AD转换器电路如图8所示。其中， $U_I$ 为输入模拟量， $[D_3D_2D_1D_0]$ 为输出数字量，参考电压  $V_{REF}=5V$ ， $CP$  为周期 20ms 的方波时钟信号， $R=20k\Omega$ ， $C=10\mu F$ 。电路在进行AD转换之前，计数器74LS160的输出 $[D_3D_2D_1D_0]=[0000]$ ，两个D触发器的输出 $A=B=0$ 。先闭合开关S，将开关S再次断开的瞬间看做AD转换开始的时刻，即 $t=0$ 时刻。

1. 当  $U_I=4V$  时，计算  $U_O$  的最大幅值约为多少；
2. 当  $U_I=4V$  时，AD转换的结果约是多少；分析转换结束后  $A$  和  $B$  的状态；
3. 当  $U_I=6V$  时，AD转换后的计数器输出约是多少；分析转换结束后  $A$  和  $B$  的状态；
4. 指出信号  $B$  在电路中的作用。

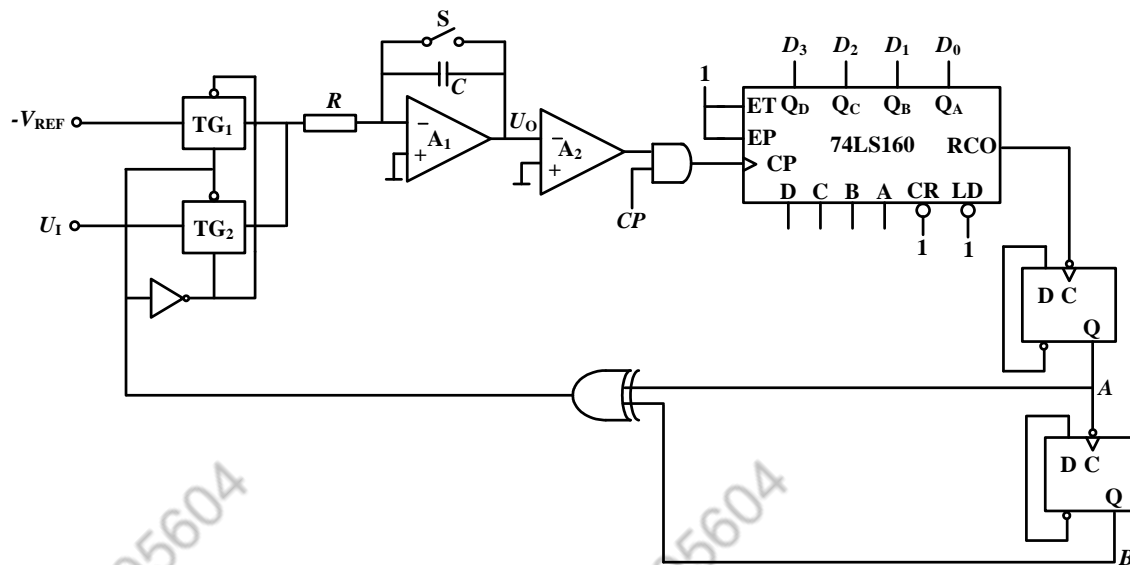


图 8

一、判断与填空

1. a. ×; b. √; c. ×

2.  $P = \overline{A+B}$

3. 1态冒险

4.  $F = \overline{BD} + \overline{BC}$ ;  $\overline{F} = \overline{BD} + BC$

5. 010100

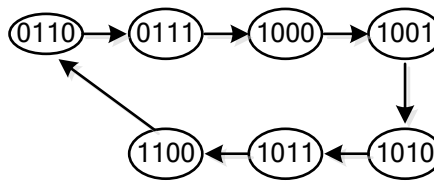
6. 40 kHz

7.  $2^9$  或 512 Kbit

二、简答题

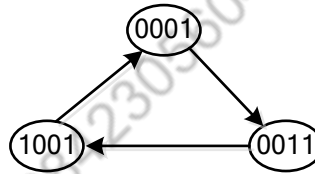
1

(a)



七进制

(b)



三进制

2.

$B=1$	$C=1$	$V=$ <u>1.4</u> $V$
$B=0$	$C=1$	$V=$ <u>0.3</u> $V$
$B=1$	$C=0$	$V=$ <u>0.3</u> $V$
$B=0$	$C=0$	$V=$ <u>0.3</u> $V$

三、

1. 状态方程

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_0^n \overline{Q_1^n} \overline{Q_2^n}$$

$$Q_3^{n+1} = Q_2^n \overline{Q_3^n} + \overline{Q_2^n} Q_3^n$$

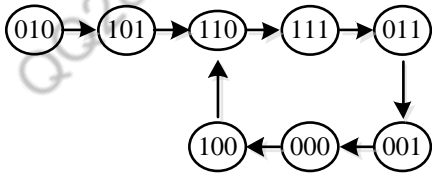
2. 5421 码

3.  $B_3$  与  $B_2$  接地

$B_1$  与  $B_0$  接  $Q_3$

四、

1.



2. 扭环形计数器

3.

① reg[2:0] Q; ② negedge clk ③ Q<=3'b000; ④ Q<=(Q>>1);

⑤ Q[2]<=~Q[0](Q[2]&&~Q[1]);

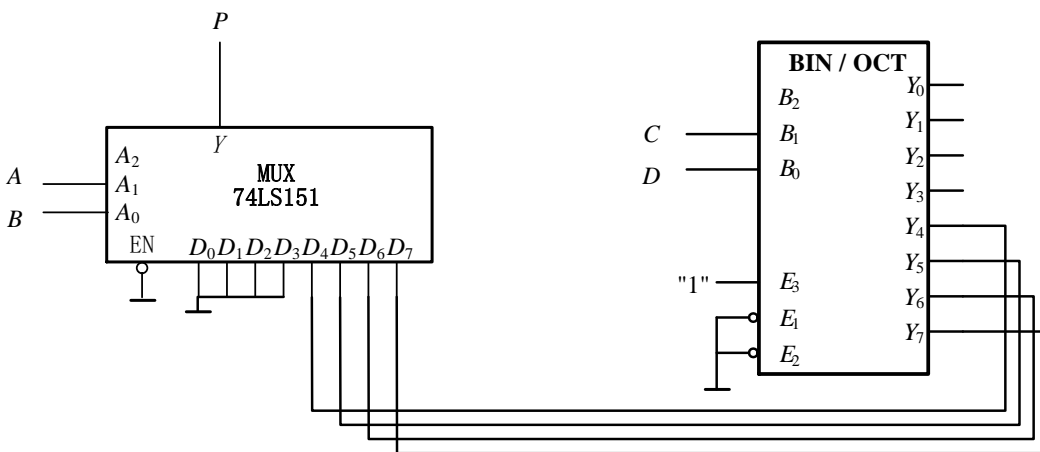
**五、**

1

A	B	C	D	P <sub>4</sub>
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

$$Y = \overline{A}BCD + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + ABCD$$

2



**六、**

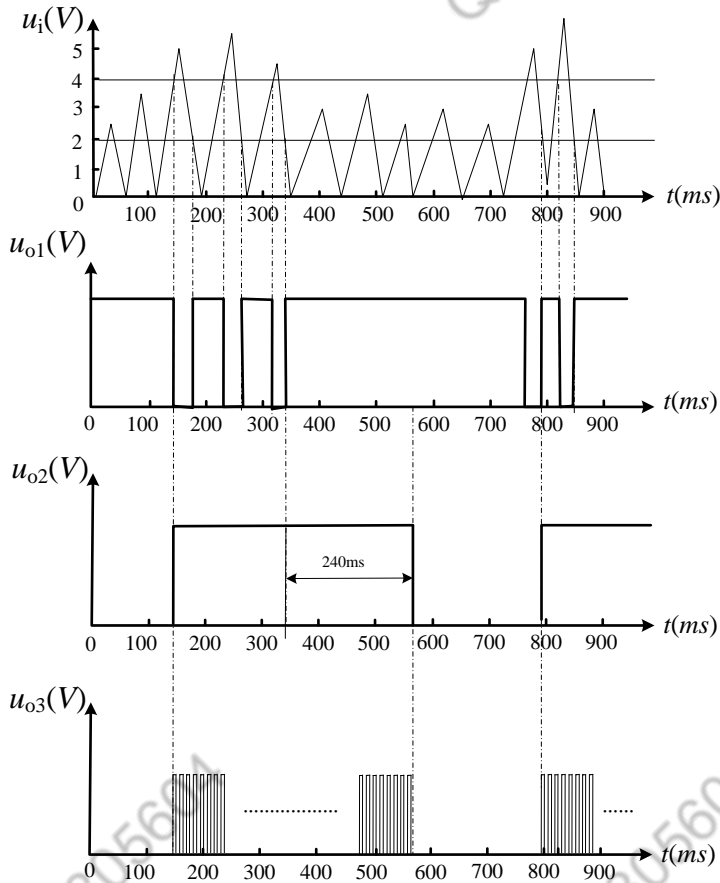
1. 施密特触发器，单稳态触发器，多谐振荡器

2. 施密特检测信号峰值，超过 4V，输出 0，此时单稳态触发，输出 1，多谐清零无效，输出矩形波，扬声器报警，当信号峰值小于 2V，施密特输出 1，此时单稳态的高电平维持  $t_w$  时间自动翻转为 0，扬声器停止报警，单稳态为可重触发触发器。

3.  $T = 0.7(R_2 + 2R_3) C_2 = 0.7 \times 50k\Omega \times 0.047\mu = 1.645ms$

f=608Hz

4.



七、  
真值表

$d_{in}$	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	1	1	1
0	0	1	×	×	×
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	0	1

次态卡诺图

		$Q_1^n Q_0^n$			
		00	01	11	10
$d_{in}$	0	1	×	1	0
	1	0	1	0	1
		$Q_1^{n+1}$			

		$Q_1^n Q_0^n$			
		00	01	11	10
$d_{in}$	0	1	×	0	0
	1	1	0	0	1
		$Q_0^{n+1}$			

		$Q_1^n Q_0^n$			
		00	01	11	10
$d_{in}$	0	1	×	0	0
	1	0	0	1	0
		$Z$			

状态方程

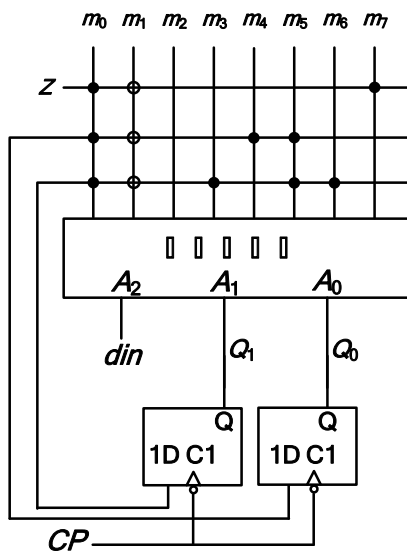
$$Q_1^{n+1} = \overline{d_{in}} \overline{Q_1^n} \overline{Q_0^n} + \overline{d_{in}} Q_1^n Q_0^n + d_{in} \overline{Q_1^n} Q_0^n + d_{in} Q_1^n \overline{Q_0^n} + (d_{in} \overline{Q_1^n} Q_0^n) = m_0 + m_3 + m_5 + m_6 + (m_1)$$

$$Q_0^{n+1} = \overline{d_{in}} \overline{Q_1^n} \overline{Q_0^n} + d_{in} \overline{Q_1^n} \overline{Q_0^n} + d_{in} Q_1^n \overline{Q_0^n} + (d_{in} \overline{Q_1^n} Q_0^n) = m_0 + m_4 + m_6 + (m_1)$$

输出方程

$$Z = \overline{d_{in}} \overline{Q_1} \overline{Q_0} + d_{in} Q_1 Q_0 + (\overline{d_{in}} \overline{Q_1} Q_0) = m_0 + m_7 + (m_1)$$

电路图



八、

$$1. U_o = -\frac{1}{RC} \times \int_0^{10 \times T_{cp}} U_1 dt = -\frac{1}{20k\Omega \times 10\mu F} \times \int_0^{200ms} 4V dt = -4V$$

$$2. \frac{4V}{R} \times 10 \times T_{cp} = \frac{5V}{R} \times D \times T_{cp} \Rightarrow D = 8$$

$A=1, B=0$

$$3. \frac{6V}{R} \times 10 \times T_{cp} = \frac{5V}{R} \times D \times T_{cp} \Rightarrow D = 12, \text{ 所以转换结果为 } 12-10=2$$

$A=0, B=1$

4.  $B$  的作用是当  $B=1$  时, AD 转换结果有溢出。

2017 秋

一、填空与选择

1. 判断下述说法是否正确，正确者在其后( )内打√，反之打×。

- a. TTL 逻辑门的噪声容限表示逻辑门带负载能力。( )
- b. 对于一个逻辑函数表达式，最简与或表达式是唯一的。( )
- c. 集电极开路门(OC)在使用时须在输入端和输出端之间接一电阻。( )
- d. 同或门当反相器使用时，将多余的输入端接低电平。( )

2 逻辑函数  $F(A,B,C) = (A + \bar{B} + \bar{C})(\bar{A} + B + C)(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$   
 $= \sum m(\underline{\hspace{2cm}})$

3. 若要构成 256K×16bit 存储器，需要\_\_\_\_\_片容量为 64K×4bit 的存储器，并且还需要外加\_\_\_\_\_位地址译码以完成寻址操作。

4. 图 1-1 所示电路，假设初始时刻两个触发器的输出  $Q_1Q_0 = 00$ ，经过 627 个时钟周期触发器的输出  $Q_1Q_0 = \underline{\hspace{2cm}}$ 。

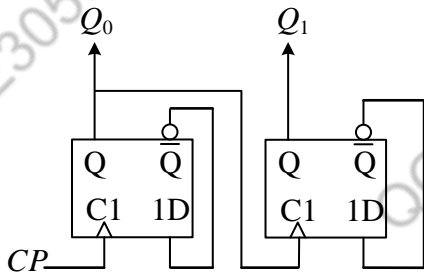


图 1-1

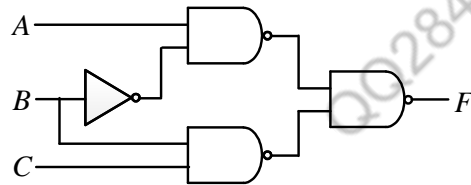


图 1-2

5. 图 1-2 所示的电路\_\_\_\_\_。

- A. 不产生竞争冒险；
- B. 可能产生 0 态冒险；
- C. 可能产生 1 态冒险；
- D. 0 态、1 态冒险均可能产生。

6. 欲产生序列信号 10110100，则至少需要\_\_\_\_\_个触发器。

7. 图 1-3 所示的电路中，有 1 个电路所实现的功能与其它 3 个电路不同，该电路是\_\_\_\_\_。

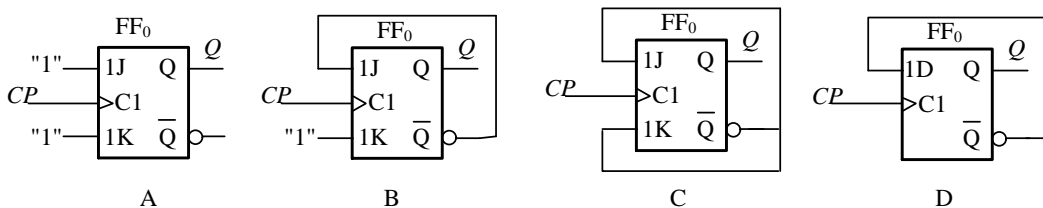


图 1-3

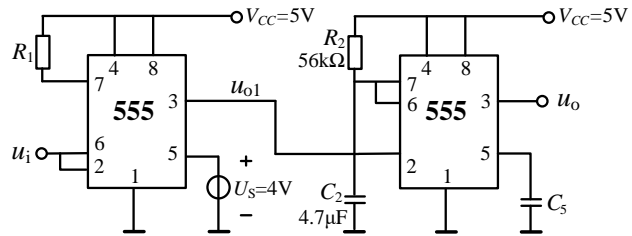
8. 某数模转换器的输入为 10 位二进制数字信号 ( $D_9 \sim D_0$ )，输出为 0~20.46V 的模拟电压，该



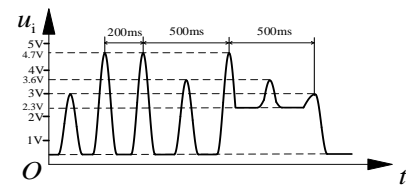
D/A 转换器的分辨率为\_\_\_\_\_；当输入数字量为(101000000)<sub>2</sub>时，输出电压值为\_\_\_\_\_ V。

二、简答题：

1. 电路如图 2-1(a)所示，输入信号  $u_i$  如图 2-1(b)所示，请在图 2-1(b)中画出  $u_{o1}$  和  $u_o$  的波形。



(a)

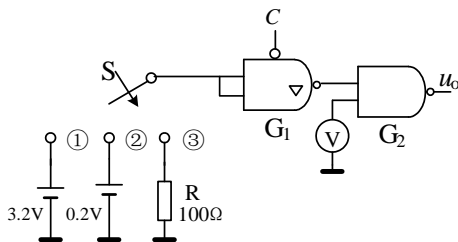


(b)

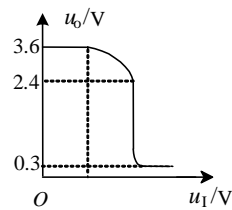
图 2-1

2. 电路如图 2-2 所示，图 (a) 中  $G_1$  为 TTL 三态门， $G_2$  为 TTL 与非门，图(b)为其电压传输特性及输入负载特性曲线。万用表的内阻为  $20\text{k}\Omega / \text{V}$ ，量程为  $5\text{V}$ 。试分别说明在下列情况下，万用表的读数为多少伏？

- ①  $C=0$ ，开关  $S$  悬空；
- ②  $C=0$ ，开关  $S$  接到①端；
- ③  $C=0$ ，开关  $S$  接到②端；
- ④  $C=0$ ，开关  $S$  接到③端；
- ⑤  $C=1$ ，开关  $S$  接到①端。



(a)



(b)

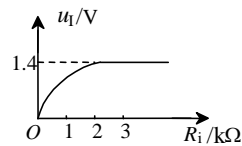
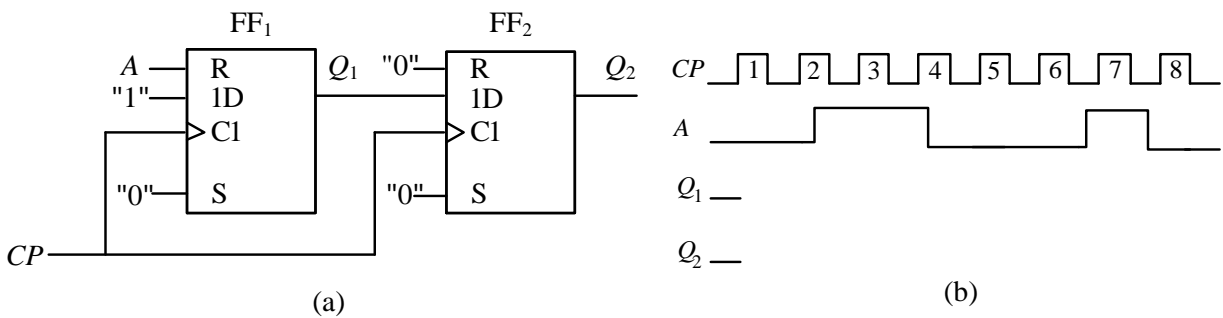


图 2-2

3. 图 2-3(a)所示电路, R 为异步清零端, S 为异步置位端, 假设触发器初态  $Q_2Q_1=00$  在 2-3(b)所示输入波形的作用下, 画出相应的输出波形。



三. 请根据如下所示 Mealy 型状态机的 Verilog 语言描述, 在图 3 所示状态转换图中的横线处填写输入与输出。

<pre> module mealy_machine(clk,din,op); input clk,din; output op; reg[1:0] current_state,next_state; reg op; parameter S0=2'b00,S1=2'b01,S2=2'b10,S3=2'b11; always@(posedge clk) begin current_state &lt;= next_state; end always@(current_state or din) begin case( current_state ) S0: begin if (din==0) begin next_state = S0; op =0; end else begin next_state = S1; op =1; end end S1: begin if (din==1) begin next_state = S1; op =1; end else begin next_state = S2; </pre>	<pre> op =0; end end S2: begin if (din==1) begin next_state = S2; op =0; end else begin next_state = S3; op =1; end end S3: begin if (din==0) begin next_state = S3; op =0; end else begin next_state = S0; op =1; end end default: begin op =0; next_state = S0; end endcase end endmodule </pre>
--	--

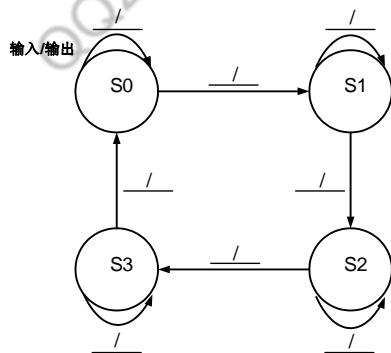


图 3

四：电路如图 4 所示， $[A_1B_1]$ 和 $[A_0B_0]$ 是 2 位二进制数。(1) 分别写出  $L$  和  $P_0$  关于  $A_0$  和  $B_0$  的表达式，并指出虚线框 I 中电路的功能；(2) 分别写出  $P_1$  和  $P_2$  关于  $A_1$ 、 $B_1$  和  $L$  的表达式，并指出虚线框 II 中电路的功能；(3) 说明整个电路的功能。

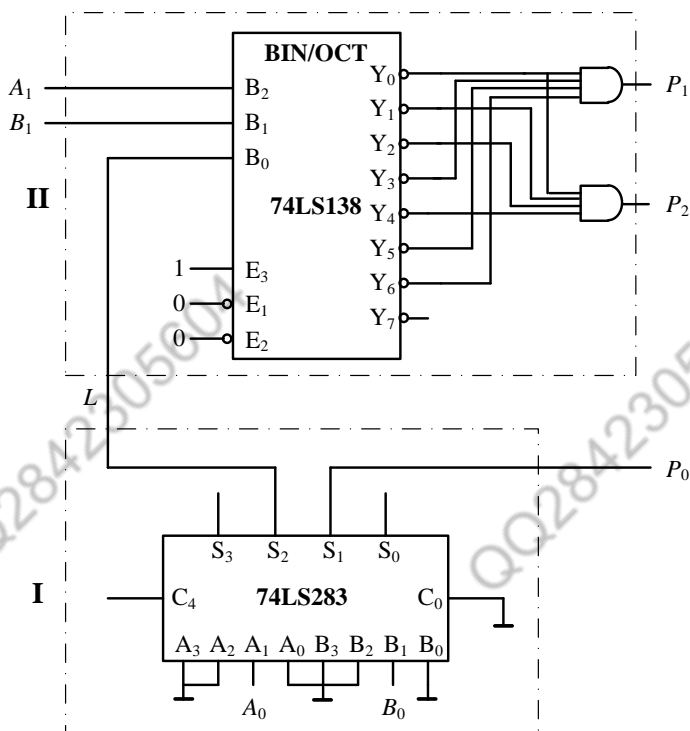


图 4

五. 用 4 个 D 触发器，设计一个可产生 6 位序列脉冲 000111 的序列脉冲发生器，要求  $Q_4$  作为输出。(1) 设计并在图 5 中完成该电路(要求：不允许使用其他元件和逻辑门)；(2) 请画出该电路完整的状态转换图，并判断该电路是否可以自启动。

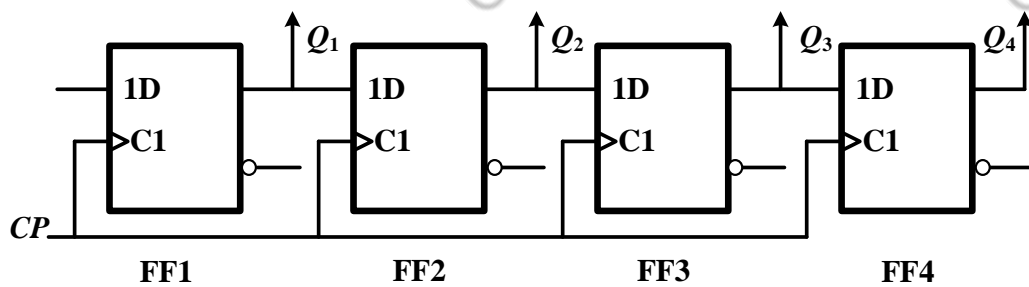


图 5

六. 555 定时器、异步十进制计数器 74LS90 和运算放大器组成如图 6 示的电路。试问：（1）555 定时器构成电路的名称？若已知  $R_1 = 5k\Omega$ ,  $R_2 = 5k\Omega$ ,  $C_1 = 0.1\mu F$ , 求输出  $v_{out}$  信号的周期和占空比；（2）画出 74LS90 在 CP 脉冲作用下, 输出  $Q_D Q_C Q_B Q_A$  完整的状态转换图；（3）若已知  $Q_D Q_C Q_B Q_A$  输出的高电平为 3V, 低电平为 0V, 求运放输出  $U_o$  的变化范围。

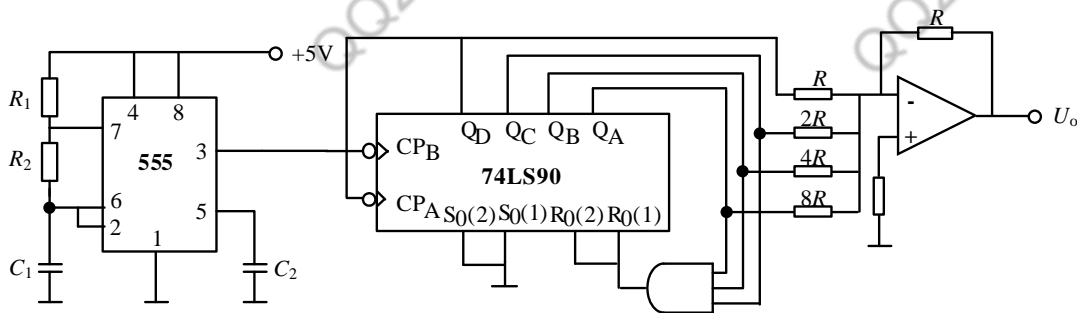


图 6

七. 用计数器 74LS161 (异步清零, 同步置数), EPROM2716 和十六选一数据选择器的电路如图 7 示, 存储器中存储的信息见表 1。(1) 当开关  $S_0$  接到①端, 说明 74LS161 构成多少进制计数器; (2) 写出输出  $Y$  关于十六选一数据选择器选择变量  $A_3, A_2, A_1, A_0$  的最简与或式; (3) 当开关  $S_0$  接到②端, 并假设初始时刻 74LS161 的输出  $Q_D Q_C Q_B Q_A = 0000$ , 若以此时作为电路运行的起始点, 写出  $Y$  输出的序列码 (至少写出一个周期的序列码)。

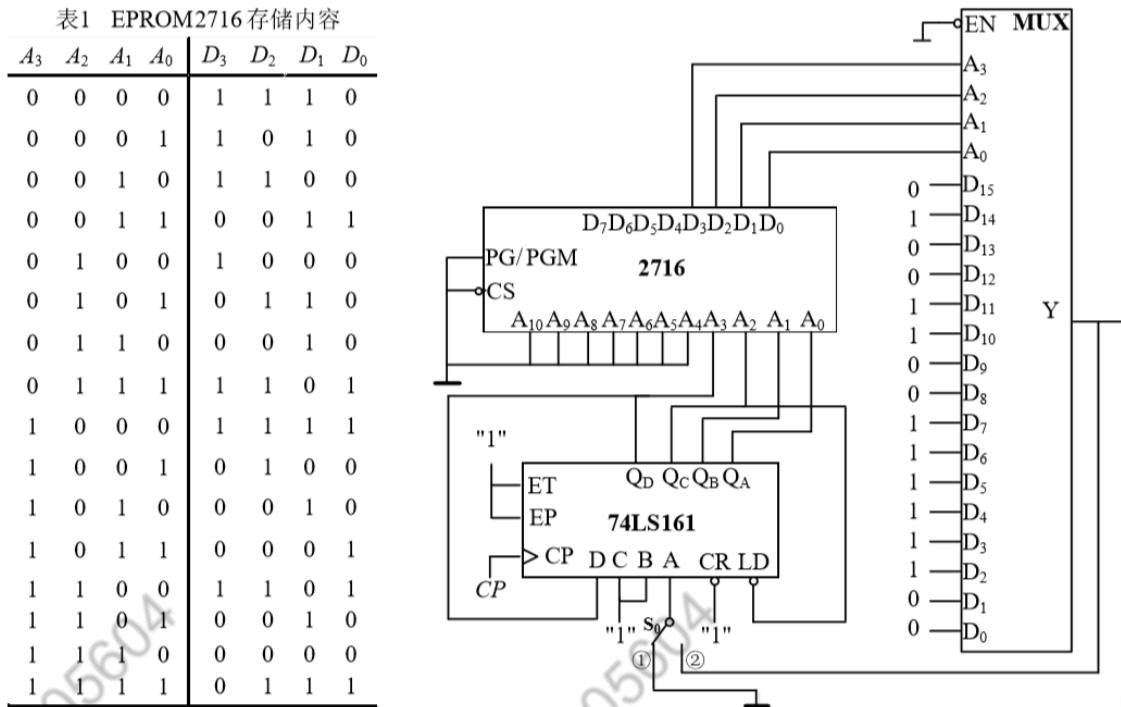
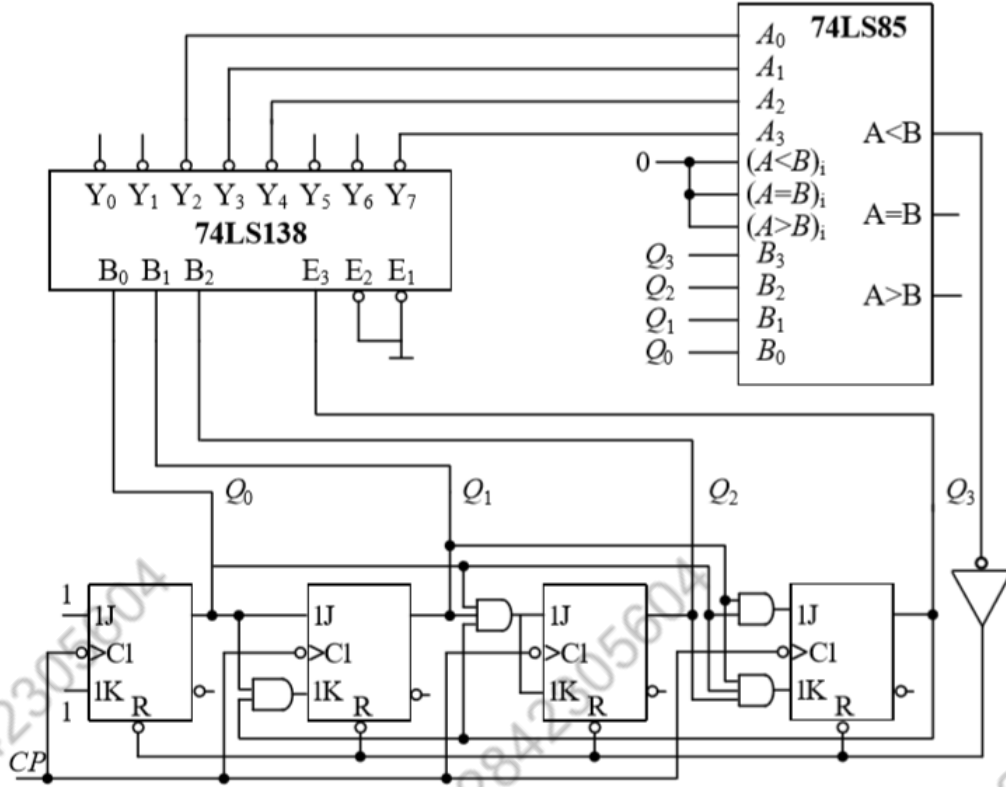


图 7

得分

八. 由 JK 触发器、74LS138 译码器、74LS85 四位数码比较器构成的电路如图 8 所示，74LS138 译码器输出低电平有效， $E_3$ ， $\bar{E}_2$  和  $\bar{E}_1$  代表有效使能电平为[100]，使能无效时  $\bar{Y}_0$  到  $\bar{Y}_7$  输出均为高电平。（1）写出 4 个触发器的状态方程；（2）按照  $Q_3Q_2Q_1Q_0$  的顺序，画出状态转换图（有效循环即可），并分析是多少进制的计数器。（10 分）





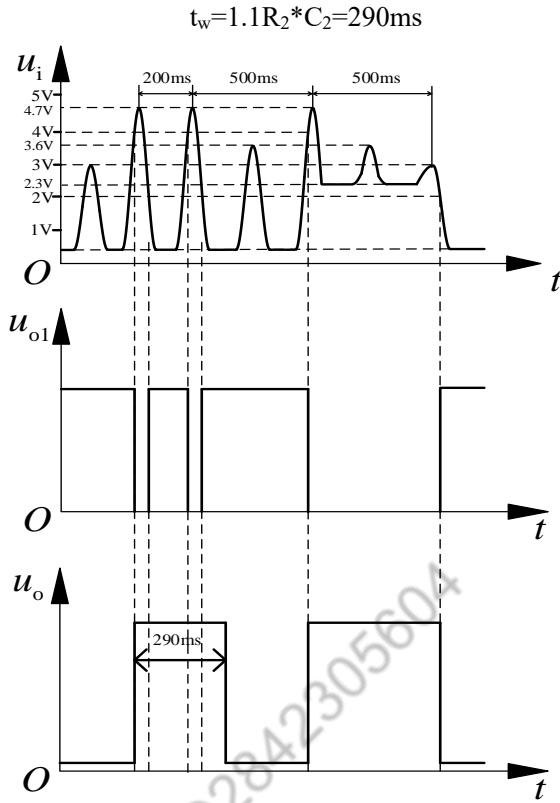
答案

一、共 10 分

(1) D (2) 0,1,2 (3) 16 2 (4) 01 (5) C (6) 3 (7) C (8) 1/1023 (或 10 位) 12.8

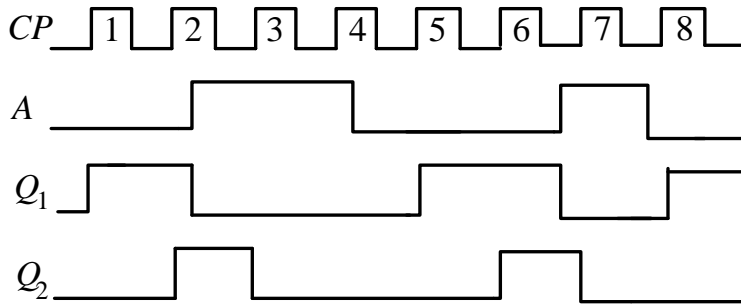
二、

1. 共 4 分

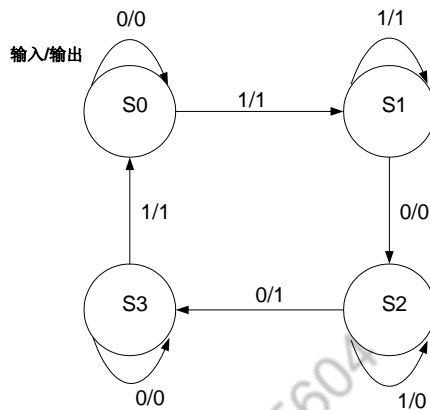


2.  0.3V  0.3V  1.4V  1.4V  1.4V

3.



三、



五、

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	0	1	1
1	0	0	1	1	1
2	0	1	1	1	0
3	1	1	1	0	0
4	1	1	0	0	0
5	1	0	0	0	1

$$D_1 = \bar{Q}_C$$

Q <sub>B</sub> Q <sub>A</sub>	00	01	11	10
Q <sub>D</sub> Q <sub>C</sub> 00	X	1	1	X
01	X	X	0	X
11	0	X	X	0
10	1	X	X	X

P	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	0	0	1
1	0	0	0	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	1	0	1
1	0	1	0	1	0
2	1	0	1	0	1
3	0	1	0	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	1	0	0	0
1	1	0	0	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	1	1	0	0
1	1	1	0	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	0	0	1	1
1	0	0	1	1	

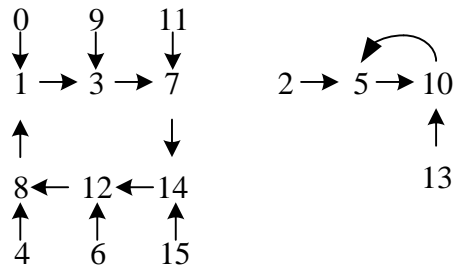
CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	0	1	1	1
1	0	1	1	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	1	0	1	0
1	1	0	1	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	1	1	1	0
1	1	1	1	0	



六、(1) 多谐振荡器

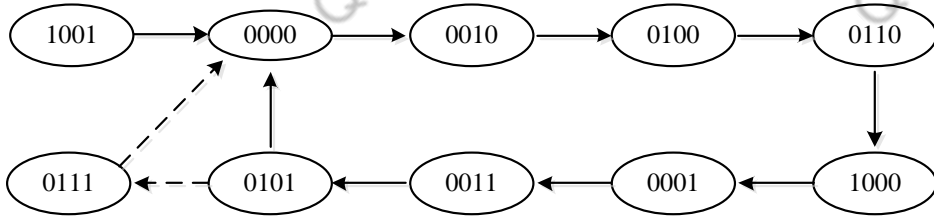
$$T_1 = 0.7(R_1 + R_2)C_1 = 0.7 \times (5k\Omega + 5k\Omega) \times 0.1\mu F = 0.7ms$$

$$T_2 = 0.7R_2C_1 = 0.35ms$$

$$T = T_1 + T_2 = 1.05ms$$

$$D = \frac{T_1}{T_1 + T_2} \times 100\% = 66.7\%$$

(2)



(3) -3V~0V

七

(1) 六进制

(2)  $Y = \bar{A}_3 A_2 + A_1 \bar{A}_0 + \bar{A}_2 A_1$

(3) 10001

八、共 10 分

驱动方程:

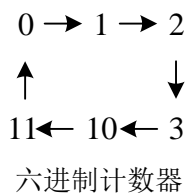
$$\begin{aligned}
 J_0 &= 1 & K_0 &= 1 \\
 J_1 &= Q_0 K_1 = Q_3 Q_0 \\
 J_2 &= Q_3 Q_1 Q_0 K_2 = Q_3 Q_1 Q_0 \\
 J_3 &= Q_1 Q_0 K_3 = Q_2 Q_1 Q_0
 \end{aligned}$$

状态方程:

$$\begin{aligned}
 Q_0^{n+1} &= \bar{Q}_0^n \\
 Q_1^{n+1} &= Q_0^n \bar{Q}_1^n + \bar{Q}_3^n Q_0^n Q_1^n \\
 Q_2^{n+1} &= Q_3^n Q_1^n Q_0^n \bar{Q}_2^n + \bar{Q}_3^n Q_1^n Q_0^n Q_2^n \\
 Q_3^{n+1} &= Q_1^n Q_0^n \bar{Q}_3^n + \bar{Q}_2^n Q_1^n Q_0^n Q_3^n
 \end{aligned}$$

状态转换表:

CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$A_3$	$A_2$	$A_1$	$A_0$	$A < B$
0	0	0	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1	1	0
2	0	0	1	0	1	1	1	1	0
3	0	0	1	1	1	1	1	1	0
4	1	0	1	0	1	1	1	0	0
5	1	0	1	1	1	1	0	1	0
6	1	1	0	0	1	0	1	1	1
7	1	1	0	1	1	1	1	1	0
8	1	1	1	0	1	1	1	1	0
9	1	1	1	1	1	1	1	1	0
10	0	0	0	0	1	1	1	1	0



数字电子技术基础 试 题

主管  
领导  
审核  
签字

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											
阅卷人											

片纸鉴心 诚信不败

一、填空与选择 (10 分)

1. 下列说法正确的是: \_\_\_\_\_。

- A. TTL 逻辑门的噪声容限表示逻辑门带负载能力。
- B. 对于一个逻辑函数表达式, 最简与或表达式是唯一的。
- C. 集电极开路门(OC)在使用时, 须在输入端和输出端之间接一电阻。
- D. 同或门当反相器使用时, 将多余的输入端接低电平。

2. 逻辑函数  $F(A, B, C) = (A + \bar{B} + \bar{C})(\bar{A} + B + C)(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$   
 $= \sum m(\underline{\hspace{2cm}})$ 。

3. 若要构成  $256 \times 16\text{bit}$  存储器, 需要 \_\_\_\_\_ 片容量为  $64\text{K} \times 4\text{bit}$  的存储器, 并且还需要外加 \_\_\_\_\_ 位地址译码以完成寻址操作。

4. 图 1-1 所示电路, 假设初始时刻两个触发器的输出  $Q_1Q_0 = 00$ , 经过 627 个时钟周期, 两个触发器的输出  $Q_1Q_0 = \underline{\hspace{2cm}}$ 。

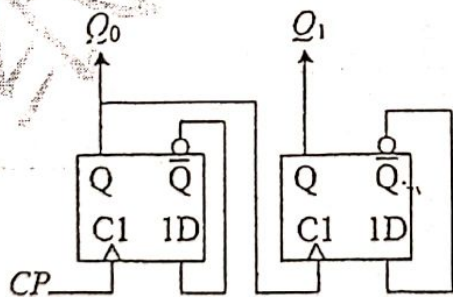


图 1-1

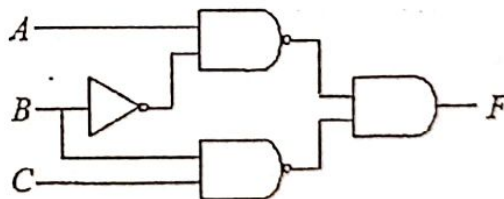


图 1-2

5. 图 1-2 所示的电路 \_\_\_\_\_。

- A. 不产生竞争冒险;
- B. 可能产生 0 态冒险;
- C. 可能产生 1 态冒险;
- D. 0 态、1 态冒险均可能产生。

6. 欲产生序列信号 10110100, 则至少需要 \_\_\_\_\_ 个触发器。

授课教师

姓名

学号

封

密

7. 图 1-3 所示的电路中, 有 1 个电路所实现的功能与其它 3 个电路不同, 该电路是\_\_\_\_\_。

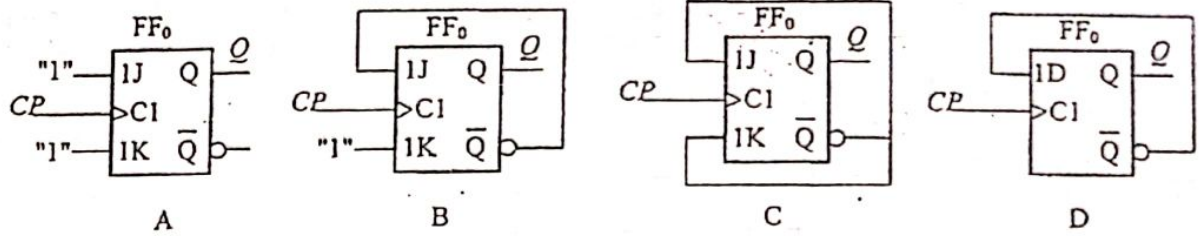


图 1-3

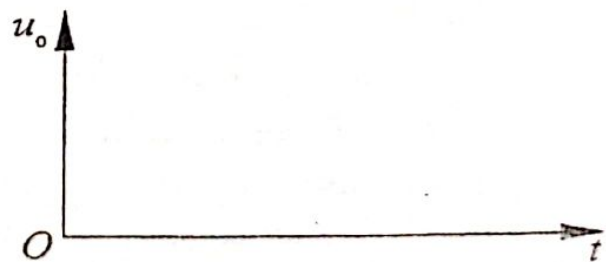
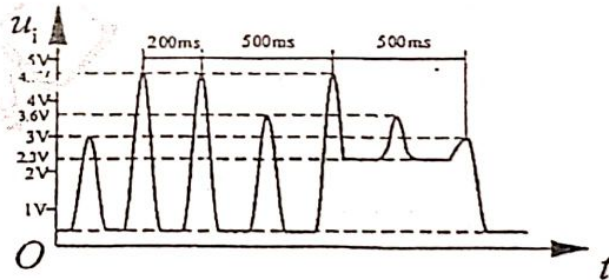
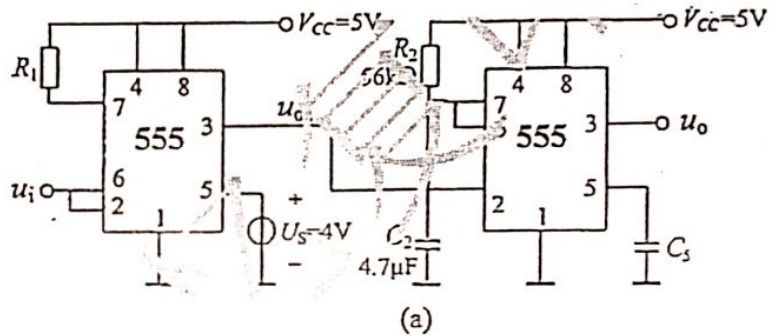
8. 某数模转换器的输入为 10 位二进制数字信号 ( $D_9 \sim D_0$ ), 输出为 0~20.46V 的模拟电压, 该 D/A 转换器的分辨率为\_\_\_\_\_; 当输入数字量为  $(1010000000)_2$  时, 输出电压值为\_\_\_\_\_ V。

得分

二、简答题: (13 分)

1. 电路如图 2-1(a)所示, 输入信号  $u_i$  如图 2-1(b)所示, 请在图 2-3(1)中画出  $u_{o1}$  和  $u_o$  的波形。

紫丁香影院  
QQ 1689929593



(b)

图 2-1



授课教师

姓名

学号

院系

2. 电路如图 2-2 所示, 图 (a) 中  $G_1$  为 TTL 三态门,  $G_2$  为 TTL 与非门, 图(b)为其电压传输特性及输入负载特性曲线。万用表的内阻为  $20k\Omega/V$ , 量程为  $5V$ 。试分别说明在下列情况下, 万用表的读数为多少伏?

- ①  $C=0$ , 开关 S 悬空;
- ②  $C=0$ , 开关 S 接到①端;
- ③  $C=0$ , 开关 S 接到②端;
- ④  $C=0$ , 开关 S 接到③端;
- ⑤  $C=1$ , 开关 S 接到①端。

哈工大资源共享  
QQ: 2842305604

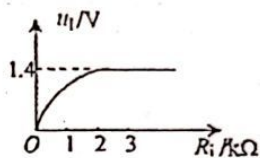
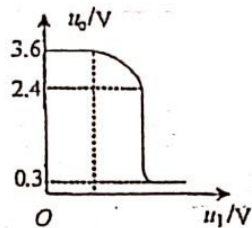
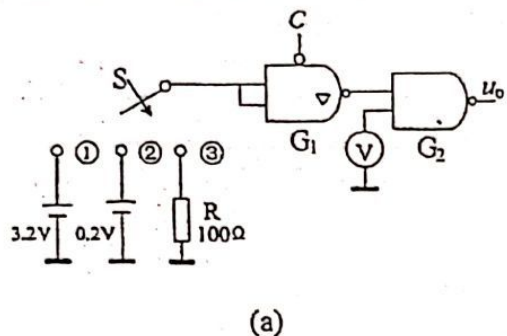


图 2-2

3. 电路如图 2-3(a)所示, R 为异步清零端, S 为异步置位端, 假设触发器初态  $Q_2Q_1=00$ , 在图 2-3(b)所示输入波形的作用下, 画出相应的输出波形。

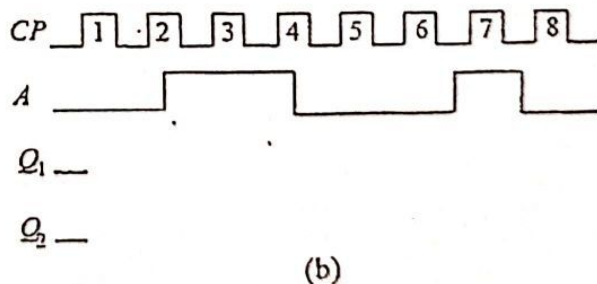
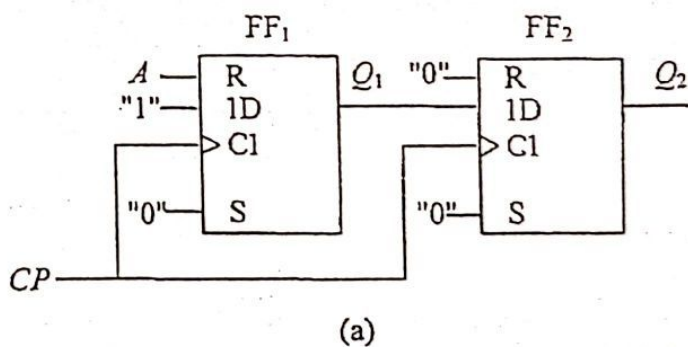


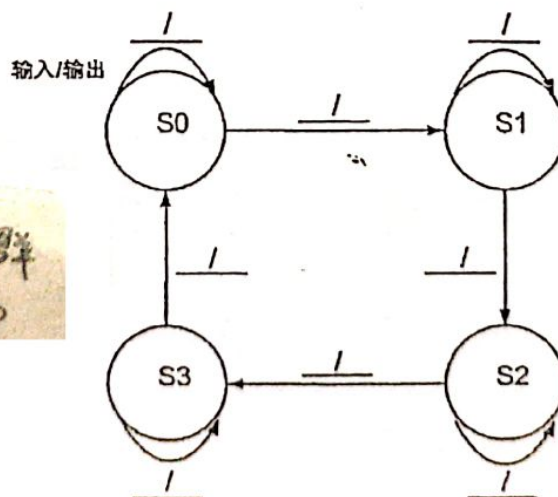
图 2-3



得分

三. 请根据如下所示 Mealy 型状态机的 Verilog 语言描述, 在图 3 所示状态转换图中的横线处填写输入与输出。(4 分)

<pre> module mealy_machine(clk,din,op); input clk,din; output op; reg[1:0] current_state,next_state; reg op; parameter S0=2'b00,S1=2'b01,S2=2'b10,S3=2'b11; always@(posedge clk) begin current_state &lt;= next_state; end always@(current_state or din) begin case( current_state ) S0: begin if (din==0) begin next_state = S0; op =0; end else begin next_state = S1; op =1; end end S1: begin if (din==1) begin next_state = S1; op =1; end else begin next_state = S2; </pre>	<pre> op =0; end end S2: begin if (din==1) begin next_state = S2; op =0; end else begin next_state = S3; op =1; end end S3: begin if (din==0) begin next_state = S3; op =0; end else begin next_state = S0; op =1; end end default: begin op =0; next_state = S0; end endcase end endmodule </pre>
--	--



大物实验群  
290028380

图 3

得分

四：电路如图 4 所示， $[A_1A_0]$ 和 $[B_1B_0]$ 是 2 位二进制数。(1) 分别写出  $L$  和  $P_0$  关于  $A_0$  和  $B_0$  的表达式，并指出虚线框 I 中电路的功能；(2) 分别写出  $P_1$  和  $P_2$  关于  $A_1$ 、 $B_1$  和  $L$  的表达式，并指出虚线框 II 中电路的功能；(3) 说明整个电路的功能。(7 分)

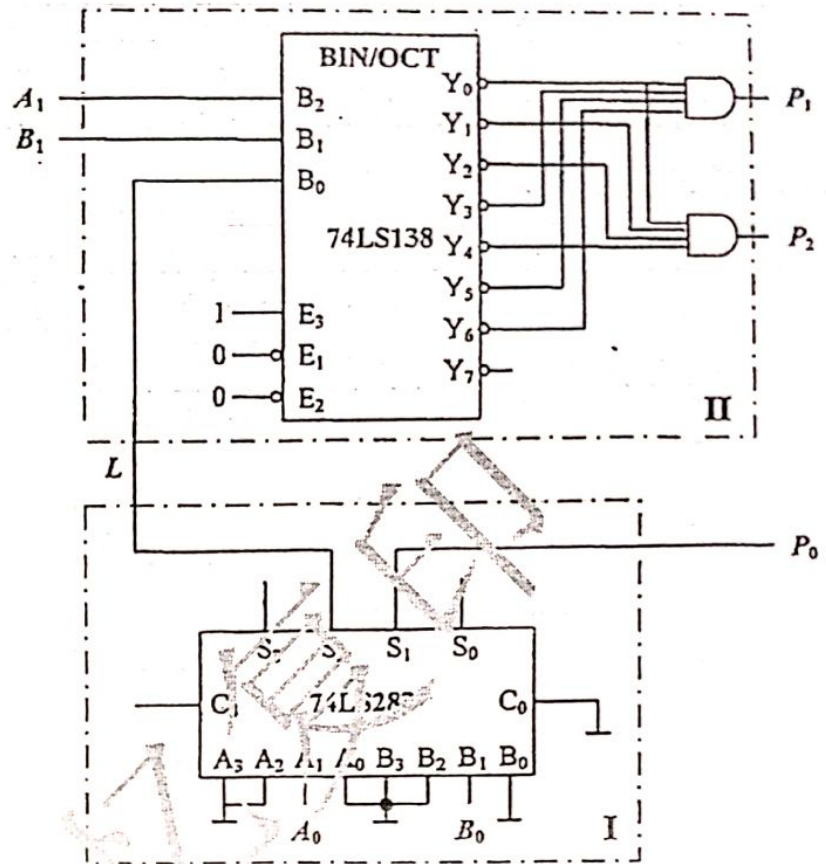


图 4

授课教师

姓名

学号

院系

密

封

得分

五. 用 4 个 D 触发器, 设计一个可产生 6 位序列脉冲 000111 的序列脉冲发生器, 要求  $Q_4$  作为输出。(1) 设计并在图 5 中完成该电路(要求: 不允许使用其他元件和逻辑门); (2) 请画出该电路完整的状态转换图, 并判断该电路是否可以自启动; (8 分)

数值分析 0.5  
926420643

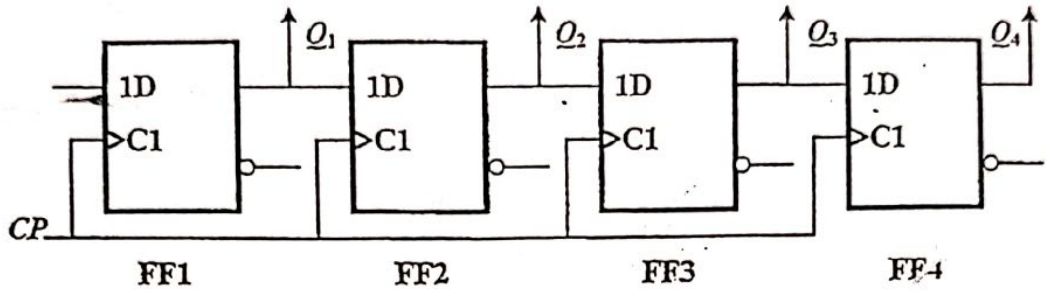


图 5

得分

六. 555 定时器、异步十进制计数器 74LS90 和运算放大器组成如图 6 示的电路。试问：(1) 555 定时器构成电路的名称？若已知  $R_1 = 5k\Omega$ ,  $R_2 = 5k\Omega$ ,  $C_1 = 0.1\mu F$ , 求输出  $v_{out}$  信号的周期和占空比；(2) 画出 74LS90 在 CP 脉冲作用下, 输出  $Q_D Q_C Q_B Q_A$  有效循环内的状态转换图；(3) 若已知  $Q_D Q_C Q_B Q_A$  输出的高电平为 3V, 低电平为 0V, 求运放输出  $U_o$  的变化范围。(8 分)

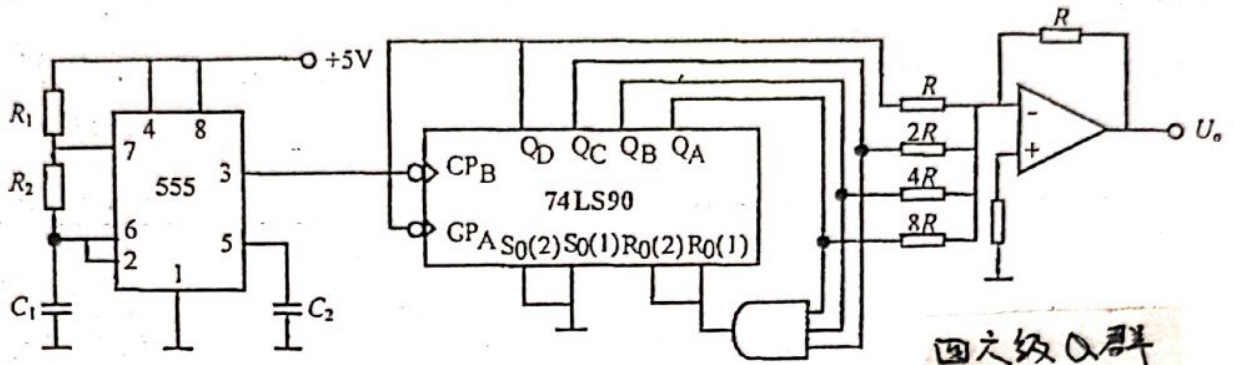


图 6

图六级 Q 群  
741109221

授课教师

姓名

学号

院系

密

封



得分
----

七. 用计数器 74LS161 (异步清零, 同步置数), EPROM2716 和十六选一数据选择器的电路如图 7 示, 存储器中存储的信息见表 1. (1) 当开关  $S_0$  接到①端, 说明 74LS161 构成多少进制计数器; (2) 写出输出  $Y$  关于十六选一数据选择器选择变量  $A_3, A_2, A_1, A_0$  的最简与或式; (3) 当开关  $S_0$  接到②端, 并假设初始时刻 74LS161 的输出  $Q_D Q_C Q_B Q_A = 0000$ , 若以此时作为电路运行的起始点, 写出  $Y$  输出的序列码 (只写出一个周期的序列码即可). (10 分)

表1 EPROM2716 存储内容

$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	1	1	1	0
0	0	0	1	1	0	1	0
0	0	1	0	1	1	0	0
0	0	1	1	0	0	1	1
0	1	0	0	1	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	0	0	1	0
0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	1
1	0	0	1	0	1	0	0
1	0	1	0	0	0	1	0
1	0	1	1	0	0	0	1
1	1	0	0	1	1	0	1
1	1	0	1	0	0	1	0
1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	1

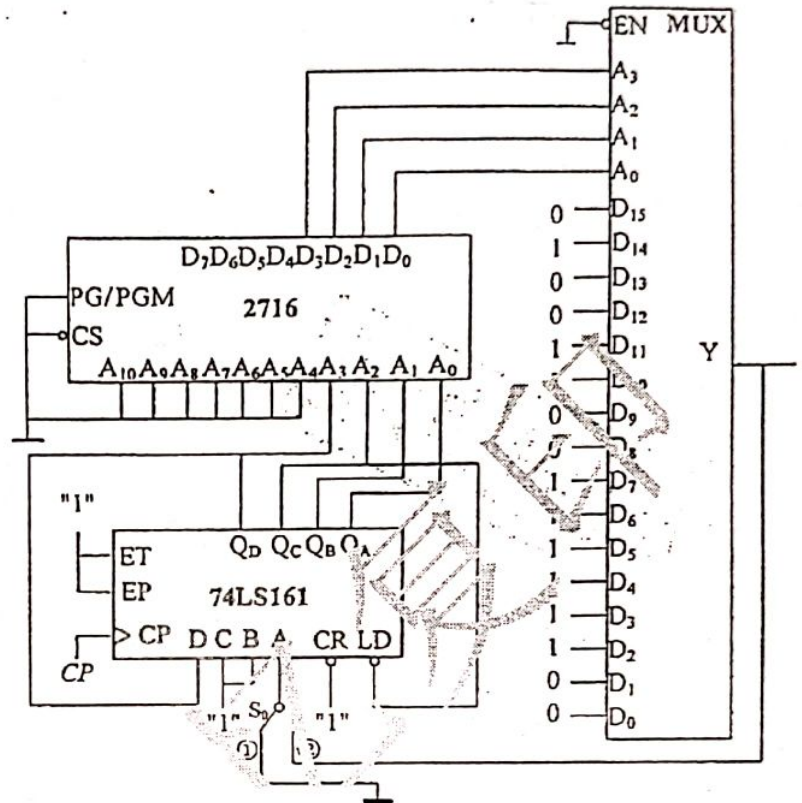


图 7

二手市场 Q 群  
731429909

得分

八. 由 JK 触发器、74LS138 译码器、74LS85 四位数码比较器构成的电路如图 8 所示, 74LS138 译码器输出低电平有效,  $E_3$ ,  $\bar{E}_2$  和  $\bar{E}_1$  代表有效使能电平为[100], 使能无效时  $\bar{Y}_0$  到  $\bar{Y}_7$  输出均为高电平。(1) 写出 4 个触发器的状态方程;(2) 按照  $Q_3Q_2Q_1Q_0$  的顺序, 画出状态转换图(有效循环即可), 并分析是多少进制的计数器。(10 分)

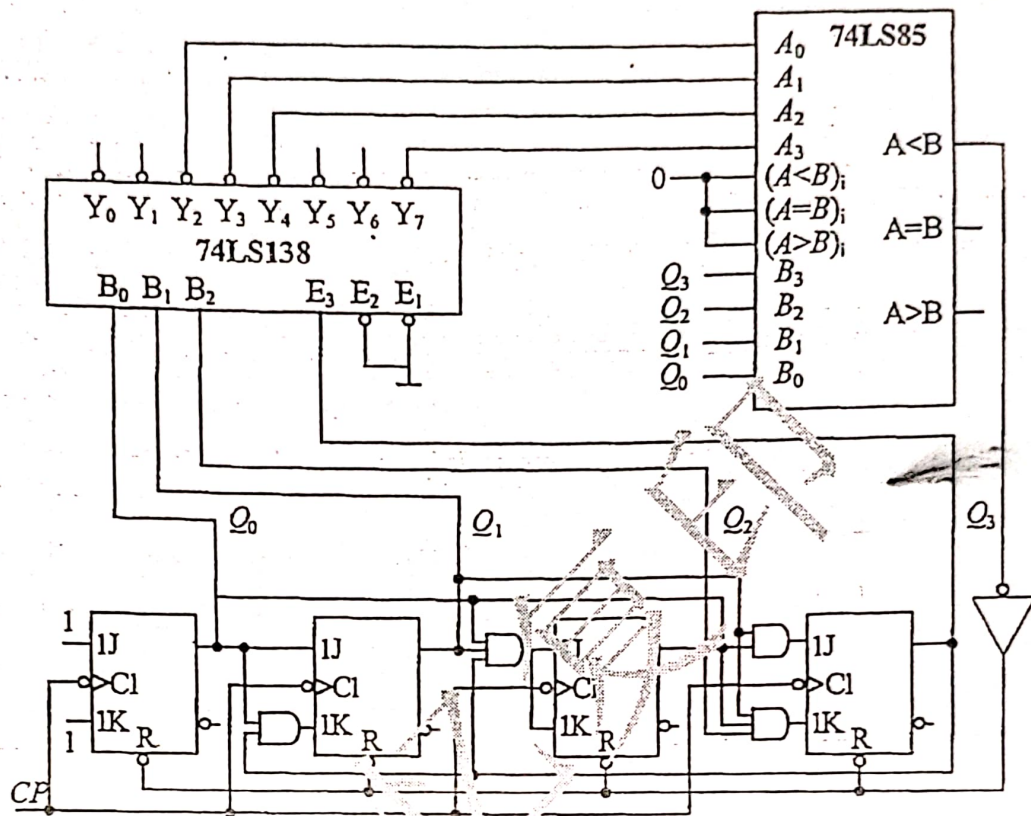


图 8

表 2 74LS85 四位数码比较器的功能表

比较输入				串 联 输 入			输 出						
$A_3$	$B_3$	$A_2$	$B_2$	$A_1$	$B_1$	$A_0$	$B_0$	$(A>B)_i$	$(A<B)_i$	$(A=B)_i$	$Y_{A>B}$	$Y_{A<B}$	$Y_{A=B}$
$A_3>B_3$	x	x	x	x	x	x	x	x	x	x	1	0	0
$A_3<B_3$	x	x	x	x	x	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2>B_2$	x	x	x	x	x	x	x	x	x	1	0	0
$A_3=B_3$	$A_2<B_2$	x	x	x	x	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	x	x	x	x	x	x	x	x	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	x	x	x	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	x	x	x	x	x	x	x	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	x	x	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	0	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	0	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	0	0	0	0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	1	0	1	0	1	1	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	1	0	1	1	0	1	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	1	0	1	1	1	1	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	1	1	1	1	1	1	1	1



# 数字电子技术基础 2017 年秋季学期试题答案

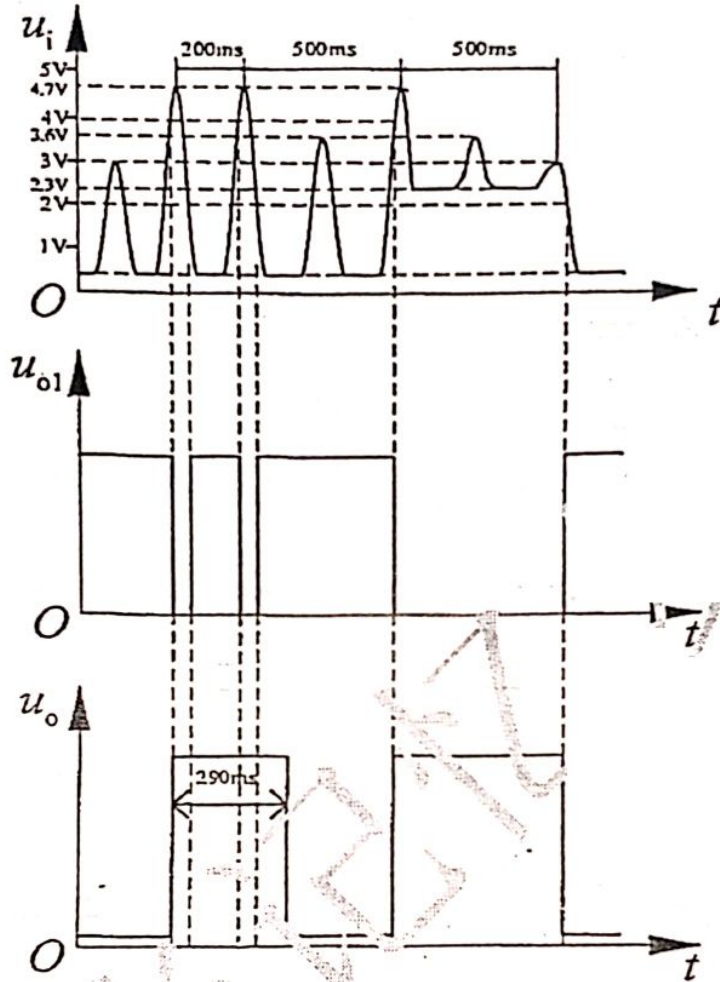
一、共 10 分

(1) D (2) 0,1,2 (3) 16 2 (4) 01 (5) C (6) 3 (7) C (8) 1/1023 (或 10 位) 12.8

二、

1. 共 4 分

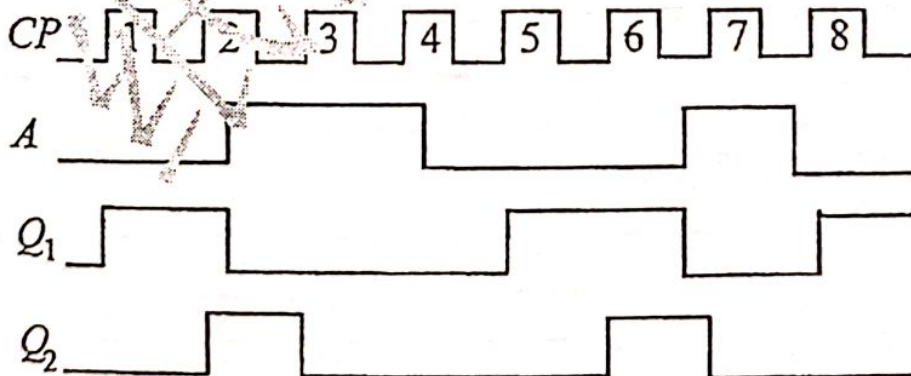
$$t_w = 1.1R_2 * C_2 = 290ms \quad (1 \text{ 分})$$



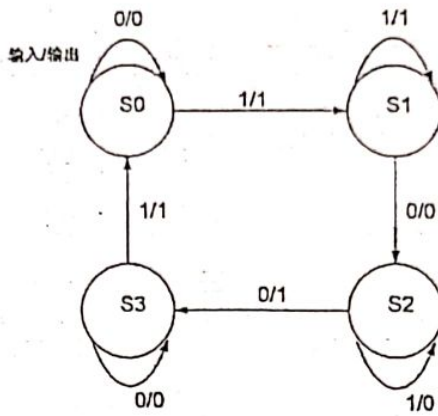
(注: 波形 2 分,  $u_o$  波形 1 分)

2. 共 5 分 ① 0.3V ② 1.3V ③ 1.4V ④ 1.4V ⑤ 1.4V (每个 1 分)

3. 共 4 分 每个 1 分



三、共 4 分



(共 4 分, 错一处扣一分, 扣满 4 分为止)

四、共 7 分

(1)  $L = A_0 B_0$  ..... 1 分

$P_0 = A_0 \oplus B_0$  ..... 1 分

半加器 ..... 1 分

(2)  $P_1 = m_1 + m_2 + m_4 + m_7$  ..... 1 分

$P_2 = m_3 + m_5 + m_6 + m_7$  ..... 1 分

全加器 ..... 1 分

(3) 2 位二进制加法器 ..... 1 分

软件分享群  
626648181

五、共 8 分

CP	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$D_1$
0	0	0	0	1	1
1	0	0	1	1	1
2	0	1	1	1	0
3	1	1	1	0	0

$Q_B Q_C$ \ $Q_B Q_A$	00	01	11	10
00	X	1	1	X
01	X	X	0	X
11	0	X	X	0

$$D_1 = \bar{Q}_C \quad (1 \text{分})$$

实验交流 Q 群  
737678045

P	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	0	0	1
1	0	0	0	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	0	1	0	1
1	0	1	0	1	0
2	1	0	1	0	1
3	0	1	0	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	1	0	0	0
1	1	0	0	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	0	1	1	0	0
1	1	1	0	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	0	0	1	1
1	0	0	1	1	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	0	1	1	1
1	0	1	1	1	

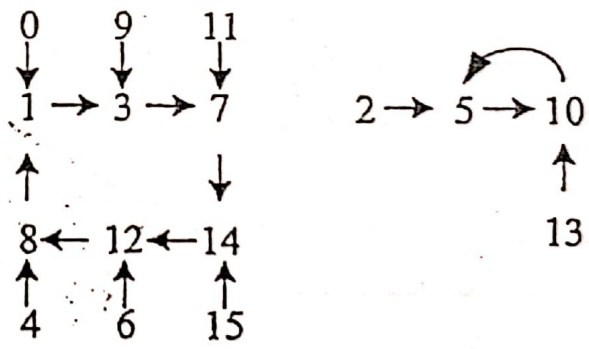
  

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	1	0	1	0
1	1	0	1	0	

CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	D <sub>1</sub>
0	1	1	1	1	0
1	1	1	1	0	

(2分)



(2分)

六、共 8 分

(1) 多谐振荡器

(1分)

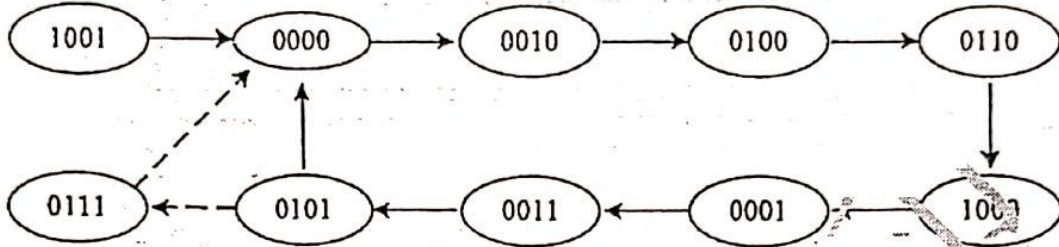
$$T_1 = 0.7(R_1 + R_2)C_1 = 0.7 \times (5k\Omega + 5k\Omega) \times 0.1\mu F = 0.7ms$$

$$T_2 = 0.7R_2C_1 = 0.35ms$$

$$T = T_1 + T_2 = 1.05ms \quad (1 \text{ 分})$$

$$D = \frac{T_1}{T_1 + T_2} \times 100\% = 66.7\% \quad (1 \text{ 分})$$

(2)



(3分)

(3) -3V-0V (2分, 对一个给1分)

七 (共 10 分)

(1) 六进制 (3分)

(2)  $Y = \bar{A}_3A_2 + A_1\bar{A}_0 + \bar{A}_2A_1$  (4分, 卡诺图对但结果错给2分)

(3) 10001 (3分)

八、共 10 分

驱动方程: (2分, 错一处扣1分, 扣满2分为止)

$$J_0=1 \quad K_0=1$$

$$J_1=Q_0K_1=Q_3Q_0$$

$$J_2=Q_3Q_1Q_0K_2=Q_3Q_1Q_0$$

$$J_3=Q_1Q_0K_3=Q_2Q_1Q_0$$

状态方程: (2分, 错一处扣1分, 扣满2分为止)

$$Q_0^{n+1} = \bar{Q}_0^n$$

$$Q_1^{n+1} = Q_0^n \bar{Q}_1^n + \overline{Q_3^n Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_3^n Q_1^n Q_0^n \bar{Q}_2^n + \overline{Q_3^n Q_1^n Q_0^n} Q_2^n$$

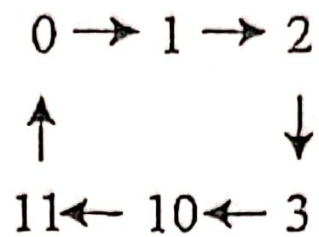
$$Q_3^{n+1} = Q_1^n Q_0^n \bar{Q}_3^n + \overline{Q_2^n Q_1^n Q_0^n} Q_3^n$$

状态转换表: (共3分,  $Q_3Q_2Q_1Q_0$  1分,  $A_3A_2A_1A_0$  1分,  $A < B$  1分)

CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$A_3$	$A_2$	$A_1$	$A_0$	$A < B$
0	0	0	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1	1	0
2	0	0	1	0	1	1	1	1	0
3	0	0	1	1	1	1	1	1	0



4	1	0	1	0	1	1	1	0	0
5	1	0	1	1	1	1	0	1	0
6	1	1	0	0	1	0	1	1	1
7	1	1	0	1	1	1	1	1	0
8	1	1	1	0	1	1	1	1	0
9	1	1	1	1	1	1	1	1	0
10	0	0	0	0	1	1	1	1	0



(2分)

六进制计数器

(1分)

一、填空和选择题 (8 分)

1. TTL 与非门的灌电流负载发生在输出\_\_\_\_\_电平情况下, 负载电流越大, 则输出电平越\_\_\_\_\_。(低、高)
2. 图 1-1 所示电路的逻辑功能  $F=$ \_\_\_\_\_。

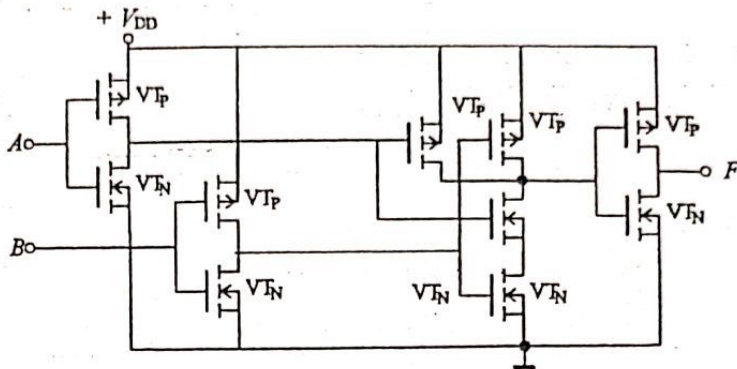


图 1-1

3. 一组合逻辑电路输入信号的变化顺序有以下三种情况, 当顺序为\_\_\_\_\_时, 将可能出现竞争冒险。  
A. 00→01→11→10 B. 00→11→10→01 C. 00→01→00→10
4. EEPROM 芯片 2816 的存储容量为  $2K \times 8\text{bit}$ , 说明它有\_\_\_\_\_根地址线, \_\_\_\_\_根数据线。
5. 双积分型 A/D 转换器属于\_\_\_\_\_型 A/D 转换器。(直接、间接)
6. AD7524 的电路如图 1-2 所示。图中  $D_0 \sim D_7$  为数据输入,  $\overline{CS}$  为片选信号,  $\overline{WR}$  为写入命令, 电源  $V_{DD} = V_{REF} = +5V$ , 其输出电压为\_\_\_\_\_V。

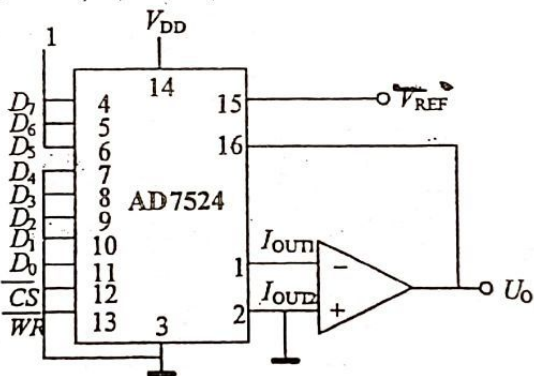


图 1-2

二、阅读 Verilog 语言程序, 回答问题 (6 分)

1. 写出电路的逻辑功能。

```

module abc(clk,q);
    input clk;
    output [3:0] q;
    reg [3:0] q;
    always @ (posedge clk)
        begin
            if (q<4'b0110) //-----①
                begin
                    q=q+1;
                end
            else
                begin
                    q=4'b0000; //-----②
                end
        end
end
endmodule
    
```

2. 若要将上面电路改成余三码输出电路, 则需要对①和②处语句做如何修改?

三、简答题 (16分)

1. 四位并行加法器 74LS283 和四位二进制码比较器 74LS85 组成的电路如图 3-1 所示, 分析电路的逻辑功能。(4分)

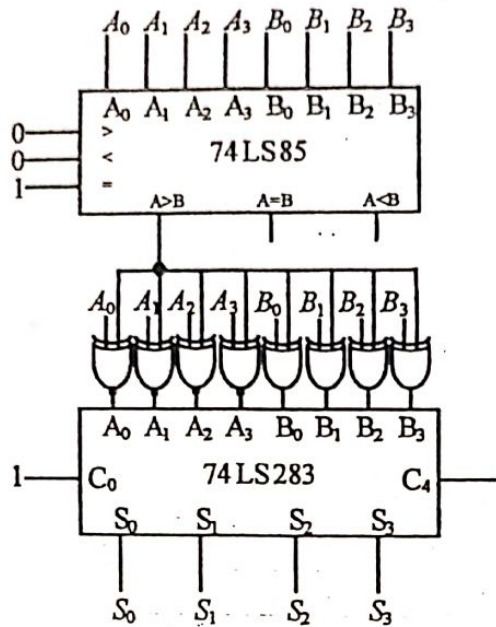


图 3-1

2. 序列脉冲发生器如图 3-2 所示, 移位寄存器 74LS194 的功能表如表 3-1 所示, 分析输出序列 Y=? (4分)

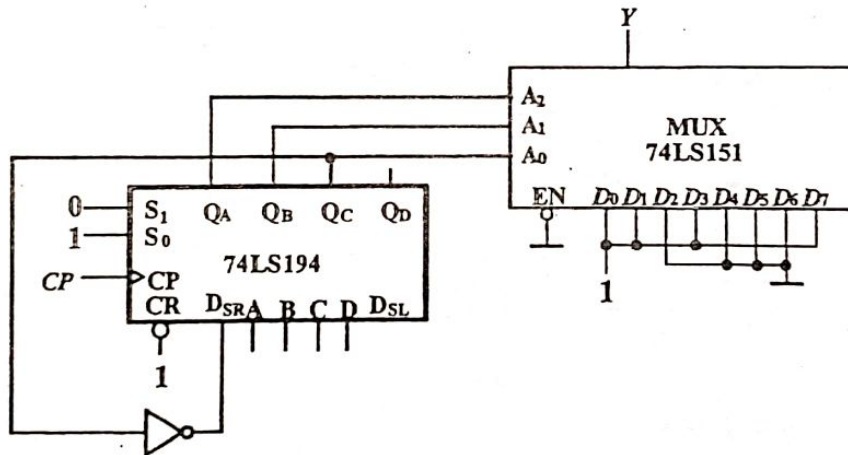


图 3-2

表3-1 74LS194功能表

功能	输 入										输 出			
	$\overline{CR}$	$S_1$	$S_0$	CP	$D_{SL}$	$D_{SR}$	A	B	C	D	$Q_A^{n+1}$	$Q_B^{n+1}$	$Q_C^{n+1}$	$Q_D^{n+1}$
清零	0	x	x	x	x	x	x	x	x	x	0	0	0	0
保持	1	x	x	0	x	x	x	x	x	x	$Q_A^n$	$Q_B^n$	$Q_C^n$	$Q_D^n$
送数	1	1	1	$\sqrt{\quad}$	x	x	A	B	C	D	A	B	C	D
右移	1	0	1	$\sqrt{\quad}$	x	1	x	x	x	x	1	$Q_A^n$	$Q_B^n$	$Q_C^n$
右移	1	0	1	$\sqrt{\quad}$	x	0	x	x	x	x	0	$Q_A^n$	$Q_B^n$	$Q_C^n$
左移	1	1	0	$\sqrt{\quad}$	1	x	x	x	x	x	$Q_B^n$	$Q_C^n$	$Q_D^n$	1
左移	1	1	0	$\sqrt{\quad}$	0	x	x	x	x	x	$Q_B^n$	$Q_C^n$	$Q_D^n$	0
保持	1	0	0	x	x	x	x	x	x	x	$Q_A^n$	$Q_B^n$	$Q_C^n$	$Q_D^n$

3. 电路如图 3-3(a)所示, 其输入信号如图 3-3(b)所示, 对应输入波形在其下面画出 S 和 Q 的波形, 已知 Q 的初始状态为 0。(4分)



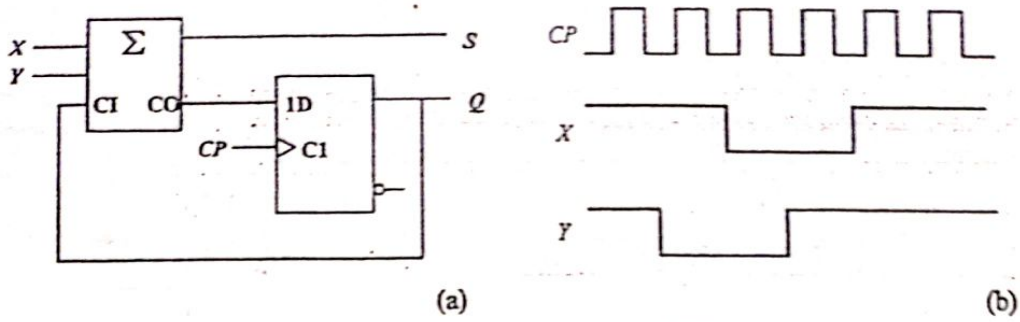


图 3-3

4. 某译码器的真值表如表 3-2 所示, 要求用两片译码器 74LS138 (图 3-4) 仅通过连线, 不使用任何门实现该译码器。(4 分)

表 3-2 译码器真值表

选择输入				译码输出									
D	C	B	A	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$	$Y_8$	$Y_9$
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	0	0	1	1	1	1	1	1	1	1	1	0

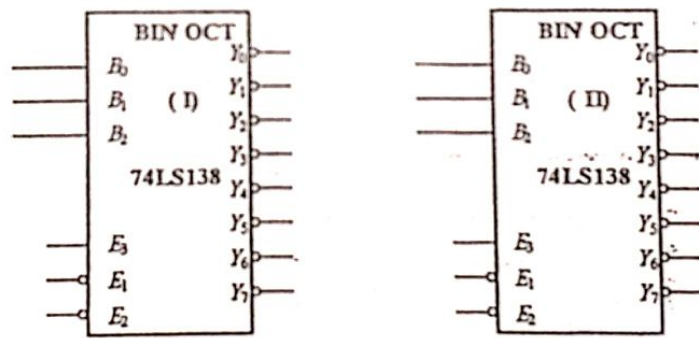


图 3-4

四、试用双四选一数据选择器 74LS153 设计一个 BCD8421 码识别电路, 即要求输入信号 DCBA 为 BCD8421 码时, 输出  $Z=1$ ; 其他输入时  $Z=0$ 。电路初始连接如图 4 所示, 完成其余连接, 可以使用非门。(10 分)

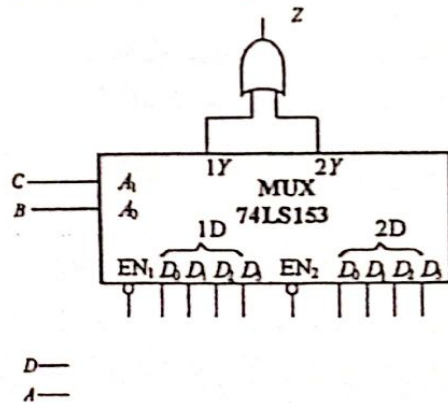
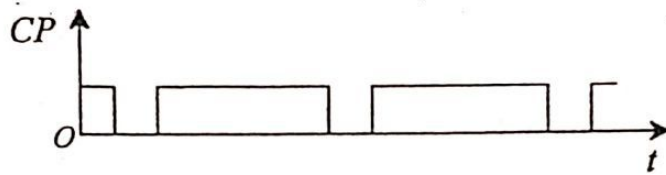
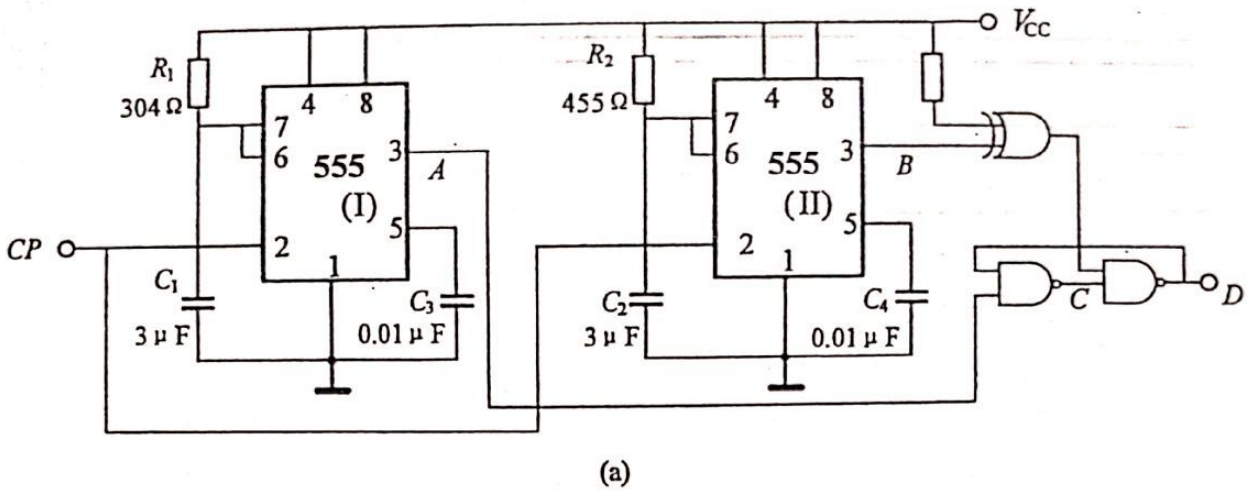


图 4

五、电路如图 5(a)所示, 已知输入  $CP$  脉冲的周期  $T=2\text{ms}$ , 占空比为 80%, 其高电平电压为  $V_{CC}$ , 低电平为  $0\text{V}$ , 如图 5(b)所示, 根据电路参数对应  $CP$  画出  $A$ 、 $B$ 、 $C$ 、 $D$  各点的波形。(10分)



(b)  
图 5

六、电路如图 6 所示, 画出虚线框 I 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换图, 说明它是多少进制计数器? 画出虚线框 II 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换图, 说明它是多少进制计数器? 两部分电路合在一起为多少进制计数器? (10分)

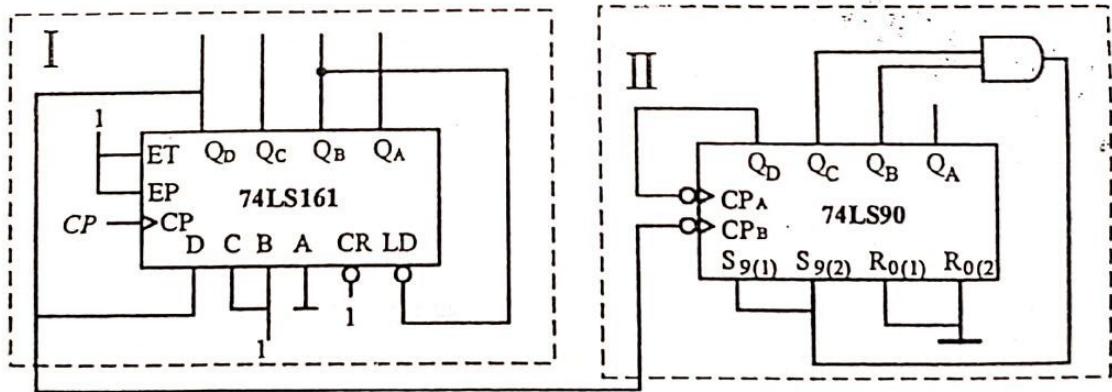


图 6

七、试用上升沿触发的 JK 触发器设计一同步时序电路, 其状态转换图如图 7 所示,  $X$  为电路的输入信号,  $Z$  为电路的输出信号, 要求列出状态方程、驱动方程和输出方程, 不必画出逻辑电路图。(10分)

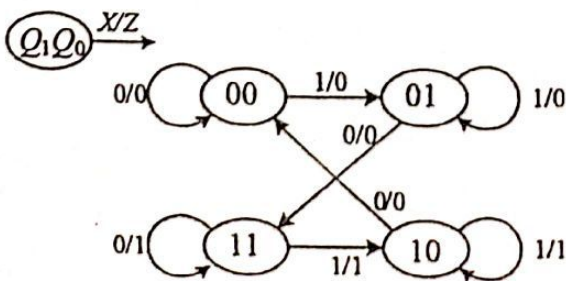


图 7

一、1. 低、高 2.  $\overline{A+B}$  3. B 4. 11 8 5. 间接 6. -4.37

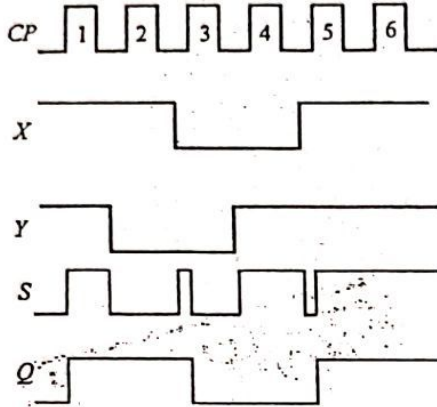
二、1. 七进制加法计数器 2. ①处改为:  $q=4'b1100$  ②处改为:  $q=4'b0011$

三、简答题

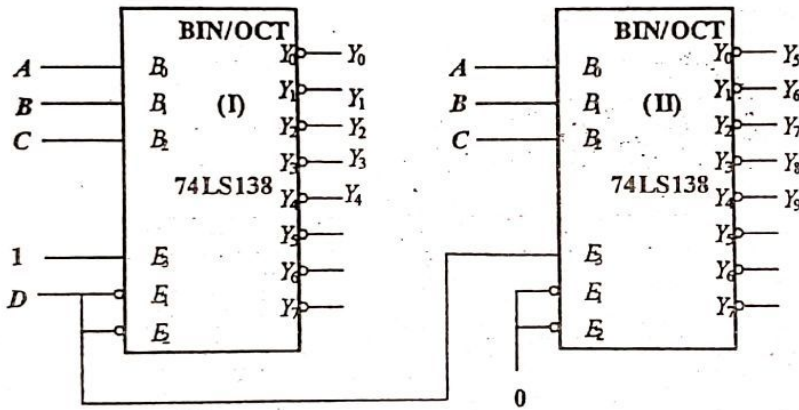
1. 当  $A > B$  时, 实现  $A-B$ ; 当  $A < B$  时, 实现  $B-A$ 。

2.  $Y=100111$

3.



4.



四、列真值表如下:

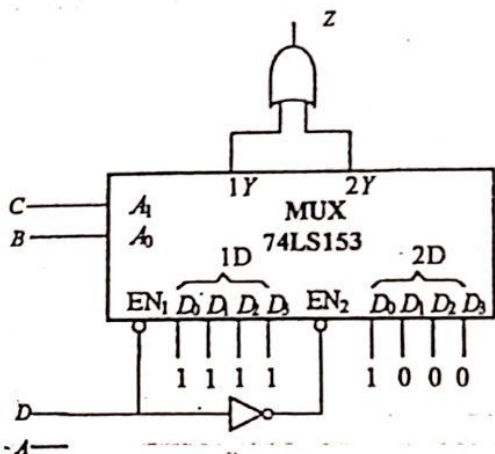
D	C	B	A	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



$$Z(D, C, B, A) = \overline{D}C\overline{B}A + \overline{D}CBA + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA + \overline{D}C\overline{B}\overline{A} + \overline{D}CBA + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA$$

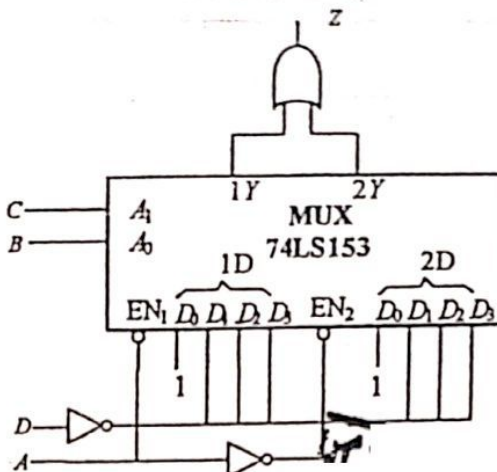
$$= \overline{D}m_0\overline{A} + \overline{D}m_0A + \overline{D}m_1\overline{A} + \overline{D}m_1A + \overline{D}m_2\overline{A} + \overline{D}m_2A + \overline{D}m_3\overline{A} + \overline{D}m_3A + Dm_0\overline{A} + Dm_0A$$

若选  $D$  作为使能信号，则连接为：



答案 1

若选  $A$  作为使能信号，则连接为：



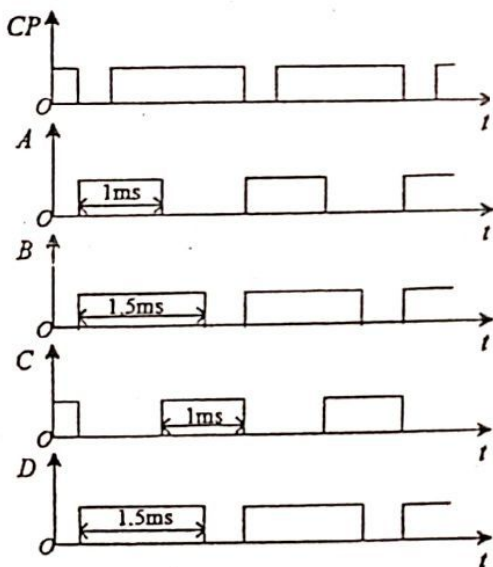
答案 2

五、

$$t_{w1} = 1.1R_1C_1 = 1\text{ms} \quad t_{w2} = 1.1R_2C_2 = 1.5\text{ms}$$

$CP$  低电平脉冲宽度为  $0.4\text{ms}$ ，小于两个暂稳态时间，因此  $A$  和  $B$  为两个单稳。

两个与非门构成基本 RS 触发器。

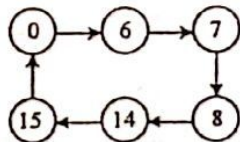


软件分享群  
626648181

六、虚线框 I 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换表为：

$CP$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	1	1	0
2	0	1	1	1
3	1	0	0	0
4	1	1	1	0
5	1	1	1	1
6	0	0	0	0

状态转换图如图为：

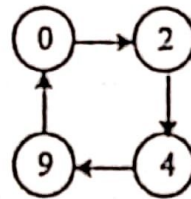


构成 6 进制加法计数器。

虚线框 II 内电路以  $Q_D Q_C Q_B Q_A$  为输出的状态转换表为：

$CP_B$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	1	0	0	1
4	0	0	0	0

状态转换图如图为：



构成 4 进制加法计数器。合在一起为 24 进制计数器。

七、

状态转换表如下：

$X$	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Z$
0	0	0	0	0	0
1	0	0	0	1	0
1	0	1	0	1	0
0	0	1	1	1	0
1	1	1	1	0	1
0	1	0	0	0	0
0	1	1	1	1	1
1	1	0	1	0	1

状态方程为：

$$Q_1^{n+1} = \overline{X}Q_0\overline{Q_1} + (X + Q_0)Q_1$$

$$Q_0^{n+1} = X\overline{Q_1}Q_0 + (\overline{Q_1} + \overline{X})Q_0$$

驱动方程为：

$$J_1 = \overline{X}Q_0 \quad K_1 = \overline{X + Q_0} \quad J_0 = X\overline{Q_1} \quad K_0 = XQ_1$$

输出方程为：

$$Z = Q_0Q_1 + XQ_1$$

# 数字电子技术基础 试题 (A)

哈尔滨记忆复印店

班号	
姓名	
学号	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

注意：考场纪律

本题得分

## 一、(5分) 填空和选择填空 (每空1分)

- 把按转换速度从快到慢顺序写出 ADC 芯片代号\_\_\_\_\_。(A. 并行比较型, B. 逐次逼近型, C. 双积分型)
- 下列门电路驱动负载能力较强的是: \_\_\_\_\_。(A. 集电极开路门, B. 标准 TTL 门, C. 传输门)
- 下列芯片输出信号状态仅取决于当前输入信号的是 (多选) \_\_\_\_\_。(A. 74LS138, B. 74LS00, C. 74LS160, D. 555 定时器, E. ROM)
- CMOS 门电路噪声容限性能\_\_\_\_\_ (优于、差于) TTL 门电路
- ROM 和 RAM 相比, \_\_\_\_\_ 存取速度快。

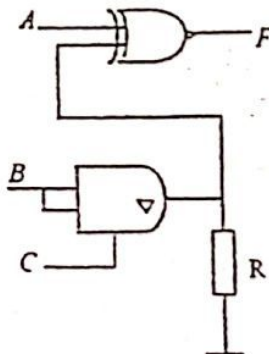
本题得分

## 二、(18分) 简答题

(1) 使用卡诺图方法获得函数  $P$  的最简与或式 (2分):

$$P(A, B, C, D) = ABCD + \bar{A}BC + \bar{A}\bar{B}D + C\bar{D} \quad (\text{约束条件为: } A\bar{C}\bar{D} + \bar{A}B\bar{C} = 0)$$

(2) 如图 1 所示 TTL 电路,  $R=10k\Omega$ , 请列写输入与输出的真值表, 写出  $F$  的表达式 (3分)。



(3) 电路如图 2 所示, 写出  $X$  分别为 0 和 1 时,  $Q_2Q_1X$  的状态转换图, 说明  $Y$  的功能。(3)



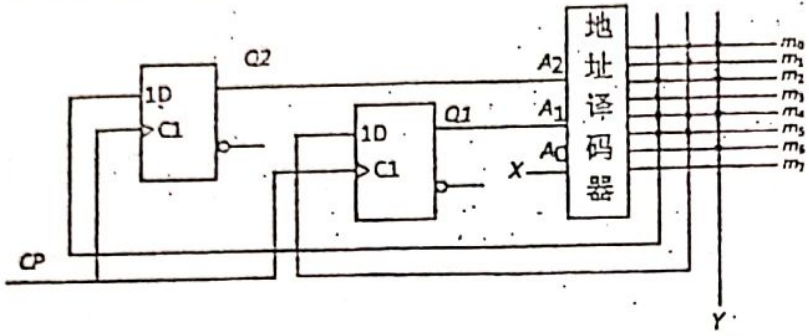


图 2

(4) 写出图 3 (a) (b) 电路 Q, Y 逻辑函数, 指出图 (c) 计数器进制。(4 分)

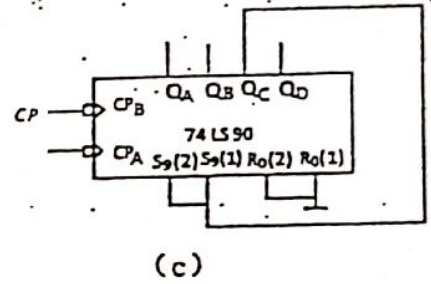
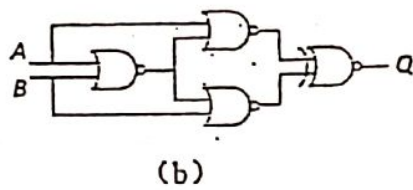
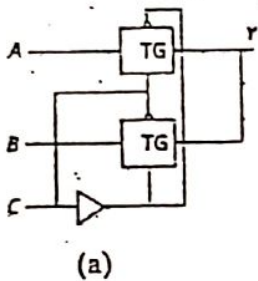


图 3

(5) 由 JK 触发器和基本 RS 触发器构成的电路如图 4 所示, 各触发器初始状态为 0, 画出 7 个时钟 CP 作用下 Q3, Q2 和 Q1 的时序图 (6 分)

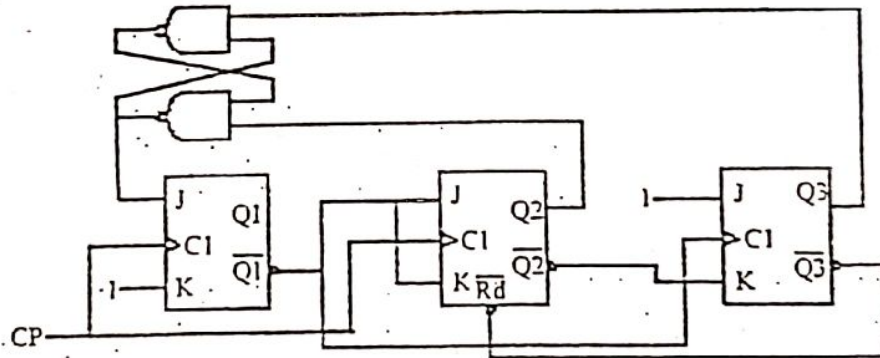


图 4

本题得分

三、(8 分) 同步计数器 74LS162 和数据选择器 74LS151 组成的电路如图 5 所示, 要求:

- (1) 画出  $Q_3Q_2Q_1Q_0$  状态转换图 (只画有效状态);
- (2) 以  $Q_3, Q_2, Q_1, Q_0$  为输出时, 试分析计数器为几进制。
- (3) 设 74162 的初态为 0010, 画出  $Q_3, Q_2, Q_1, Q_0, Y$  与 CP 对应的波形。



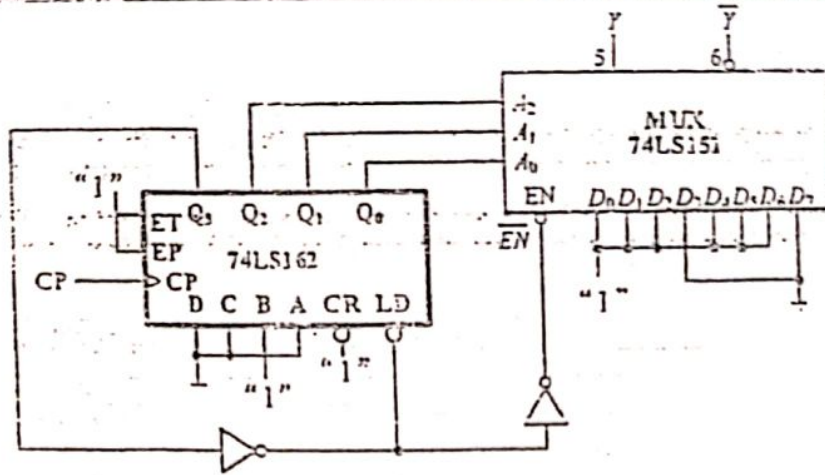


图 5

本题得分

四、(7分) 设计一个乘法电路, 要求: 被乘数  $X_3X_2$  与乘数  $X_1X_0$  组成的四位二进制数  $X_3X_2X_1X_0$  为 8421BCD 码, 且当乘积大于或等于 2 时, 输出  $Z=1$ , 否则输出  $Z=0$ 。

- (1) 列出真值表;
- (2) 写出输出  $Z$  关于输入  $X_3X_2X_1X_0$  的最简与或式;
- (3) 使用与非门实现该电路;
- (4) 使用两片 74LS138 译码器和与非门实现该电路。

本题得分

五、(8分) 电路如图 6 所示。其中方框 II 中电路为截止频率很低的低通滤波电路, 其输出  $u_2$  为直流量且为输入信号  $u_1$  的平均值。555 定时器输出为理想 TTL 电平, 即输出高电平 5V, 低电平 0V。  $R_a=3k\Omega$ ,  $R_b=2k\Omega$ ,  $C_1=1\mu F$ 。(555 各管脚定义: 2- $u_{TL}$ , 6- $u_{TH}$ ,

5-OUT, 7-DIS, 5-VCO, 4- $\overline{R_D}$ )

(1) 图中方框 I, 方框 III, 方框 IIV 各构成何种电路。

(2) 方框 III 中输入信号  $u_3$  如图 7 所示, 在图中画出  $u_3$  电压波形, 要求写出依据 (如阈值推导)。

(3) 检测到信号超过阈值时, 要求蜂鸣器发出 3 秒的警报, 试问电路应如何连接? (不允许增加器件, 在图中直接标注或连接)。并确定相关器件应满足的参数条件。

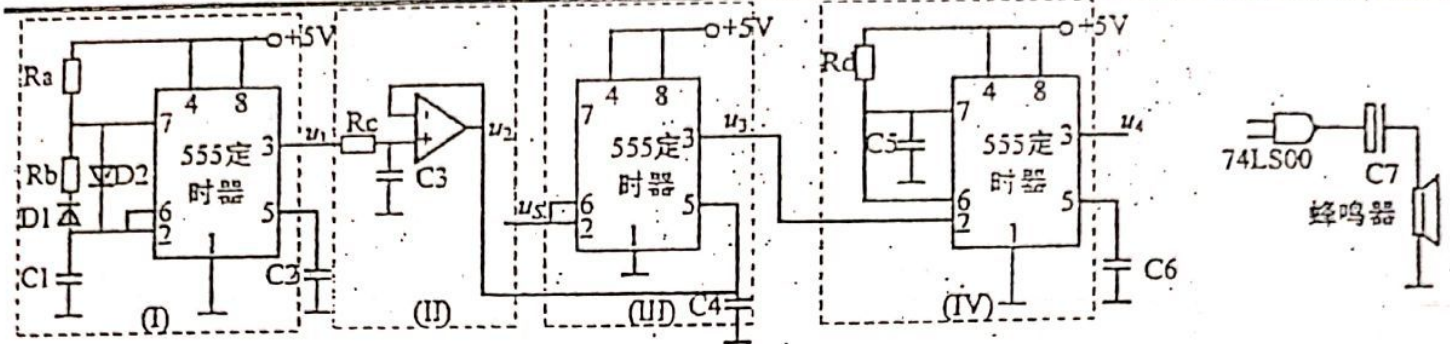


图 6

数值分析 0群  
926420643

本题得分

六、(9分) 某 ADC 电路由计数器 74LS191 及 4 位 DAC 组成, 如图 8 所示。74LS191 为 16 进制可逆计数器, 其功能如表一所示。当 DA 转换器数据输入  $D_3D_2D_1D_0=0001$  时, 其输出  $u_0$  为 0.2V。

- (1) 请问该 AD 转换器的分辨率。并回答  $u_1$  为一固定值时, 最多经过多少周期 ADC 输出相对稳定。
- (2) 直接在图 9 (a) (b) 上画出不同输入信号 (虚线表示) 下的输出信号波形, 横坐标为时间, 纵坐标为电压。并写出第 15 个时钟 AD 转换结果  $D_3D_2D_1D_0$ 。
- (3) 若输入信号  $0 < u_1 < 2V$ , 试问 74LS191 置数端 DCBA 可以如何连接以加快跟踪速度。

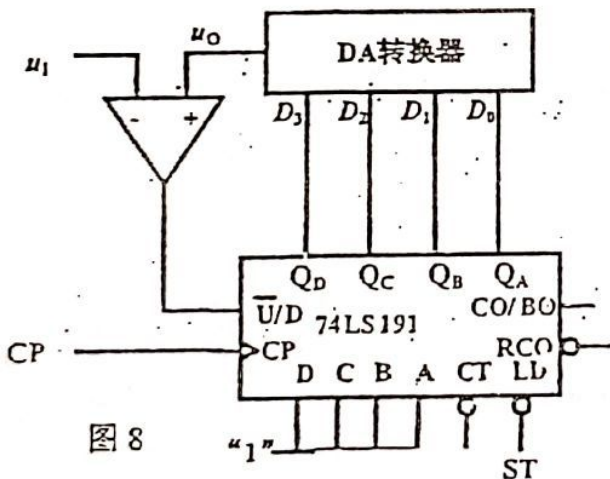


图 8

表一、74LS191功能表

输 入				输 出							
$\overline{LD}$	$\overline{CT}$	$\overline{ED}$	$CP$	$D$	$C$	$B$	$A$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	x	x	x	D	C	B	A	D	C	B	A
1	0	0	↑	x	x	x	x	加计数			
1	0	1	↓	x	x	x	x	减计数			
1	1	x	x	x	x	x	x	保持			

图 9

本题得分

七、(7分) 设计计数器: 它有一个控制端 X; 当 X=0 时, 它是一个四进制加法计数器, 状态转换图如图 10 (a) 所示; 当 X=1 时, 它是一个三进制减法计数器, 状态转换图如图 10 (b) 所示。请使用 D 触发器和必要的门电路设计该计数器。要求:

- (1) 列写真值表;
- (2) 写出驱动方程;
- (3) 画出最简逻辑电路图;
- (4) 验证能否自启动 (若不能自启动, 不必修改成自启动电路)。



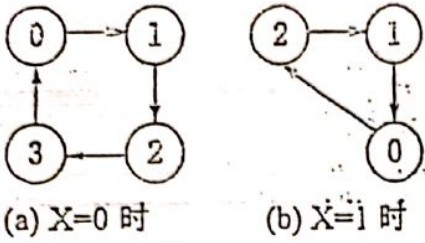
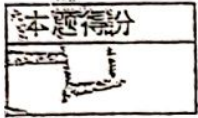


图 10



八、(8分) (1) 下列程序能否实现异步清零同步九进制计数器? 若不能, 应如何修改?

```

module Problem_1(clk, rst, Q);
input clk, rst;
output [2:0] Q;
always@(posedge clk)
if (!rst)
    Q <= 0;
else if( Q >= 9 )
    Q <= 0;
else
    Q <= Q + 1'b1;
endmodule
  
```

(2) Verilog 程序如下。分析程序功能, 并完成如下问题:

```

module Problem_2 (clock, w, z);
input clock, w;
output z;
reg y, s, z;
parameter A=0, B=1;
always @(w or y)
case (y)
A: if(!w)
begin
z=0;
s=B;
end
else
begin
z=0;
s=A;
end
B: if(!w)
begin
z=1;
s=B;
end
else
begin
z=0;
s=A;
end
endcase
always@(posedge clock)
y<=s;
endmodule
  
```

1) 根据上述描述, 在图 11 中补充完整 y 的状态转换图 (标明状态转换条件和输出);

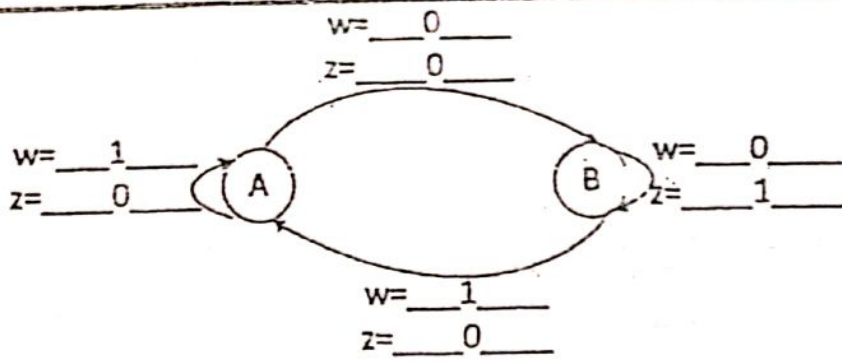


图 11

二手市场 Q 群  
731429909

一、(5分)填空和选择填空(每空1分)

(1) 把按转换速度从快到慢顺序写出 ADC 芯片代号 ABC。(A.并行比较型, B.逐次逼近型, C.双积分型)

(2) 下列门电路驱动负载能力较强的是: A。(A.集电极开路门, B.标准 TTL 门, C.传输门)

(3) 下列芯片输出信号状态仅取决于当前输入信号的是(多选) ABE。(A.74LS138, B.74LS00, C.74LS160, D.555 定时器, E.ROM)

(4) CMOS 门电路噪声容限性能 优于 (优于、差于) TTL 门电路。

(5) ROM 和 RAM 相比, ROM/RAM 存取速度快。

二、

1)  $P = BC + \overline{BD}$

A	B	C	F	C	B	A	F	C	A	B	F
0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0	0	1	0	1
0	1	1	0	0	1	1	1	0	1	1	1
1	0	0	1	1	0	0	1	1	0	0	1
1	0	1	0	1	0	1	0	1	0	1	0
1	1	0	1	1	1	0	0	1	1	0	0
1	1	1	1	1	1	1	1	1	1	1	1

2)  $F = \overline{AC} + (A \oplus C)C$

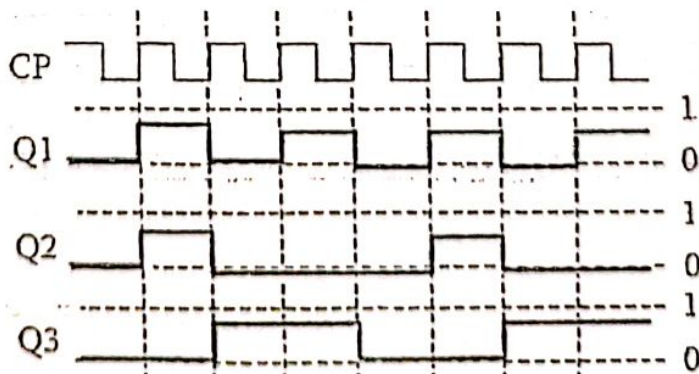
3) X=0 时: 0-2-4-6(-0)

X=1 时: 1-3-5-7(-1)

Y: x=0 时, y=1, x=1 时, y=0, (类似答案均可, Y=1:当前计数为偶数, Y=0: 奇数)

4) (a):  $Y = AC + \overline{BC}$  (b):  $\overline{A \oplus B}$  (c) 3 进制 (2分)

5)



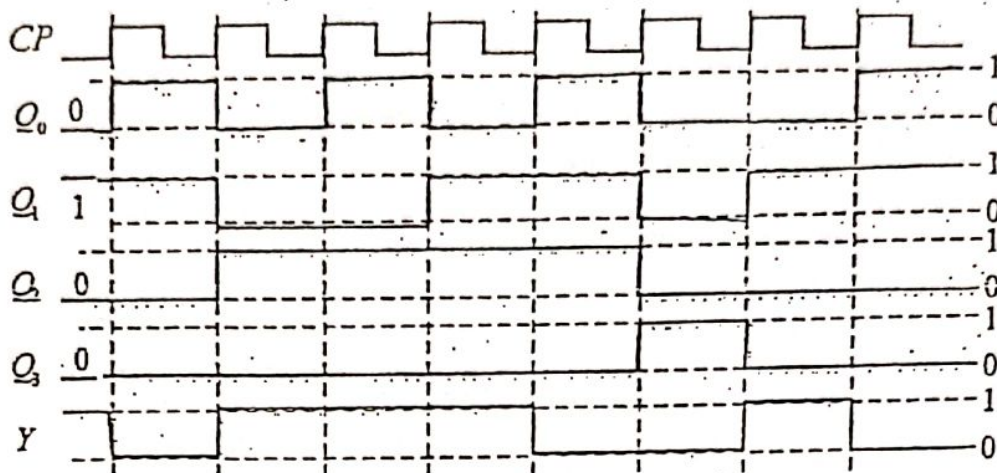
三、



(1) 2-3-4-5-6-7-8

(2) 7进制

(3) 波形图:  $Q_0Q_1, Q_2Q_3$  共 2 分,  $Y$ :



四

(1)

$X_3$	$X_2$	$X_1$	$X_0$	$Z$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
后面不用写				X
				X
				X

(2)  $Z = X_2X_1 + X_3X_0$

(3)  $Z = \overline{X_2X_1X_3X_0}$ , 图略

(4)  $Z = \sum m(6,7,9), (\sum m(6,7,9) + \sum D(10,11,12,13,14,15))$

$Z = \overline{m_6m_7m_9}$  图略

五

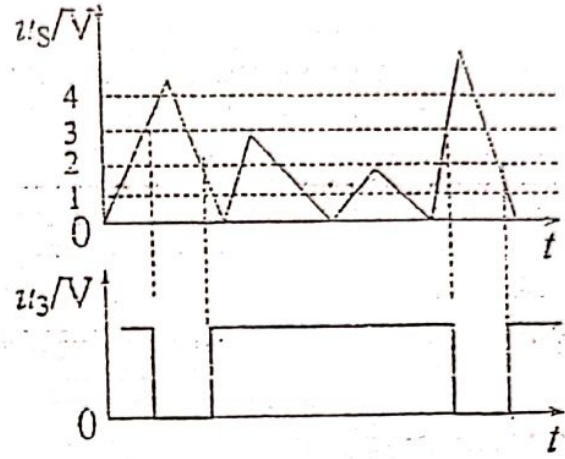
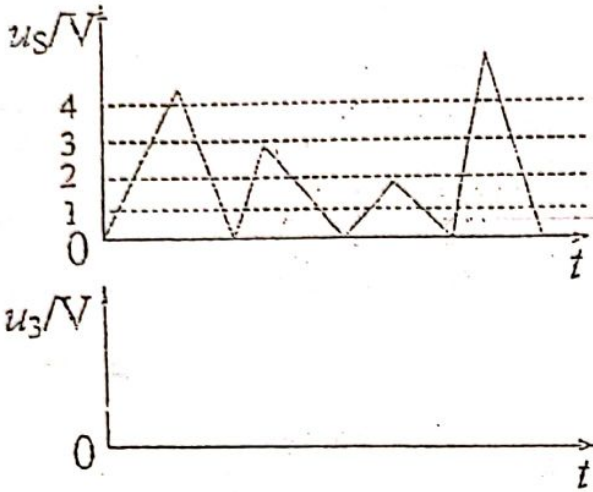
(1) 多谐振荡器 (1 分), 施密特触发器 (1 分), 单稳振荡器

(2) 占空比  $D = R_d / (R_d + R_b) = 3/5$ ,  $V_{CO} = 3V$ ,  $U_{T+} = 3V$ ,  $U_{T-} = 1.5V$

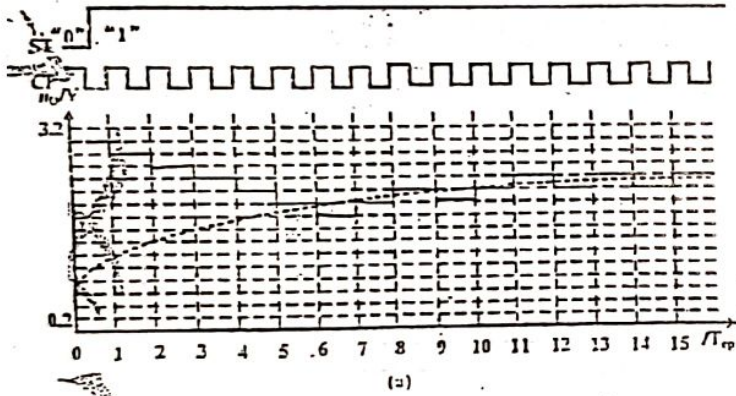
(3) 74LS00 两个输入端接  $u_4$  和  $u_1$ .

$1.1R_dC_s = 3$

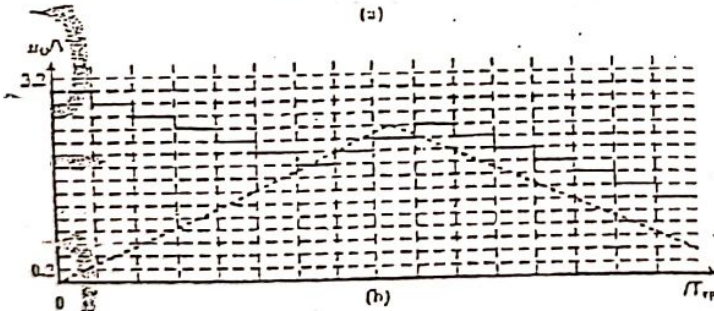




(1) 1/15 (或者 0.2V 等) 15 (或 16) 个时钟周期。



二手市场 Q 群  
731429909



(3) 置成 0101 (对应 IV)

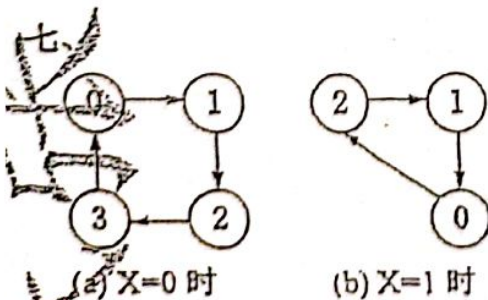


图 10

(1) 真值表

X=0			X=1		
CP	Q2	Q1	CP	Q2	Q1

0	0	0	0	1	0
1	0	1	1	0	1
2	1	0	2	0	0
3	1	1	3	1	0
4	0	0			

(2):

答案:  $D1 = Q_1^{n+1} = X\bar{Q}_1^n\bar{Q}_0^n + \bar{X}\bar{Q}_1^nQ_0^n + \bar{X}Q_1^n\bar{Q}_0^n$   
 $= \bar{X}(Q_1^n \oplus Q_0^n) + X\bar{Q}_1^n\bar{Q}_0^n$

$D2 = Q_0^{n+1} = Q_1^n\bar{Q}_0^n + \bar{X}\bar{Q}_0^n$  或者  $\bar{X}\bar{Q}_0^n + XQ_1^n$



(4) 能自启动

八、

(1) ~~always@(posedge clk or negedge rst)~~

(2) output[3:0] Q;

(3) reg[3:0] Q;

(4) Q >= 8

2

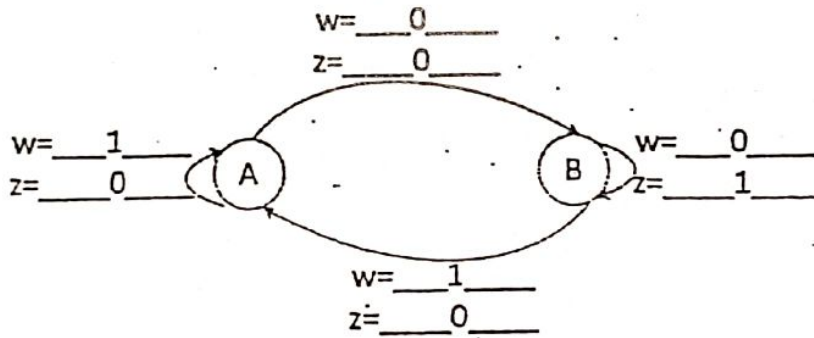


图 11

# 数字电子技术基础 试题

题号	一	二	三	四	五	六	七	八	总分
得分									
阅卷人									

得分

## 一、填空与选择 (17分)

1. 根据对偶规则, 若  $F = A + \overline{B + C\overline{D}} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F' =$  \_\_\_\_\_。

2. 判断下述说法是否正确, 正确者在其后( )内打√, 反之打×。

- a. 全部最大项之积恒等于“0”。( )
- b. 基本 RS 触发器可以构成移位寄存器。( )
- c. 已知  $A \oplus B = \overline{A \square B}$ , 因而  $A \oplus B \oplus C = \overline{A \square B \square C}$ 。( )

在下列门电路中, \_\_\_\_\_ 能实现“线与”逻辑功能; \_\_\_\_\_ 能用于总线结构的数据传输; \_\_\_\_\_ 能实现模拟信号的双向传输。

A. 异或门; B. OC 门; C. 三态门; D. 传输门。

4. 已知某组合逻辑电路的工作波形如图 1-1 所示, A、B 是输入信号, F 是输出信号, 则由波形可知 F 的逻辑表达式为 \_\_\_\_\_。

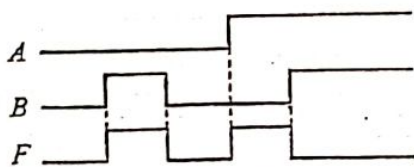


图 1-1

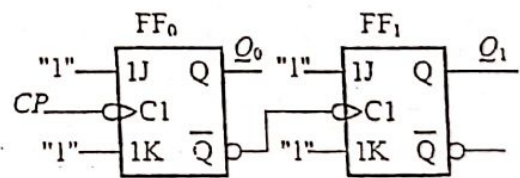


图 1-2

5. 图 1-2 所示电路的逻辑功能为异步 \_\_\_\_\_ 进制 \_\_\_\_\_ 法计数器。

6. 图 1-3 所示电路为 \_\_\_\_\_ 型计数器, 具有 \_\_\_\_\_ 个有效状态。

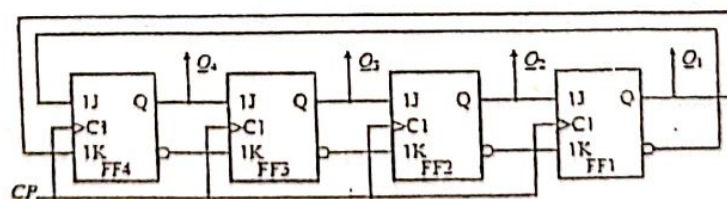


图 1-3

7. 已知函数  $Y = \overline{A}C + A\overline{B}$ , 可能存在 \_\_\_\_\_ 态冒险。



8. 由 TTL 门组成的电路如图 1-4 所示, 设逻辑门的输出  $U_{OH}=3.6V$ ,  $U_{OL}=0.3V$ , 电压表内阻为  $20k\Omega/V$ 。当输入  $ABC = 001$ , 用万用表测出  $U_1=$ \_\_\_\_\_,  $U_2=$ \_\_\_\_\_; 当输入  $ABC=100$ , 测得  $U_1=$ \_\_\_\_\_,  $U_2=$ \_\_\_\_\_。

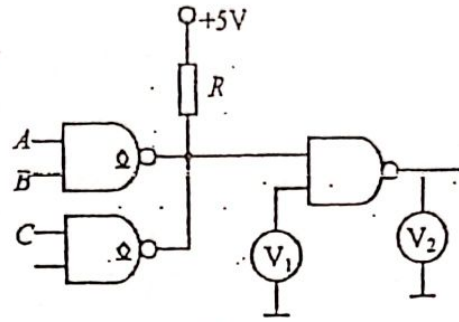
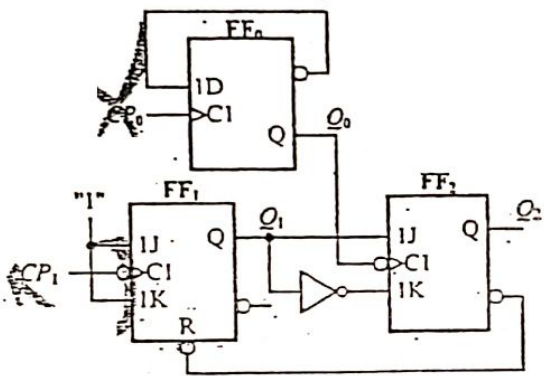


图 1-4

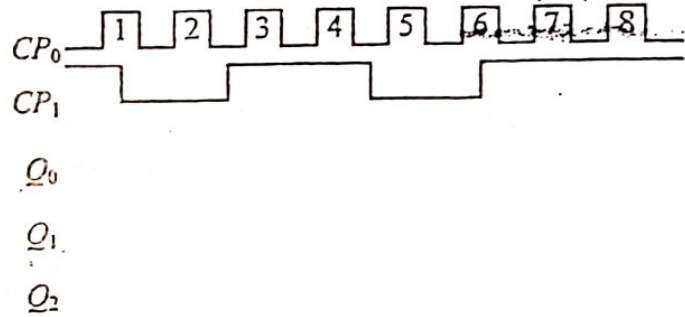
得分

二、简答题: (8分)

1. 电路如图 2-1(a)所示, 设各触发器的初态为“0”。已知电路的输入波形如图 2-1(b)所示, 试画出  $Q_1$ 、 $Q_2$  端的波形。



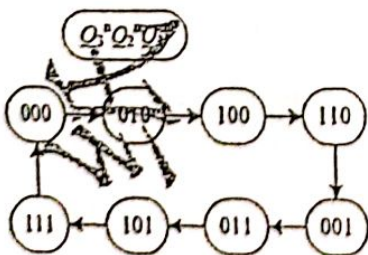
(a)



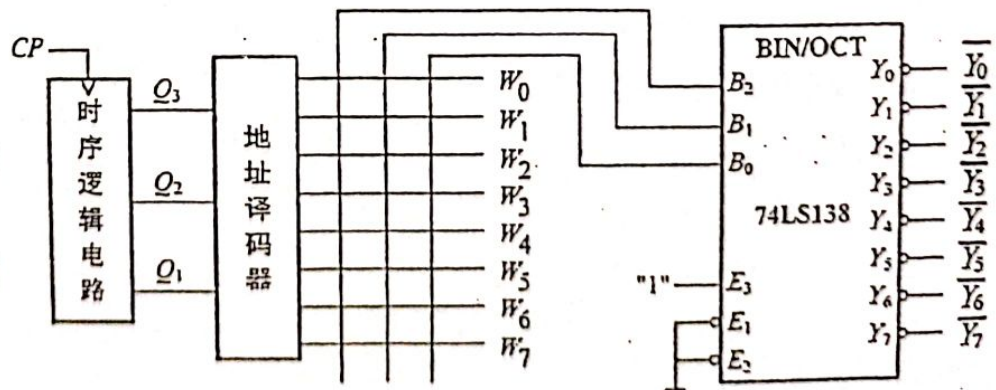
(b)

图 2-1

2. 已知某时序逻辑电路的状态转换如图 2-2(a)所示, 设以  $Q_3$  为最高位,  $Q_1$  为最低位。将  $Q_3Q_2Q_1$  连接到如图 2-2(b)所示的 ROM 的地址输入端, 请在 ROM 矩阵中实现特定的逻辑电路, 使得电路输出  $\bar{Y}_0 \sim \bar{Y}_7$  上获得顺序脉冲 (在  $\bar{Y}_0 \sim \bar{Y}_7$  上依次产生一个低电平脉冲信号, 每个低电平信号占一个时钟周期)。



(a)



(b)

图 2-2

得分

三、已知电路如图 3 所示。试求：(7 分)

1. 指出虚线框内为何种逻辑电路的图形符号？
2. 写出虚线框内输出  $S_0$  和  $C_0$  的逻辑函数表达式；
3. 写出在  $G_1 G_0$  的不同取值情况下，电路的输出  $F=?$

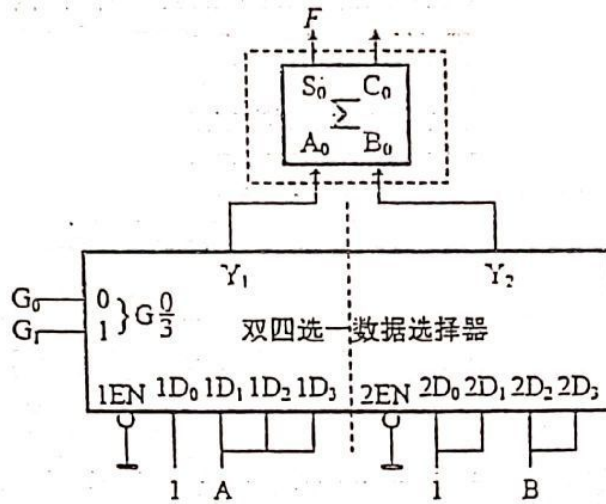


图 3

数值分析 0 群  
921420643

得分

四、请利用如图 4 所示的集成异步计数器 74LS90 构成具有可靠清零功能的 41 进制计数器，允许添加适当的门电路。(6 分)

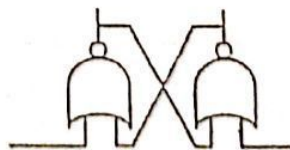
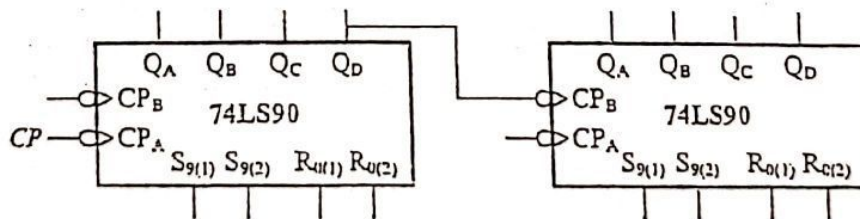


图 4



得分

五、用下降沿触发的 JK 触发器和门电路实现图 5(a)所示的状态转换图,  $X$  为输入信号,  $Z$  为电路的输出信号。试求: (10 分)

1. 说明当  $X=1$  时电路的逻辑功能;
2. 请画出该电路的次态卡诺图和输出函数  $Z$  的卡诺图;
3. 写出电路的驱动方程和输出方程, 并在图 5(b)中画出电路图。

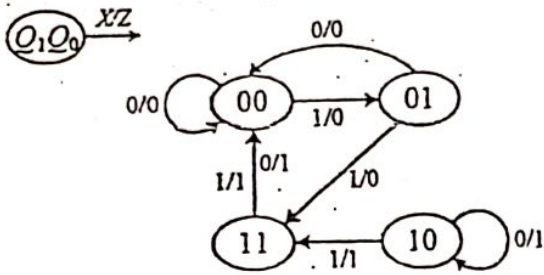


图 5(a)

哈工大彩虹墙  
3609217933

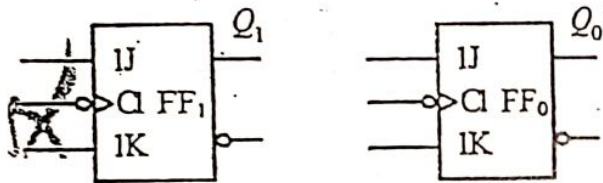


图 5(b)

得分

六、某AD转换电路如图6所示，已知时钟脉冲CP的频率为100kHz， $C = 1\mu\text{F}$ ， $-V_{\text{REF}} = -5\text{V}$ 。请分析电路的工作原理，回答下列问题。(6分)

1. 写出电路的数字量输出D与m的关系表达式。
2. 若已知计数器n为8位， $R_1 = 10\text{k}\Omega$ ， $R_2 = 10\text{k}\Omega$ 。当输入 $u_i = 2.5\text{V}$ 时，则完成转换后输出的数字量D是多少？完成转换所需要的时间是多少？
3. 如果被转换的输入信号 $u_i$ 的最大值是10V，且电路能够完成正确的AD转换，那么要求 $R_1$ 与 $R_2$ 满足何种关系？

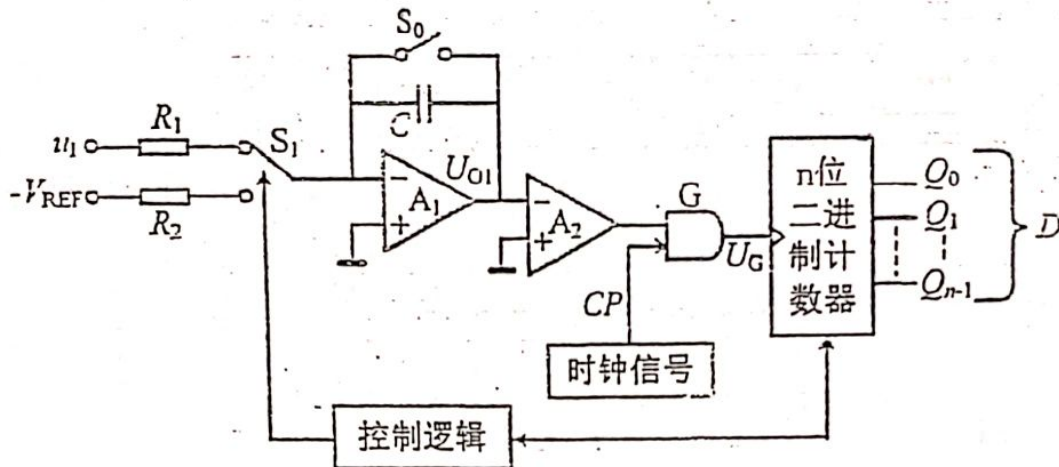


图6

二手市场Q群  
731429909

得分

七、由 555 定时器构成的电路如图 7(a)所示，设输出高电平为 5V，输出低电平为 0V。试问：(10 分)

1. 写出虚线框 I 内 555 定时器所构成电路的功能；
2. 分析虚线框 II 内电路构成几进制计数器，并画出其完整状态转换图(要求以  $Q_d$  为高位)；
3. 计算  $Q_a$  和  $Q_b$  的频率；
4. 设电路输出  $u_{o2}$  的初始状态为 0，请在图 7(b)中画出  $Q_a$ 、 $Q_b$  和  $u_{o2}$  的波形。

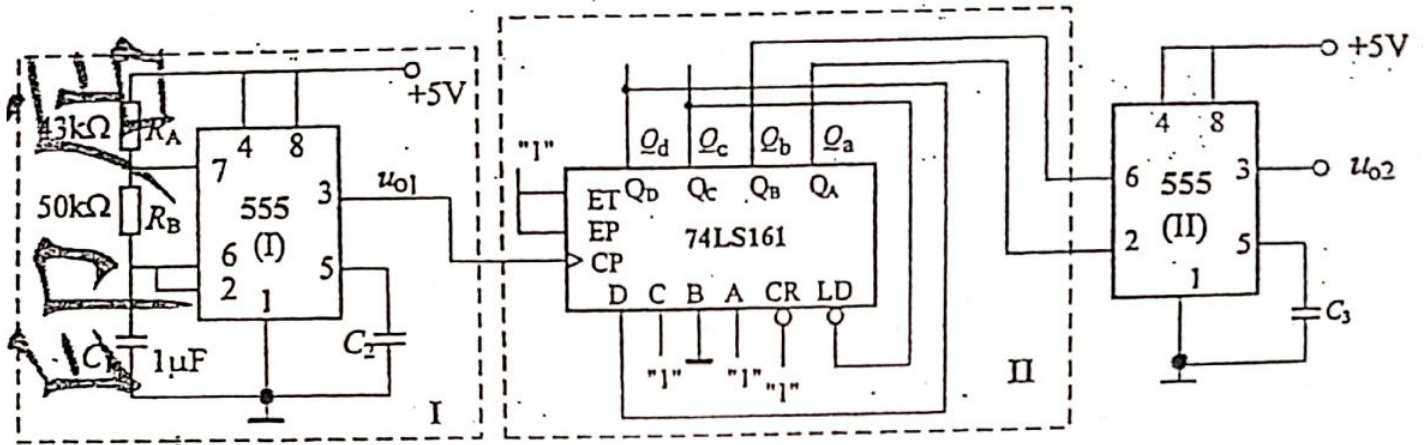


图 7(a)

图六级交流群  
741109221

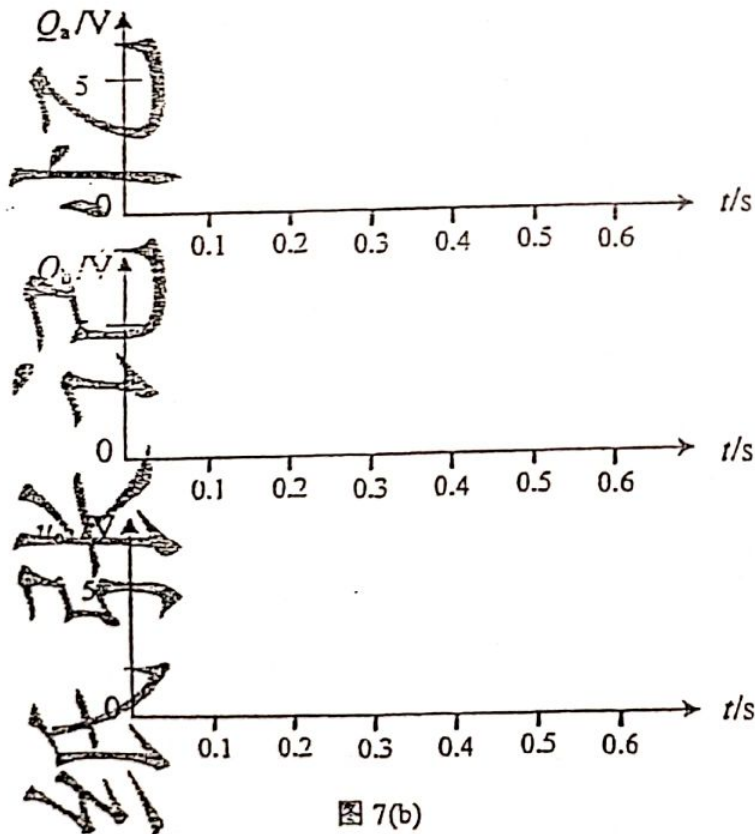


图 7(b)



得分

八、根据下面 Verilog HDL 语言的描述，回答下列问题：(6分)

1. 题 8-1 中硬件描述语言实现的电路逻辑功能是什么？该电路能否自启动，如果不能，请修改(a), (b), (c), (d)中的某一条语句，使其能够自启动。

```
module Test1(Clk, Dataout);  
input Clk;  
output[3:0] Dataout;  
wire[3:0] Dataout;  
reg Q1,Q2,Q3,Q4;  
assign Dataout = {Q4,Q3,Q2,Q1};  
always @(posedge Clk)  
begin  
    Q2 <= Q3; //—— (a)  
    Q3 <= Q4; //—— (b)  
    Q1 <= Q2; //—— (c)  
    Q4 <= ~Q1; //—— (d)  
end  
endmodule
```

哈工大资源分享  
QQ 2842305604

题 8-1

提示：Verilog HDL 语言中位运算操作符为“与运算(&)”、“或运算(|)”、“非运算(~)”。

姓名  
学号  
院

2. 题 8-2 中硬件描述语言实现的电路逻辑功能是什么? 可选答案为:

- a) 双稳态触发器; (b) 可重触发单稳态触发器; (c) 不可重触发单稳态触发器; (d) 多谐振荡器。

```
module Test2(Clk,nRst,iTRIG,oTRIG);
input Clk,nRst,iTRIG;
output oTRIG;
reg[7:0] cnt;
reg DY1;
parameter DY_time = 8H09;
always@(posedge Clk or negedge nRst)
begin
    if(!nRst)
        DY1 = 0;
    else if(iTRIG)
        DY1 = 1;
    else if(cnt >= DY_time)
        DY1 = 0;
end
always@(posedge Clk or negedge nRst)
begin
    if(!nRst)
        cnt <= 0;
    else if(DY1 == 1)
        cnt <= cnt + 1;
    else
        cnt <= 0;
end
assign oTRIG = DY1;
endmodule
```

哈工大资源分享  
QQ 2842305604

题 8-2



一 (17分)

$$1. F = A \cdot B \cdot (C + \bar{D}) + (\bar{A} + \bar{D} + \bar{B} + \bar{C}) = \overline{A \cdot B \cdot (C + \bar{D}) \cdot (A + D + B + C)} = \underline{\underline{A\bar{B} + A\bar{C}D}}$$

2.  $\sqrt{\quad}, \times, \times$

3. B, C, D

4.  $A \oplus B$

5. 二位二进制(四进制), 减法

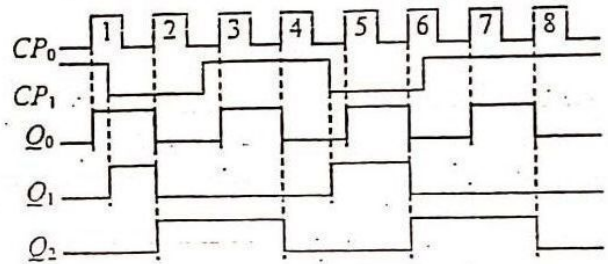
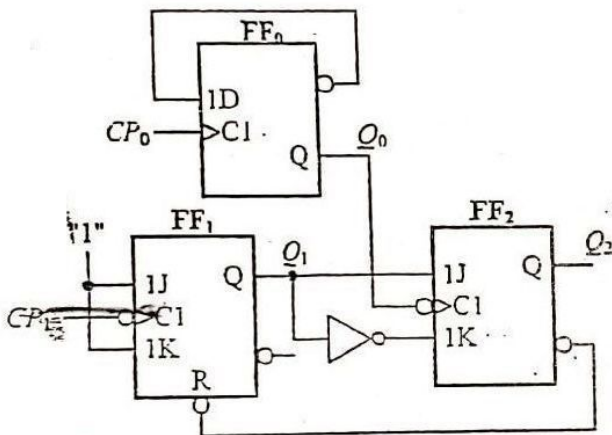
6. 扭环, 8个

7. 0

8. 0.3V, 3.6V; 1.4V, 0.3V;

二 (8分)

4分



4分

W0: 0, 0, 0  
W2: 0, 0, 1  
W4: 0, 1, 0  
W6: 0, 1, 1

W1: 1, 0, 0  
W3: 1, 0, 1  
W5: 1, 1, 0  
W7: 1, 1, 1

三 (7分)

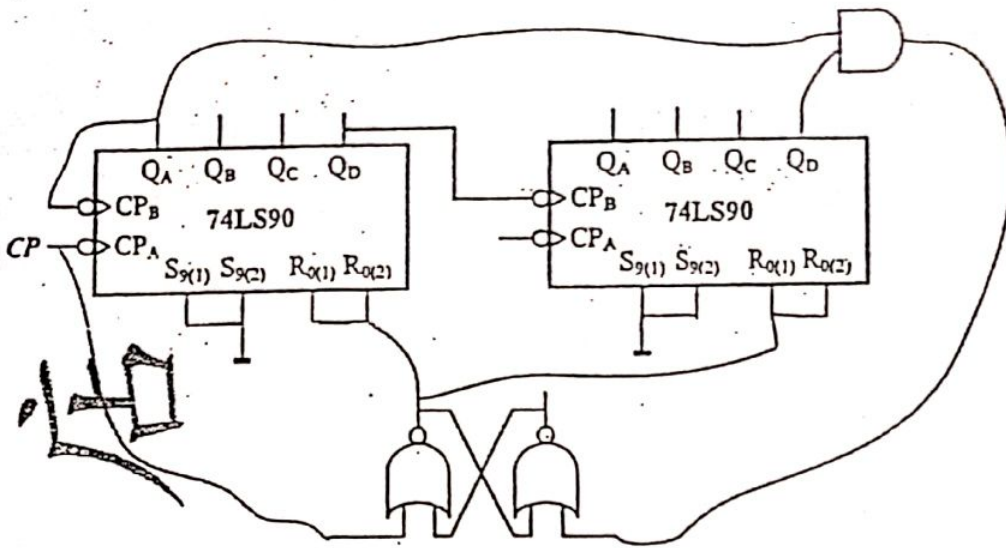
半加器 1分

$S = A_0 \oplus B_0$  2分  
 $C_0 = A_0 \cdot B_0$

3. 4分

$G_1$	$G_0$	F
0	0	0
0	1	$\bar{A}$
1	0	$\bar{A}B + A\bar{B}$
1	1	$\bar{A}B + A\bar{B}$

四 (6分)



五、(10分)

1. 当  $X=1$  时，电路为三进制计数器。——2分
2. 次态函数卡诺图 2分；输出  $Z = Q_1^n$  ——2分

卡诺图 (Karnaugh Map) for the next state function:

	$Q_1^{n+1} Q_0^{n+1}$	$Q_1^{n+1} Q_0^n$	$Q_1^n Q_0^{n+1}$	$Q_1^n Q_0^n$
$X$	00	01	11	10
0	00	00	00	10
1	01	11	00	11

卡诺图 (Karnaugh Map) for the output function Z:

	$Q_1^n Q_0^n$	$Q_1^n Q_0^{n+1}$	$Q_1^{n+1} Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$
$X$	00	01	11	10
0	0	0	1	1
1	0	0	1	1

3. 图略 4分

$$J_1 = XQ_0^n, K_1 = Q_0^n$$

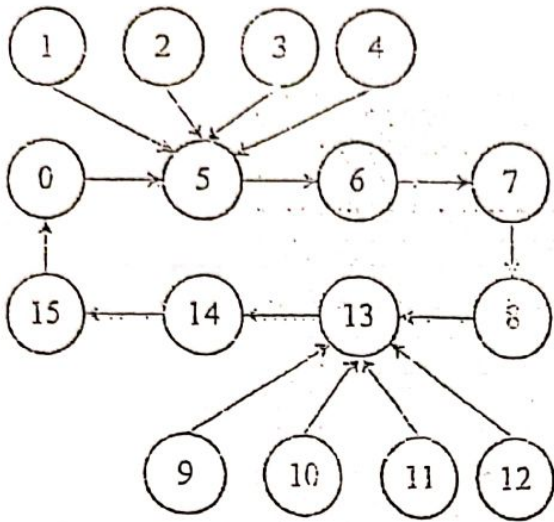
$$J_0 = X, K_0 = \overline{XQ_1^n}$$

六、(6分)

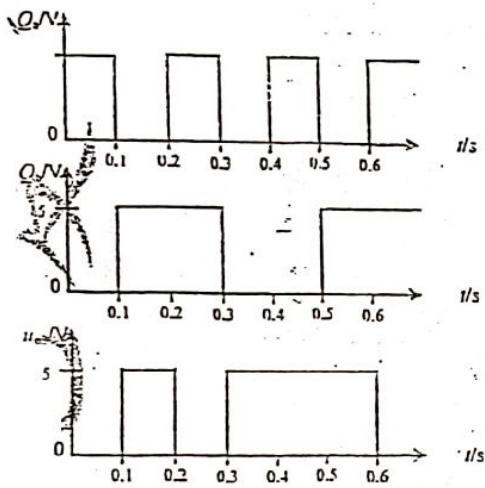
1.  $D = \frac{E_p \times 2^n}{E_p \times V_{REF}} \cdot T_{f_i}$  ——2分
2.  $10000000 \times 3.84ms$  ——2分
3.  $R_1 > 2R_2$  ——2分

七、(10分)

1. 多谐振荡器；——2分
2. 同步8进制加法计数器；——3分



3.  $f_{Qa} = 5\text{Hz}$ ;  $f_{Qb} = 2.5\text{Hz}$ ; ———— 2分  
 ———— 3分



八、(6分)

1. 扭环形计数器, 不能, 将d改为:  $Q4 \leftarrow \sim Q1 \mid (Q4 \& (\sim Q2))$  —— 4分
2. c 不可重触发单稳态触发器 —— 2分



# 数字电子技术基础试题 (A)

班号	
学号	
姓名	

题号	一	二	三	四	五	六	七	八	总分
分数									

得分

## 一、选择与填空 (共 9 分)

1. 函数表达式  $Y = \overline{AB} + C + D + C$ , 则其对偶式为 (不必化简):

$Y' =$  \_\_\_\_\_.

2. 图 1-2 为 CMOS 工艺数字逻辑电路, 写出  $F$  的表达式:  $F =$  \_\_\_\_\_.

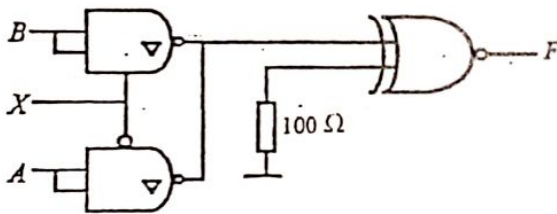


图 1-2

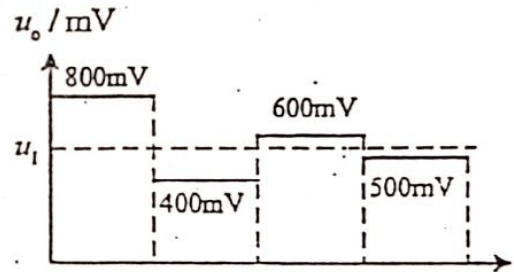


图 1-3

3. 图 1-3 为 \_\_\_\_\_ (逐次逼近型、双积分型、流水线型) A/D 转换器的转换示意图, 转换结果为 \_\_\_\_\_.

4. 对于一个 8 位 D/A 转换器, 若最小输出电压增量为 0.01V, 当输入代码为 01001101 时, 输出电压  $u_o =$  \_\_\_\_\_ V, 分辨率 = \_\_\_\_\_.

5. 已知时钟脉冲频率为  $f_{cp}$ , 欲得到频率为  $0.25f_{cp}$  的矩形波, 哪种电路一定无法实现该功能 ( )

- A. 四进制计数器;
- B. 四位二进制计数器;
- C. 单稳态触发器;
- D. 施密特触发器.

6. 用 555 定时器构成的单稳态触发器, 在 3 管脚 OUT 端获得稳态输出时, 电路内部与 7 管脚连接的放电管 VT 工作在 \_\_\_\_\_ 区.

- A. 放大;
- B. 饱和;
- C. 截止

7. 某 EPROM 有 8 条数据线, 10 条地址线, 其存储容量为 \_\_\_\_\_ 字节.

注  
意  
行  
为  
规  
范

遵  
守  
考  
场  
纪  
律

主  
管  
领  
导  
核  
对

得分

二、简答题。

1. 电路如图 2-1 所示,  $V_{CC} = 5V$ ,  $R$  取值合适, 写出  $F$  的表达式 (不必化简)。

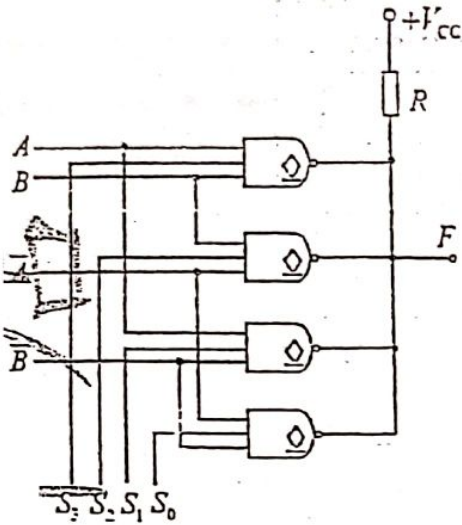


图 2-1

哈工大资源分享  
QQ: 2842305604

2. 卡诺图化简:  $P(A, B, C, D) = \sum m(0, 1, 2, 3, 5, 8)$ ,  $(ABD + BCD + A\bar{B}C = 0)$



试题:

班号:

姓名:

3. 在图 2-3 中, 用一片 74LS160 和一片 74LS161, 配合必要的逻辑门电路, 构成 128 进制计数器。要求: 使用置数方式, 且 74LS160 为低位芯片, 74LS161 为高位芯片。

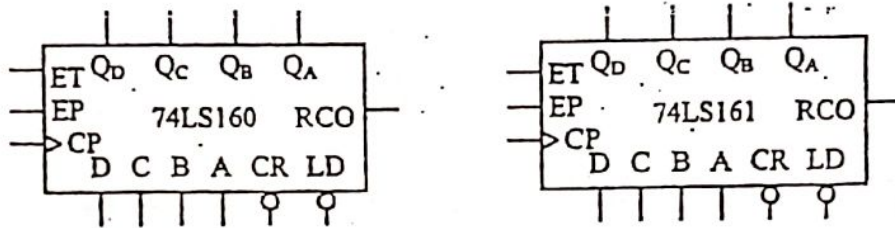


图 2-3

大物实验群  
290028380

得分

三、(10分)一个保险箱有 3 个按键, 当 3 个键都不按下时, 保险箱关闭, 不报警; 当只有一个按键按下时, 保险箱仍关闭, 但报警; 当有 2 个按键按下时, 保险箱打开, 不报警; 当三个按键同时按下时, 保险箱打开, 但要报警。

试设计此逻辑电路。

要求: 输入变量为  $A$ 、 $B$ 、 $C$ , 按键按下取值为“1”, 否则取值为“0”。输出变量分别为保险箱开锁信号  $X$  和报警信号  $Y$ , 保险箱打开时  $X=1$ , 关闭时  $X=0$ ; 报警时  $Y=1$ , 不报警时  $Y=0$ 。

1. 列写真值表, 并用输入变量  $A, B, C$  最小项和的形式分别表示输出  $X$  和  $Y$ ;

2. 在图 3(a)中, 用最小项译码器 74LS138 和与门实现该逻辑电路;

3. 在图 3(b)中, 用双 4 选 1 数据选择器 74LS153 和非门实现该逻辑电路 (要求变量  $A, B$  接入选择变量输入端)。

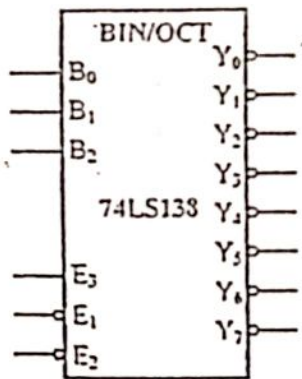


图 3(a)

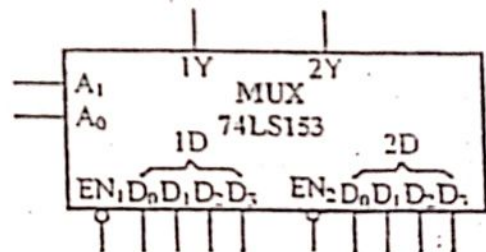


图 3(b)

紫丁香影院

QQ 1689929593

试题:

班号:

姓名:

得分

四、(7分)电路如图4所示, 设电路均为TTL工艺, 74LS85为四位数码比较器。其中 $A_4$ 和 $B_4$ 为高位; 当 $[A_4A_3A_2A_1]=[B_4B_3B_2B_1]$ 时,  $Y_{A=B}=1$ , 否则 $Y_{A=B}=0$ 。

1. 说明虚线框中电路作为独立电路模块时的功能;

2. 若希望以 $[Q_4Q_3Q_2Q_1]$ 作为输出, 电路构成七进制计数器, 则 $[I_4I_3I_2I_1]$ 应取多少? 并画出完整的状态转换图, 判断电路能否自启动。

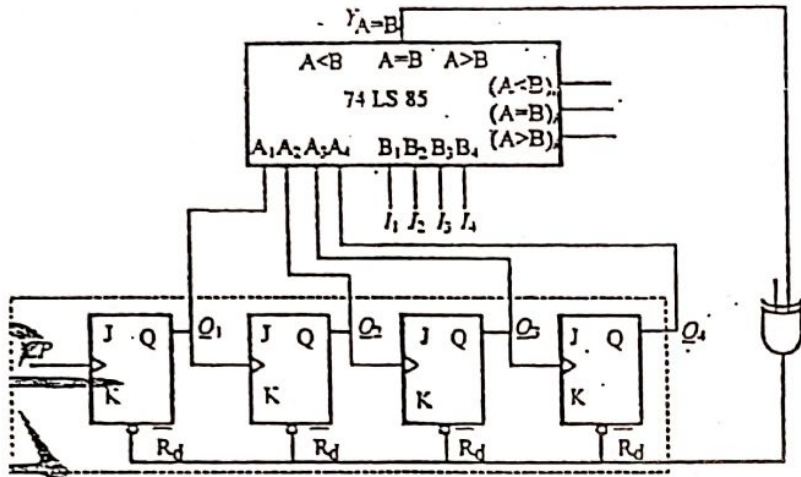


图 4

数值分析 0群  
926420643

得分

五、由中规模 16 进制加法计数器 74LS163 和 2/3 分频异步计数器 74LS93 构成的电路如图 5 所示。(11 分)

1. 给出虚线框内电路中 74LS163 的输出  $[Q_d, Q_c, Q_b, Q_a]$  的完整状态转换表和完整状态转换图, 并说明构成几进制计数器;
2. 用 D 触发器和必要的门电路实现虚框内的电路功能, 给出驱动方程即可, 不必画出电路图;
3. 若图中时钟 CP 的频率为 1792Hz, 计算 74LS163 的输出  $Q_d$  的频率和占空比;
4. 分别计算图中 74LS93 的输出  $Q_b$  和  $Q_a$  的频率。

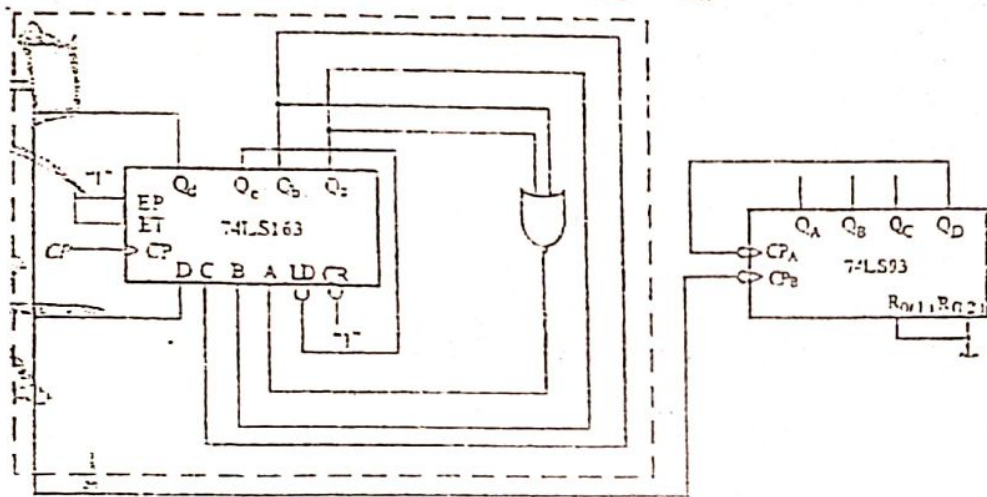


图 5



得分

六、(12分)由2/5分频异步计数器74LS90和存储器构成的电路如图6(a)所示。

1. 画出 $[Q_D Q_C Q_B Q_A]$ 的状态转换图(画出技术循环内的状态即可);

2. 设初始时刻 $[Q_D Q_C Q_B Q_A]=[0000]$ , 给定时钟 $CP$ ,  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 的波形如图6(b)所示。请用 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 的与或标准型分别表示 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ (按 $A_3 A_2 A_1 A_0$ 的顺序确定最小项编号), 并在图6(a)中画出ROM阵列中的存储内容。

3. 图6(a)中检测电路的输入如图6(b)所示,  $D_3$ 与 $D_2$ ,  $D_1$ 与 $D_0$ 分别为两组方波信号, 试设计该检测电路, 要求当 $X$ 接 $D_0$ 、 $Y$ 接 $D_1$ 时,  $Z$ 稳定后输出为1; 当 $X$ 接 $D_2$ 、 $Y$ 接 $D_3$ 时,  $Z$ 稳定后输出为0。

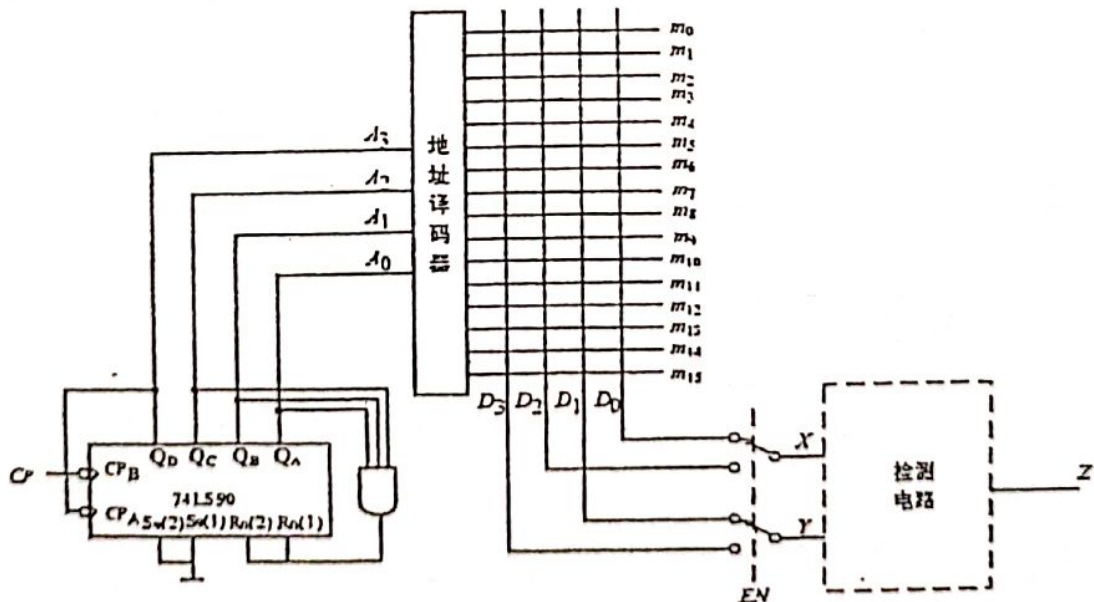


图6(a)



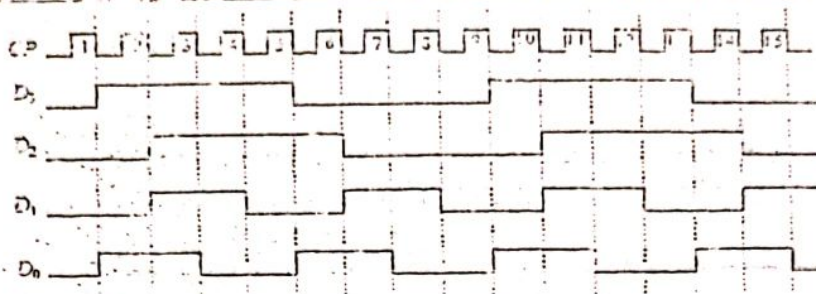


图 6(b)

得分

七、(6分)

1. 下列 Verilog 语言描述的逻辑电路图程序缺少三条语句, 请根据图 7-1 所示的电路图将程序补充完整。(3分)

```
module circuit1(clk, Dsr, Q, Qsr);
```

```
input clk, Dsr;
```

```
output Qsr;
```

```
output[4:1] Q;
```

```
reg [4:1] Q;
```

```
reg Qsr;
```

```
always @(posedge clk)
```

```
begin
```

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

```
end
```

```
endmodule
```

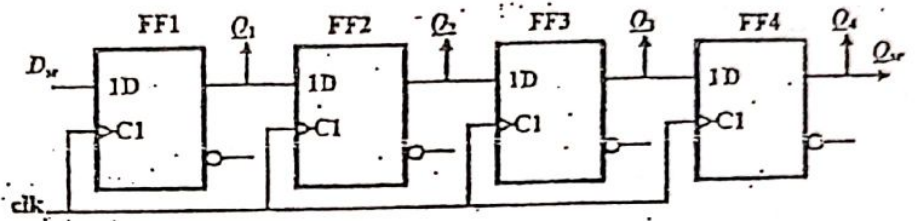


图 7-1

2. 根据下面的 Verilog 语言描述的电路功能, 在图 7-2 中画出 Q 的波形 (设起始时刻 Q 为高电平)。(3分)

```
module circuit2(Q, clk, rst);
```

```
input rst, clk;
```

```
output Q;
```

```
reg Q;
```

```
always @(negedge clk)
```

```
begin
```

```
if(rst)
```

```
Q<=0;
```

```
else
```

```
Q<=~Q;
```

```
end
```

```
endmodule
```

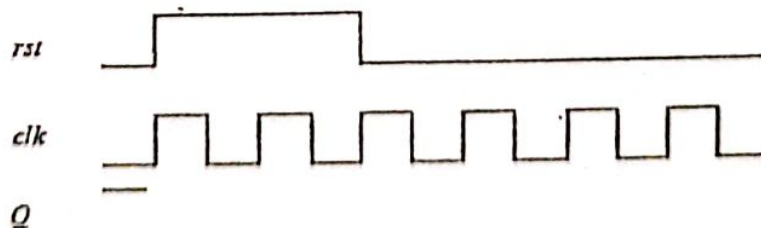


图 7-2

得分

八、(6分) 图 8 所示是一个时钟发生电路。设触发器的初始状态  $Q=0$ 。

1. 分析该电路中虚线框内为何种电路, 并指出二极管  $D_1$  和  $D_2$  的作用;
2. 画出图中  $u_1$ 、 $u_2$  及  $u_3$  的波形;
3. 计算  $u_1$ 、 $u_2$  及  $u_3$  的时钟频率。

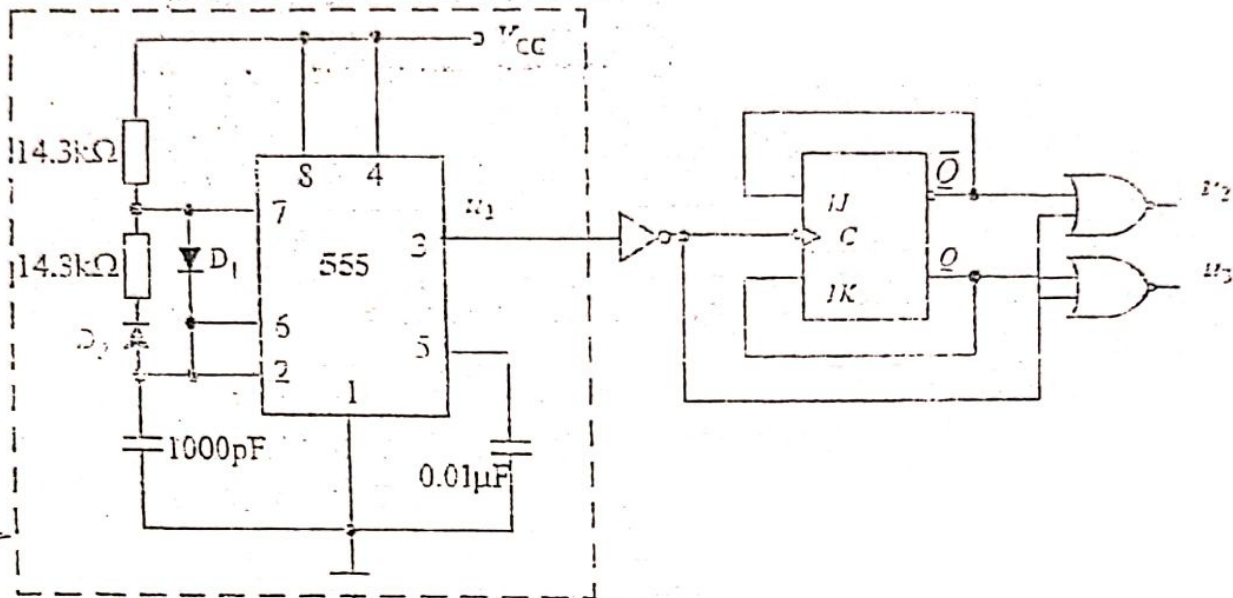


图 8

一、 1.  $(A+\bar{B})CDC$ ; 2.  $XA+XB$  或  $HAAB$ ; 3. 逐次逼近型, 0101;

4.  $0.77V, \frac{1}{2^8-1}$  或  $0.0039$ ; 5. D; 6.  $2^{10}$

二、

1.

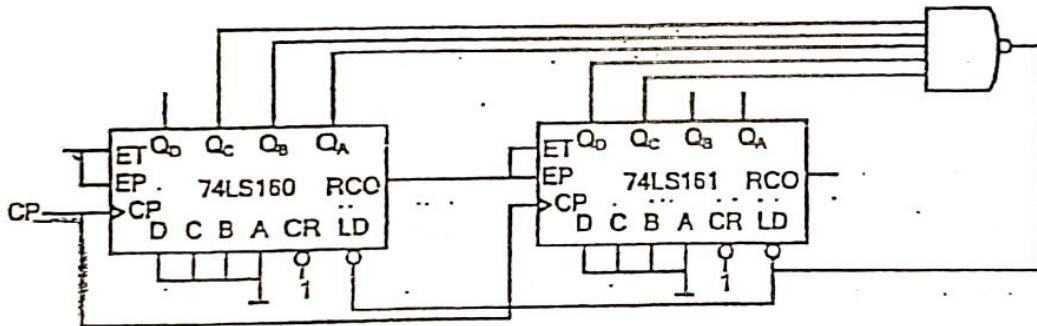
解:  $F = \overline{ABS_3} \cdot \overline{ABS_2} \cdot \overline{ABS_1} \cdot \overline{ABS_0}$

2.

CD	00	01	11	10
00	1	1	1	1
01	0	1	$\Phi$	0
11	0	$\Phi$	$\Phi$	0
10	1	0	$\Phi$	$\Phi$

$P = \overline{AD} + \overline{BD}$

3.



—4分

三、  
真值表

A	B	C	X	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$X(A, B, C) = \sum m(3, 5, 6, 7)$

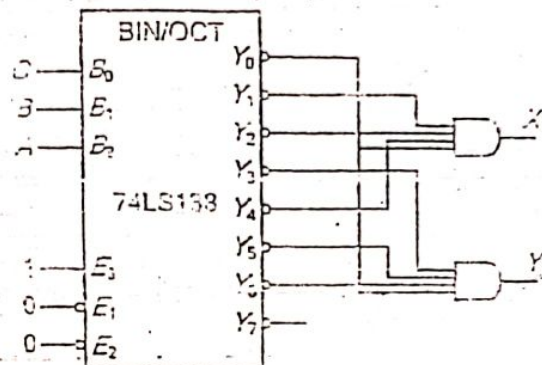


$$F(A, B, C) = \sum m(1, 2, 4, 7)$$

2.

$$X(A, B, C) = \bar{m}_0 \bar{m}_1 \bar{m}_2 \bar{m}_4$$

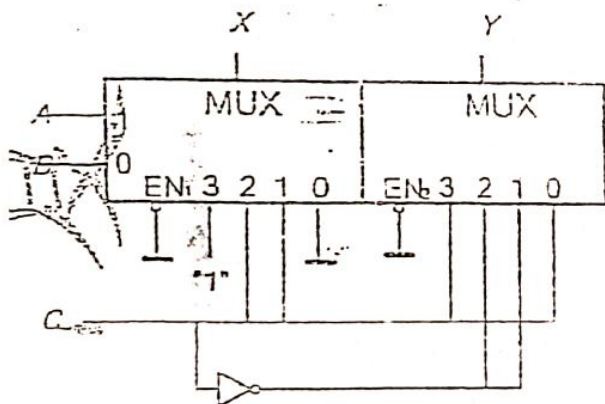
$$Y(A, B, C) = \bar{m}_0 \bar{m}_3 \bar{m}_5 \bar{m}_6$$



3

$$F(A, B, C) = \sum m(3, 5, 6, 7) = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$$

$$\bar{Y}(A, B, C) = \sum m(1, 2, 4, 7) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

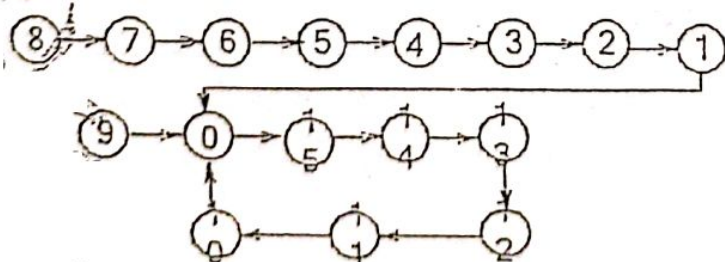


四. (8分)

1. 六进制异步减法计数器

2. 若  $J_4 J_3 J_2 J_1 = 1001$

则当  $A_4 A_3 A_2 A_1$  为 1001 时,  $Y_{A=B} = 1$ ,  $\bar{R}_d = 0$ , 计数器异步清零。状态 1001 不能稳定存在, 不是有效状态。故该电路有 7 个有效状态, 为七进制减法计数器。其状态转换图



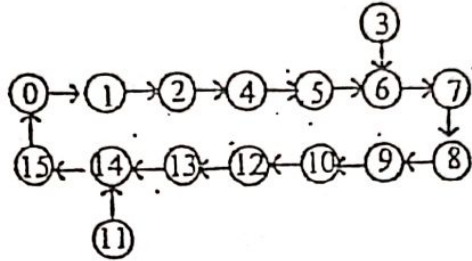
该电路可以自启动。

五. (10分)

1. 状态转换表



CP	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	0	1	0	1
5	0	1	1	0
6	0	1	1	1
7	1	0	0	0
8	1	0	0	1
9	1	0	1	0
10	1	1	0	0
11	1	1	0	1
12	1	1	1	0
13	1	1	1	1
14	0	0	0	0



14 进制计数器。

Q <sub>3</sub> Q <sub>2</sub>	00	01	11	10
00	0001	0010	0000	0100
01	0101	0110	1000	0111
11	1101	1110	0000	1111
10	1001	1010	0000	1100

状态方程:

$$Q_3^{n+1} = \overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_2^n} Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} \overline{Q_0^n}$$

驱动方程:

$$D_3 = \overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$$

$$D_2 = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} \overline{Q_0^n}$$

$$D_1 = \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_2^n} Q_1^n \overline{Q_0^n}$$

$$D_0 = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} \overline{Q_0^n}$$

3.

$f_{Q_2} = 128\text{Hz}$ ,

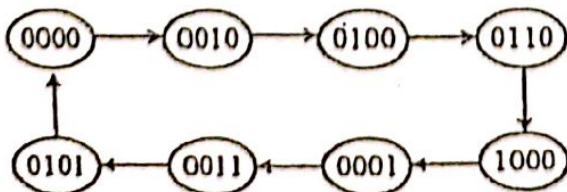
占空比  $D=50\%$ 。

4.

$f_{Q_2} = 16\text{Hz}$ ;  $f_{Q_3} = 8\text{Hz}$ 。

六、(10分)

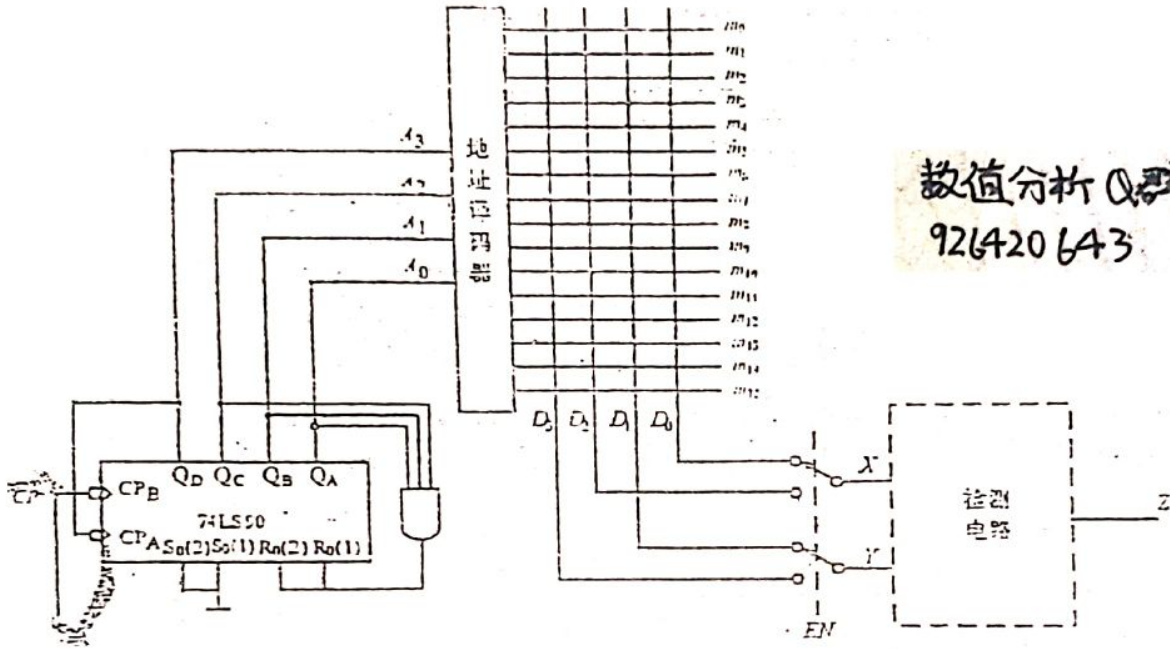
1.



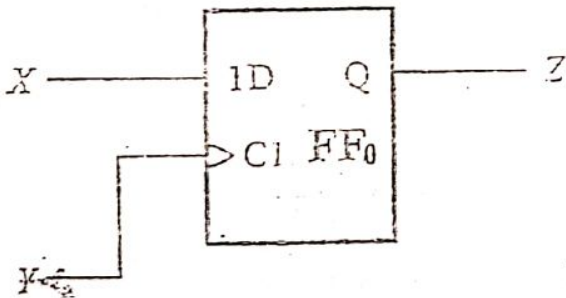
2.

$$D_3 = \sum m(2, 4, 6, 8) \quad D_2 = \sum m(1, 4, 6, 8)$$

$$D_1 = \sum m(3, 4, 5, 6) \quad D_0 = \sum m(1, 2, 3, 4)$$



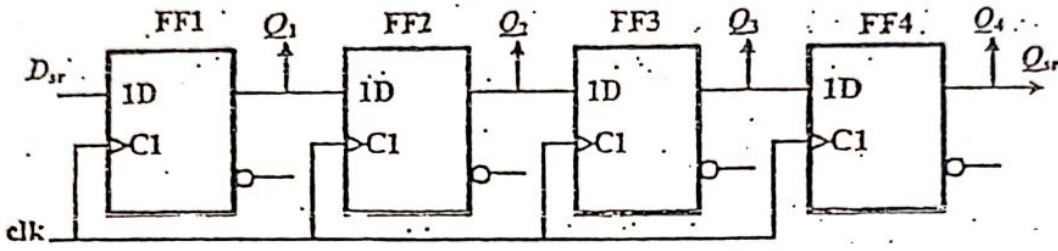
3



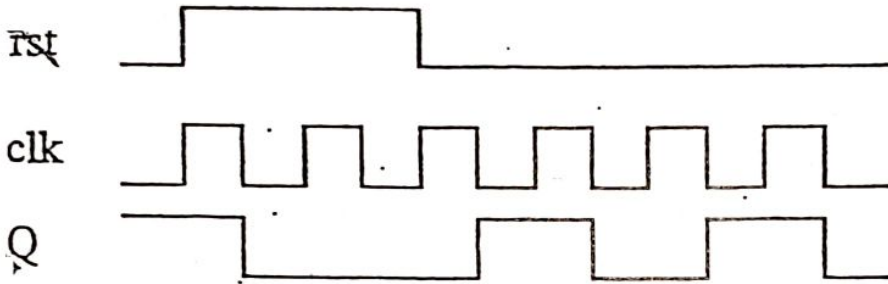
还有 X、Y 颠倒，下降沿触发也对

七、(6分)

1.

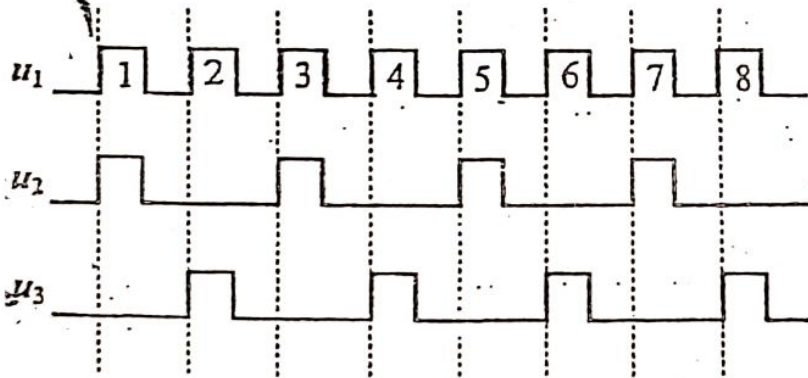


2.



八、

1. 555 构成多谐振荡器;



大物实验群  
290028380

3.

$u_1$  频率为 50kHz;  $u_2$  及  $u_3$  的频率为 25kHz。



# 数字电子技术基础(A)试题

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											

注意行为规范

遵守考场纪律

本题得分

一、(12分)填空和选择(每空1分)

- (1) 进制为一千的计数器至少应使用\_\_\_\_\_个触发器实现。
- (2) 集电极开路门使用时应注意在输出端接\_\_\_\_\_。
- (3) 32选1数据选择器有\_\_\_\_\_个选择变量。
- (4) 函数式  $Y = AB + \overline{BCD}$ , 写出其对偶式  $Y' =$ \_\_\_\_\_。
- (5) 相同供电电源的 CMOS 门电路与 TTL 门电路相比, \_\_\_\_\_门的噪声容限更大; \_\_\_\_\_门的静态功耗更低。
- (6) 模数转换时, 要求能分辨 ADC 输入满量程 0.1% 的变化, 则至少需要使用\_\_\_\_\_位的 ADC。若信号频率为 20kHz, 则要求该 ADC 采样频率至少为\_\_\_\_\_kHz。
- (7) 由与非门构成的基本 RS 触发器, 其约束条件是\_\_\_\_\_。
- (8) 下列器件的信号一定不能和其他输出信号接在一起的是\_\_\_\_\_。
  - (a) RAM 的数据信号;
  - (b) ROM 的数据信号;
  - (c) 74LS138 的输出信号。
- (9) 下列说法正确的是\_\_\_\_\_。
  - (a) 输入悬空时, TTL 门电路的输入端相当于接低电平;
  - (b) 输入悬空时, CMOS 门电路的输入端相当于接低电平;
  - (c) 输入悬空时, CMOS 门电路的输入端相当于接高电平;
  - (d) 实际应用中, 门电路的输入端应尽量避免悬空。
- (10) 用万用表测量一个标准 TTL 门电路的输出信号, 发现其值为 1.5V, 可能的情况有(多选): \_\_\_\_\_。
  - (a) 输出端处于高阻态;
  - (b) 两输出信号短接;
  - (c) 输出为脉冲信号;
  - (d) 驱动门过载。

紫丁香影院  
QQ 1689929593

主管领导审核签字

本题得分

二、(8分)简答题。

(1) 画出函数  $F_1$  和  $F_2$  的卡诺图, 并求出  $F_1$  和  $\overline{F_2}$  的最简与或式。

$$F_1(A,B,C,D) = \overline{A} \overline{B} D + \overline{A} B + \overline{A} \overline{B} + ABC$$

$$F_2(A,B,C,D) = \sum m(0,1,2,7,11,14,15) + \sum d(8,9,10)$$

电影协会  
QQ群 725682926

(2) 图 2 中门电路  $G_1$  和  $G_2$  为 TTL 门电路, 并假设传输门导通电阻可忽略, 分别填写  $C_1$  和  $C_2$  不同电平下电压表  $V_1$  和  $V_2$  电压值 (TTL 门电路输出高电平 3.6V, 输出低电平 0.3V):

$C_1$  为高电平,  $C_2$  为低电平时,  $V_1 =$  \_\_\_\_\_ V,  $V_2 =$  \_\_\_\_\_ V;

$C_1$  为低电平,  $C_2$  为高电平时,  $V_1 =$  \_\_\_\_\_ V,  $V_2 =$  \_\_\_\_\_ V.

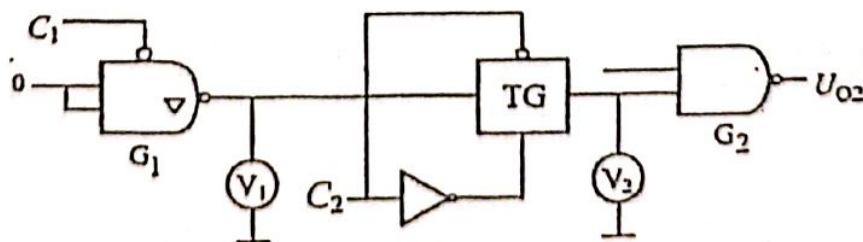


图 2



本题得分

三、(8分)设计一个故障显示电路。要求为:

当只有电机A发生故障时,故障指示灯F以4Hz的频率闪烁;当只有电机B发生故障时,故障指示灯F以2Hz的频率闪烁;当电机A、B同时发生故障时,故障指示灯F常亮;当电机A、B均无故障时,故障指示灯F灭。

已知时钟信号为8Hz;用变量A、B表示电机状态,“1”表示电机发生故障;用变量F表示指示灯状态,“1”表示灯亮。试求:

- (1) 在图3中利用8Hz时钟和2个D触发器得到4Hz和2Hz的时钟信号;
- (2) 继续在图3中将上述故障显示电路设计实现。

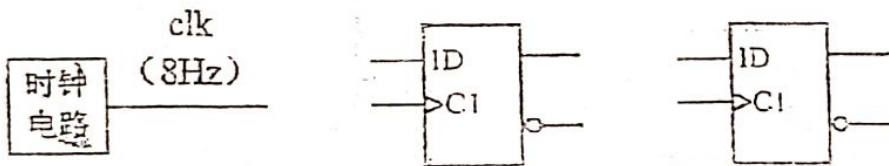
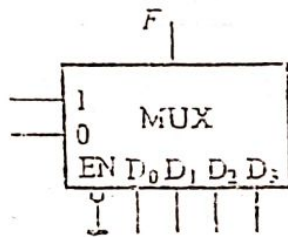


图3

本题得分
------

## 四、(8分) 简答题

(1) 要实现异步清零的 12 进制计数器, 更正下列 verilog 程序的错误。

```

module Cnt0 ( clk, rst, Q );
input clk, rst;
output [2:0] Q;
reg [2:0] Q;

always@(posedge clk)
begin
if ( !rst )
Q = 0;
else
Q = Q + 1'b1;
if ( Q >= 12 )
Q = 0;
end
endmodule

```

(2) 根据下列程序画出完整的状态转换图 (要求按照 Q[2]、Q[1]、Q[0]的顺序表示输出状态)

```

module Cnt1 ( clk, rst, Q );
input clk, rst;
output [2:0] Q;
reg [2:0] Q;
always@(posedge clk)
if ( !rst )
Q <= 3'b000;
else
begin
Q[0] <= ~Q[0];
Q[1] <= Q[0]^Q[1];
Q[2] <= Q[0]^Q[1];
end
endmodule

```

本题得分

五、(3分) 由 16 进制同步加法计数器 74LS161 和存储器构成的电路如图 5 所示。

- (1) 将  $D_0$ 、 $D_3$  用  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  的最小项表示 (按  $A_3A_2A_1A_0$  的顺序确定最小项编号);
- (2) 画出  $Q_D$ 、 $Q_C$ 、 $Q_B$ 、 $Q_A$  完整的状态转换图;

(3) 在正常计数循环内,  $D_1$ 、 $D_2$  平时输出低电平, 当计数器输出为最小值时,  $D_1$  输出高电平; 当计数达到最大值时,  $D_2$  输出高电平, 为实现该功能, 请直接在图上画出  $D_1$ 、 $D_2$  的阵列。

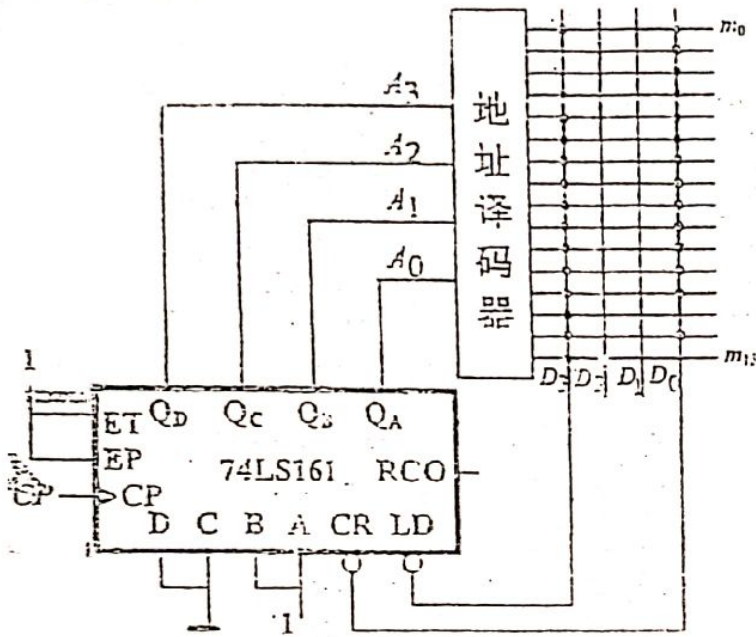


图 5

本题得分

六、(8分) 由2-8分频异步加法计数器74LS93和555定时器构成电路如图6(a)所示:

(1) 写出虚线框内电路的名称;

(2) CP时钟信号频率为20kHz, 假设计数器初态为0, 在图6(b)中画出  $u_i$ 、 $u_o$  的波形。

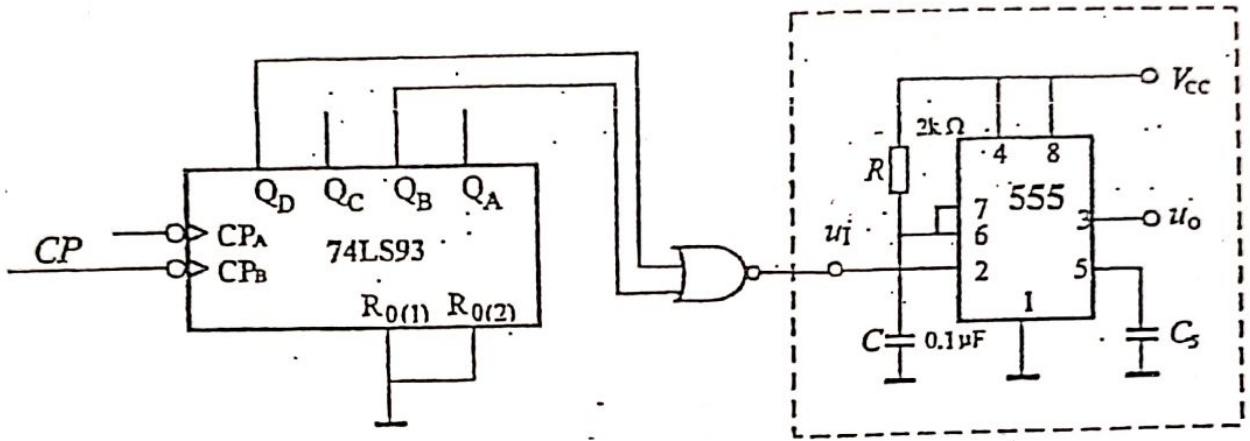


图 6(a)

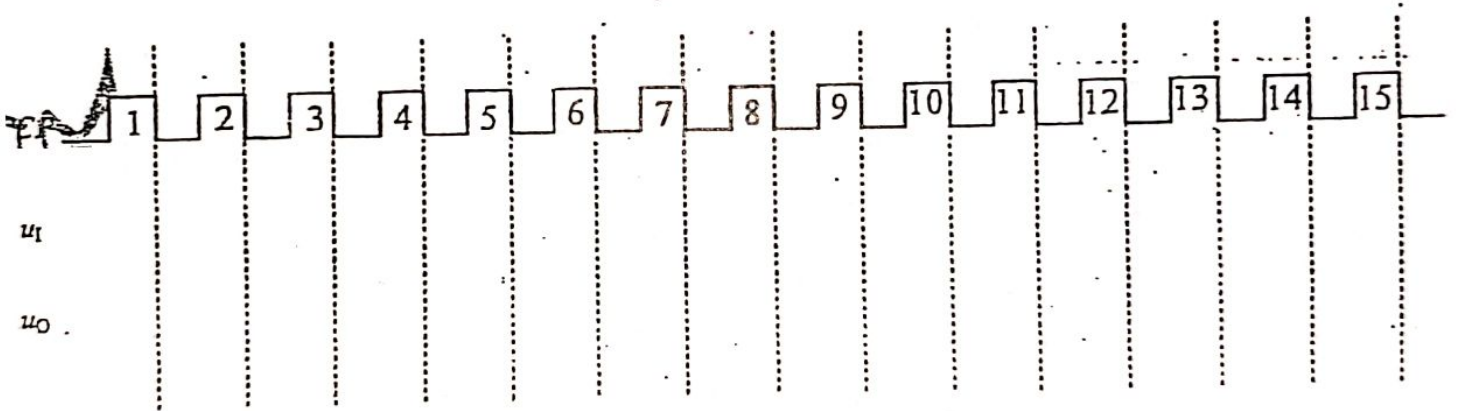


图 6(b)



本题得分

七、(10分) 由触发器、74LS138及DAC芯片构成的电路如图7所示。

(1) 写出图7(a)中各触发器的状态方程;

(2) 按  $Q_2Q_1Q_0$  的顺序画出完整的状态转换图, 指出其计数进制和计数方向;

(3) 在图7(b)中, 已知当DAC的输入只有最低有效位为1时, 输出模拟电压为10mV, 试画出计数器一个计数循环内D/A转换器的输出电压波形, 必须标注电压值。

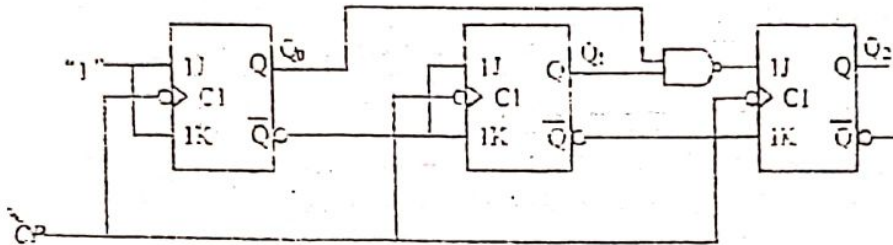


图 7(a)

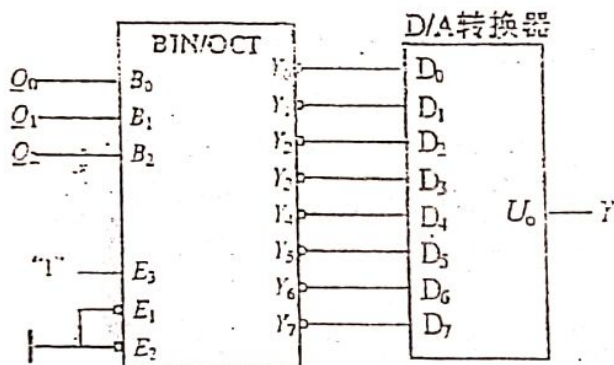
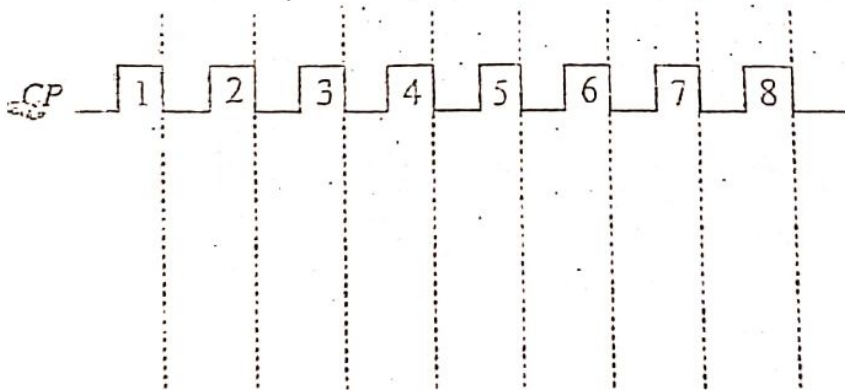


图 7(b)





本题得分

八、(8分) 某移位寄存器型计数器如图 8(a)所示。已知该计数器的计数循环中并不包含所有的 8 个输出状态, 如果上电后计数器的初始状态位于计数循环之外, 该计数器能够实现自启动。该计数器在某 3 次不同的上电启动过程 (用 A、B、C 标记) 的初始阶段, 恰好观测到  $Q_2$  输出如下序列:

- A) 000111100111001110011100111001110011 .....
- B) 01001110011100111001110011100111001 .....
- C) 10111001110011100111001110011100111 .....

的初始阶段, 恰好观测到  $Q_2$  输出如下序列:

- (1) 请指出该计数器的进制数是多少;
- (2) 在表 A、B、C 中将上述三次上电启动过程最初 10 个周期的计数器状态转换表补充完整;
- (3) 画出计数器输出  $Q_2Q_1Q_0$  的完整状态转换图;
- (4) 在图 8(b)所示的电路的基础上, 用必要的逻辑门实现图 8(a)中的反馈逻辑电路, 使计数器实现上述功能。(注意不能改变其移位寄存器型计数器的属性, 即不能改动图 8(b)中的已有连接)

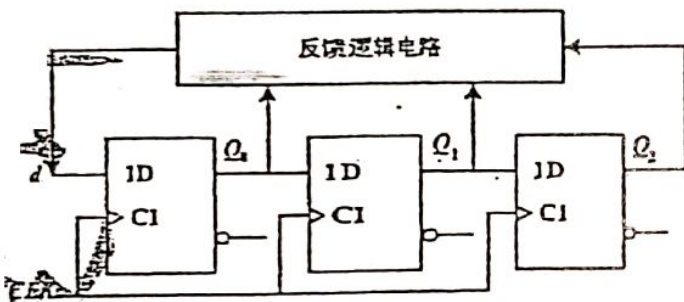


图 8(a)

表 A 过程 A 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			0
1			0
2			0
3			1
4			1
5			1
6			0
7			0
8			1
9			1

表 B 过程 B 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			0
1			1
2			0
3			0
4			1
5			1
6			1
7			0
8			0
9			1

表 C 过程 C 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			1
1			0
2			1
3			1
4			1
5			0
6			0
7			1
8			1
9			1

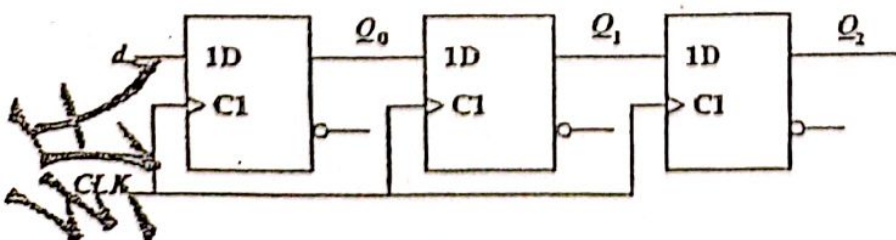


图 8(b)

- (1) 10; (2) 上拉电阻; (3) 5; (4)  $(A+B)(\overline{B+C}+D)$ ; (5) CMOS, NMOS; (6) 10位, 40kHz;  
 (7)  $R+S=1$ ; (8) 6; (9) d; (10) bed.

(1)  $F_1 = \overline{A}B + A\overline{B} + \overline{A}D$  (或  $\overline{B}D$ ) +  $AC$  (或  $\overline{B}C$ )

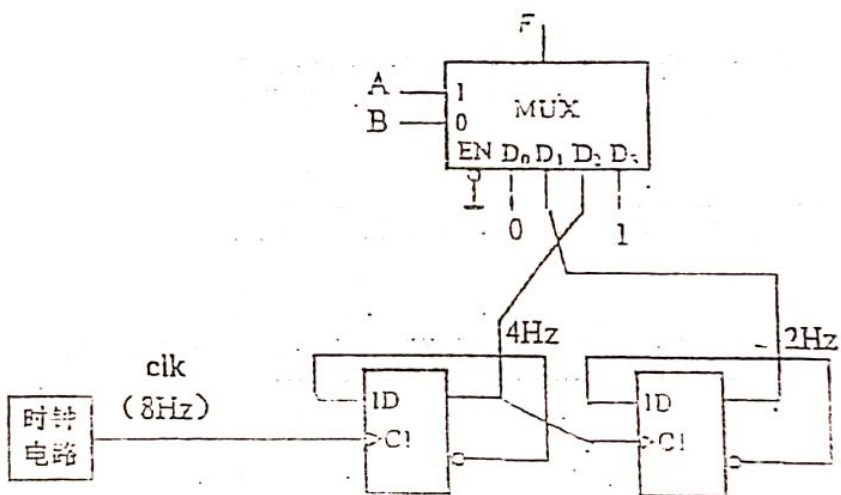
$F_2 = \overline{A}BCD + \overline{A}B\overline{C} + \overline{B}C$

AB\CD	00	01	11	10
00		1	1	
01	1	1	1	1
11			1	1
10	1	1	1	1

AB\CD	00	01	11	10
00	1	1	0	1
01	0	0	1	0
11	0	0	1	1
10	X	X	1	X

- (2)  
 $C_1$  为高电平,  $C_2$  为低电平时,  $V_1 = 1.4$  V,  $V_2 = 1.4$  V;  
 $C_1$  为低电平,  $C_2$  为高电平时,  $V_1 = 3.6$  V,  $V_2 = 1.4$  V.

三、

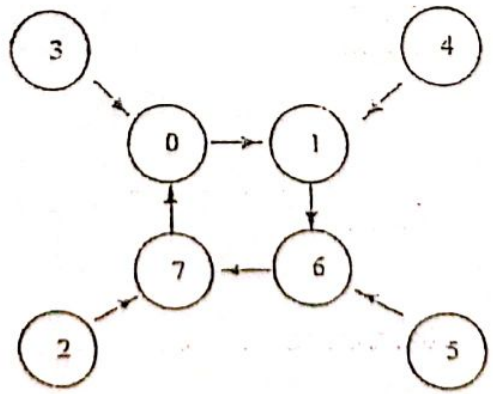


四、

(1)

- 增加异步清零功能, 改成 `always@(posedge clk or negedge rst)`
- Q 改成 `output [3:0] Q;`  
`reg [3:0] Q;`

(2)



五、

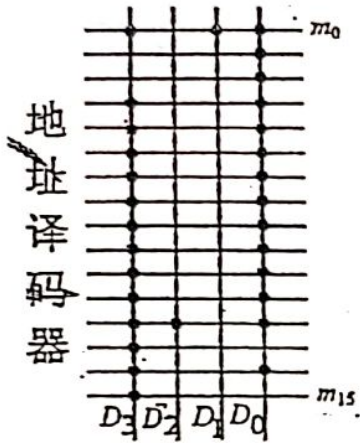
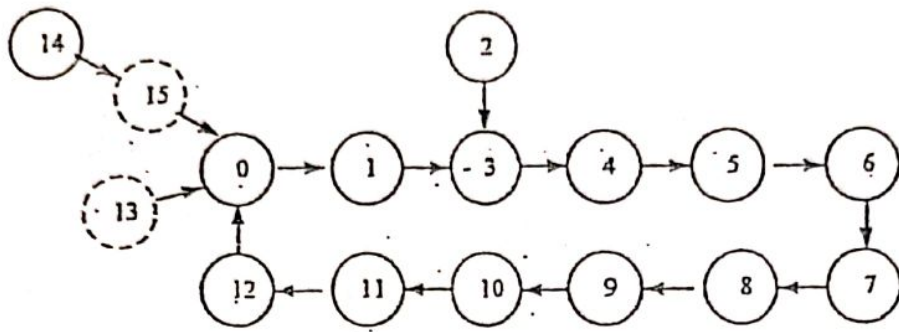
$D0 = \sum(m_0, m_1, m_2, m_3, m_4, m_5, m_6, m_7, m_8, m_9, m_{10}, m_{11}, m_{12}, m_{14}) = \sum(m_{13}, m_{15})$



$$D3 = \sum (m0, m3, m4, m5, m6, m7, m8, m9, m10, m11, m12, m13, m14, m15) = \sum (m1, m2)$$

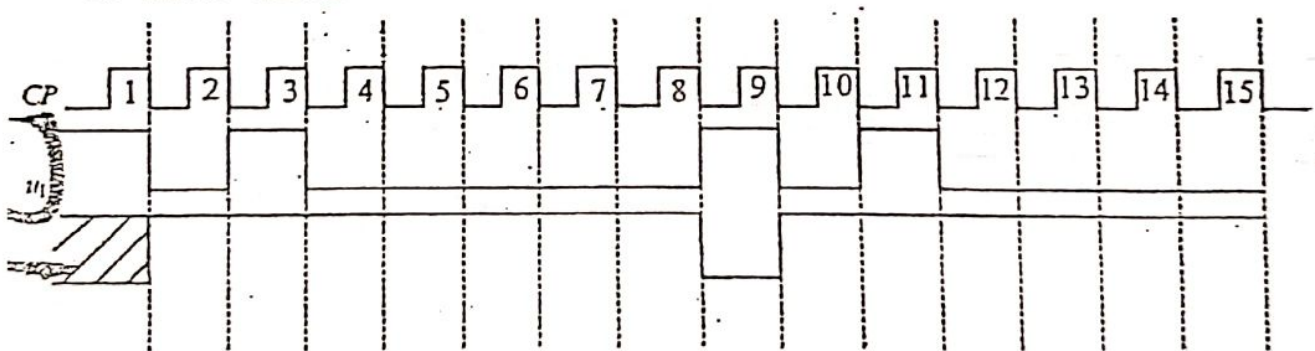
状态转换图:

D1 和 D2 阵列如图:



### 六 单稳触发器

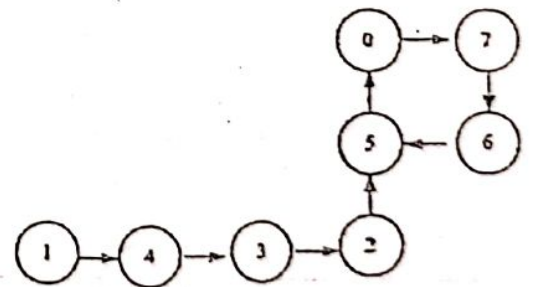
$$t_w = 1.1RC = 0.22ms$$



$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_0^n \cdot Q_1^n$$

$$Q_2^{n+1} = \overline{Q_0^n Q_1^n} \cdot \overline{Q_2^n} + Q_1^n Q_2^n = \overline{Q_0^n} \cdot \overline{Q_2^n} + Q_1^n \cdot Q_2^n$$



### 四进制减计数。

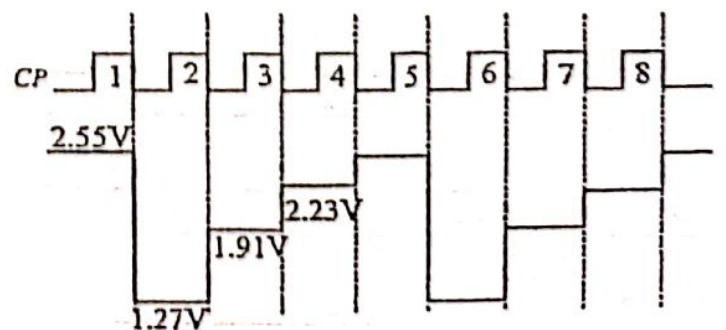
DAC 输出最大值为  $255 \cdot 10mV = 2.55V$

$Q=0$  时,  $u_o = 2.55 - 0.01 = 2.54V$

$Q=7$  时,  $u_o = 2.55 - 1.28 = 1.27V$

$Q=6$  时,  $u_o = 2.55 - 0.64 = 1.91V$

$Q=5$  时,  $u_o = 2.55 - 0.32 = 2.23V$



八、

表 A 过程 A 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	1	0	0
7	1	1	0
8	1	1	1
9	0	1	1

表 B 过程 B 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	0	1	0
1	0	0	1
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1
7	1	0	0
8	1	1	0
9	1	1	1

表 C 过程 C 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	1	0	1
1	1	1	0
2	1	1	1
3	0	1	1
4	0	0	1
5	1	0	0
6	1	1	0
7	1	1	1
8	0	1	1
9	0	0	1

$Q_0Q_1Q_2$	00	01	11	10
0	1	1	0	0
1	1	1	0	1

$$\overline{Q_0}Q_1Q_2 + Q_0Q_1\overline{Q_2}$$

# 数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

本题得分

一、(10分) 填空和选择填空 (每空1分)

1. 根据反演规则, 若  $Y = \overline{AB} + C + D + C$ , 则  $\overline{Y} = (\overline{AB + C + D}) \cdot \overline{C}$

2. 图1所示门电路均为TTL门, 则电路输出  $P_1 = \overline{AB} \cdot \overline{BC}$ ;  $P_2 = \overline{0 + C\overline{A}}$

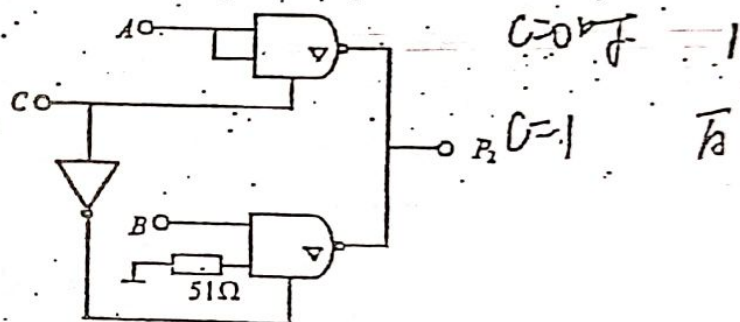
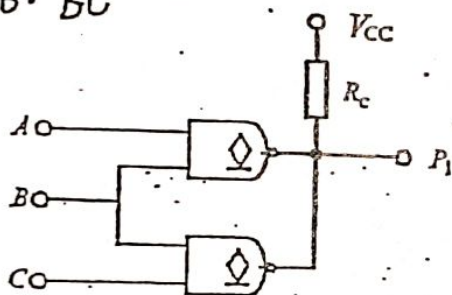


图1

3. 由TTL门组成的电路如图2所示, 已知它们的输入短路电流为  $I_S = 1.6\text{mA}$ ; 高电平输入漏电流  $I_R = 40\mu\text{A}$ 。试问: 当  $A=B=1$  时,  $G_1$  的 (拉/灌) 电流为  $3.2\text{mA}$ ; 当  $A=0$  时,  $G_1$  的 (拉/灌) 电流为  $160\mu\text{A}$ 。

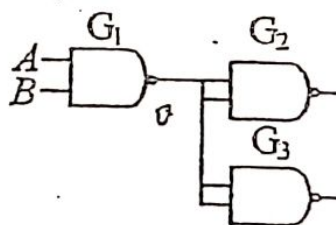


图2

3位扭环形计数器的计数长度为 6。

5. 某EPROM有8条数据线, 13条地址线, 则存储容量为          Kbit。

6. 某512位串行输入串行输出右移寄存器, 已知时钟频率为  $4\text{MHz}$ , 数据从输入端到达输出端被延迟 128  $\mu\text{s}$ 。

$$\frac{1}{4\text{M}} \times 512$$



# 数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

本题得分

一、(10分) 填空和选择填空 (每空 1分)

注  
意  
行  
为  
规  
范

遵  
守  
考  
场  
纪  
律

- 根据反演规则, 若  $Y = \overline{\overline{AB} + C + D + C}$ , 则  $\bar{Y} = \underline{(\overline{AB + C + D}) \times \bar{C}}$ 。
- 图1所示门电路均为 TTL 门, 则电路输出  $P_1 = \underline{\overline{AB} \cdot \overline{BC} \text{ 或 } (\overline{AB + BC})}$ ;  $P_2 = \underline{\overline{AC} + \overline{C} \text{ 或 } (\overline{A + C})}$ 。

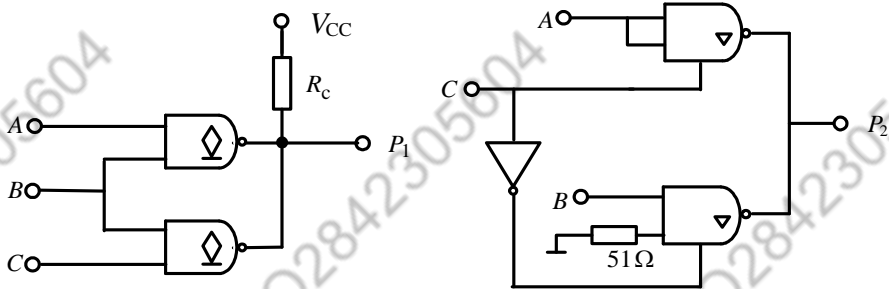


图 1

- 由 TTL 门组成的电路如图 2 所示, 已知它们的输入短路电流为  $I_S = 1.6\text{mA}$ , 高电平输入漏电流  $I_R = 40\mu\text{A}$ 。试问: 当  $A=B=1$  时,  $G_1$  的 灌 (拉, 灌) 电流为 3.2mA;  $A=0$  时,  $G_1$  的 拉 (拉, 灌) 电流为 160  $\mu\text{A}$ 。

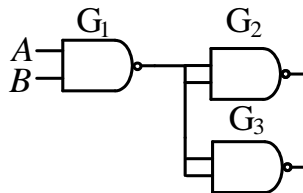


图 2

- 3 位扭环形计数器的计数长度为 6。
- 某 EPROM 有 8 条数据线, 13 条地址线, 则存储容量为 64 kbit。
- 某 512 位串行输入串行输出右移寄存器, 已知时钟频率为  $4\text{MHz}$ , 数据从输入端到达输出端被延迟 128  $\mu\text{s}$ 。

主管  
领导  
审核  
签字

本题得分

二、(6分)  $F(A,B,C,D) = \sum m(0,2,3,4,5,6,7,11,12) + \sum d(8,9,10,13,15)$ ，用两片 74LS138 和最少的二输入与门实现  $F$ 。

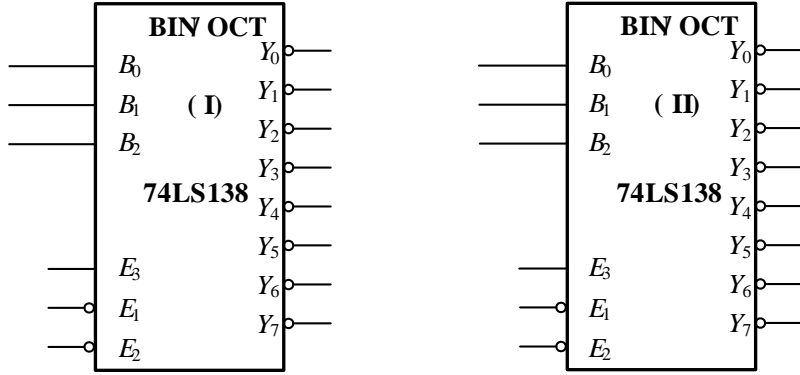
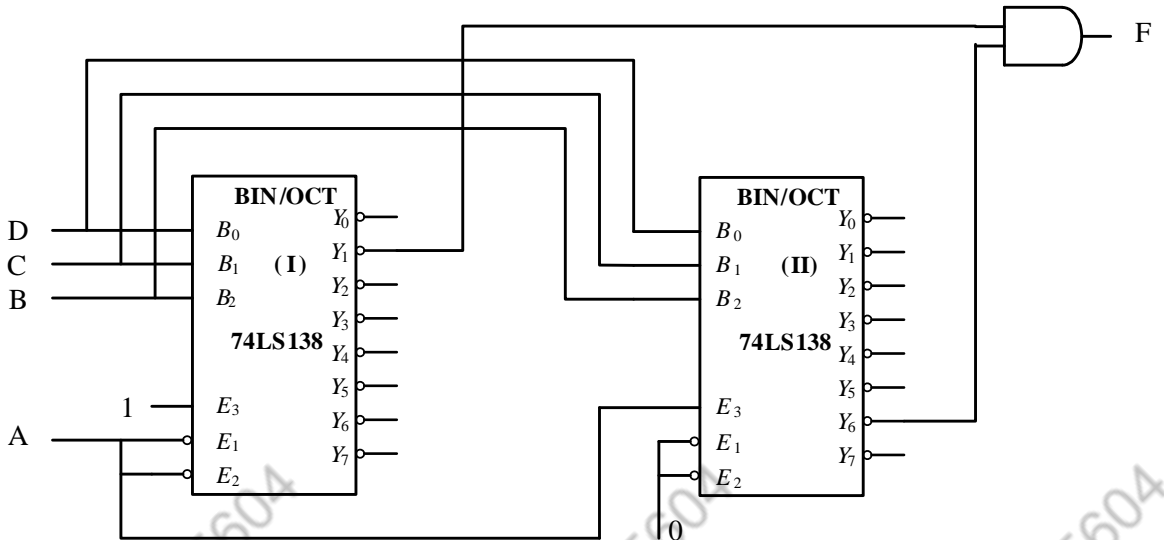


图 3

解:

F	CD	00	01	11	10
		AB	00	01	11
	00	1		1	1
	01	1	1	1	1
	11	1	x	x	
	10	x	x	1	x

$$F = \overline{m_1} + \overline{m_{14}} = \overline{m_1 m_{14}}$$



本题得分

三、(6分) 已知图4中 AD7524 为 8 位 D/A 转换器，当  $D_6=1$ ，其它各位均为“0”时， $U_o = -1V$ 。74LS90 为 2/5 分频异步加法计数器，时钟 CP 的频率为 10kHz。

1. 74LS90 构成几进制计数器；
2. 计算  $|U_o|$  的最大值及其频率；

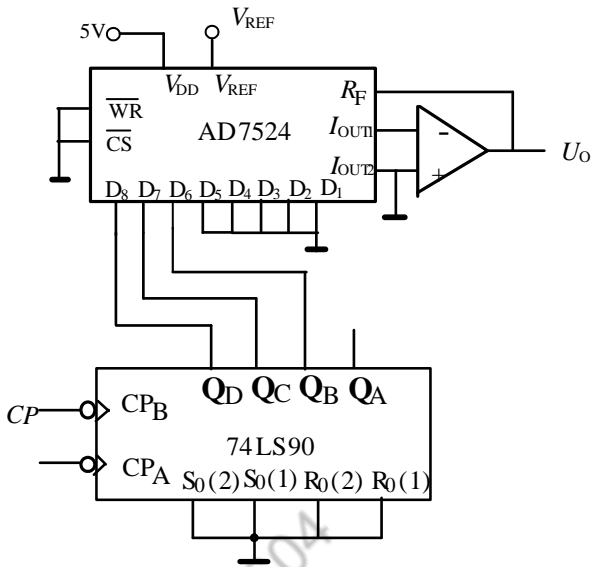


图 4

解：1. 5 进制；

2.  $|U_o|_{\max} = -4V$  ;  $f_{U_o} = \frac{1}{5} f_{CP} = 2\text{KHz}$

本题得分

四、(6分) 根据下面二段 Verilog HDL 语言的描述，说明所描述电路的逻辑功能。

```

module test1 (a,b,s,y);
    input a,b;
    input s;
    output y;
    assign y = (s==0)? a : b;
endmodule
    
```

```

module test2(clk,clr,out);
    input clk,clr;
    output[3:0] out;
    reg[3:0] out;
    always @(posedge clk or negedge clr)
    begin
    
```

试题:

班号:

姓名:

```

if (lclr) out<= 4'h0;
else
begin
out<=(out<< 1);
out[3]<= ~out[0];
end
end
endmodule

```

解: test1: 2 选 1 数据选择器;  
test2: 扭环型计数器。

本题得分

五、(14 分) 电路如图 5 所示, 时钟脉冲  $CP$  的频率为 12kHz。

- 画出 74LS161 构成电路的完整状态转换图;
- 分析由触发器  $FF_1$ 、 $FF_2$  构成的计数器, 画出完整的状态转换图、说明为几进制计数器;
- 指出  $Q_d$ 、 $Q_2$  的频率和占空比。
- $CP$  频率不变, 使  $Q_d$  的频率降为现在的  $\frac{1}{2}$ , 应如何改变 74LS161 的接线? (不允许增加器件。)

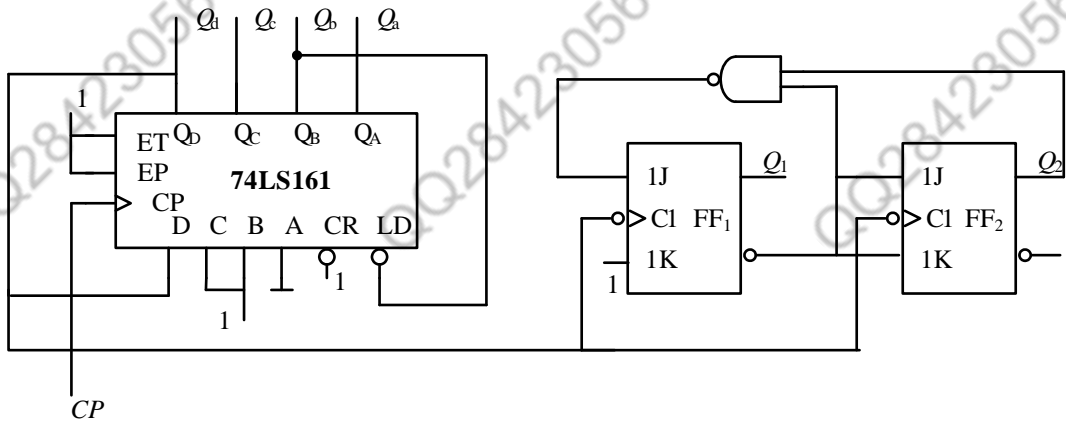


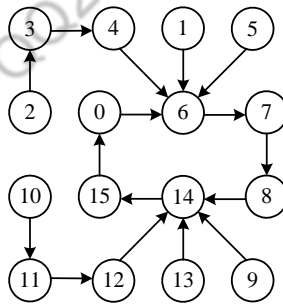
图 5

解: 1. 74LS161 构成 6 进制计数器, 电路的状态转换表为:

$CP$	$D$	$C$	$B$	$A$
0	0	0	0	0
1	0	1	1	0
2	0	1	1	1
3	1	0	0	0
4	1	1	1	0
5	1	1	1	1
6	0	0	0	0



完整的状态转换图如图为:



2. 驱动方程:  $J_1 = Q_1^n + \overline{Q_2^n}$       $K_1 = 1$

$J_2 = K_2 = \overline{Q_1^n}$

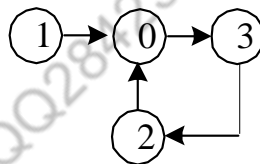
状态方程:  $Q_1^{n+1} = \overline{Q_2^n} Q_1^n$

$Q_2^{n+1} = Q_1^n \oplus Q_2^n$

状态转换表:

状态转换图:

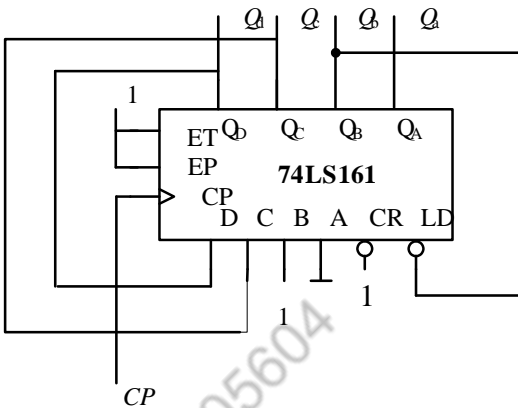
CP	$Q_2$	$Q_1$
0	0	0
1	1	1
2	1	0
3	0	0
0	0	1
1	0	0



3.  $f_{Q_d} = 2\text{KHz}$       $D = 50\%$

$f_{Q_2} = \frac{2}{3}\text{KHz}$       $D = 66.7\%$

4. 欲使  $Q_d$  的频率降为现在的  $\frac{1}{2}$ , 应使 74LS161 变为十二进制计数器。改变 74LS161 的连线, 如图所示:



十二进制计数器的状态转换表如表所示:

CP	D	C	B	A
0	0	0	0	0
1	0	0	1	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	0	1	1	1
6	1	0	0	0
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	1	1	1	0
11	1	1	1	1
12	0	0	0	0

本题得分

六、(10分) 由 555 定时器构成的电路如图 6 所示, 设输出高电平为 5V, 输出低电平为 0V; VD 为理想二极管。试问:

1. 当开关 S 断开时, 两个 555 定时器各构成什么电路? 计算输出信号  $u_{o1}$ 、 $u_{o2}$  的频率  $f_1$  和  $f_2$ 。
2. 当开关 S 闭合时, 定性画出  $u_{o1}$ 、 $u_{o2}$  的波形。
3. 电容  $C_2$  和  $C_5$  的作用分别是什么?

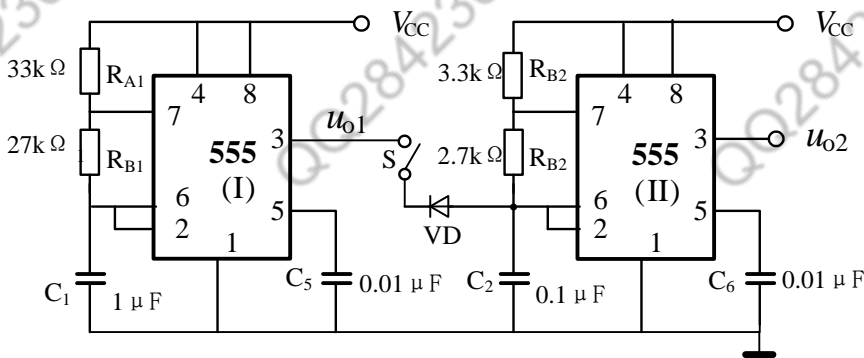


图 6

解: 1. 多谐振荡器。

$$T_1 = 0.7(R_{A1} + 2R_{B1})C_1 = 0.7(33 + 2 \times 27) \times 10^3 \times 1 \times 10^{-6} = 60.9ms$$

$$f_1 = \frac{1}{T_1} = 16.42Hz$$

$$T_2 = 0.7(R_{A2} + 2R_{B2})C_2 = 0.7(3.3 + 2 \times 2.7) \times 10^3 \times 0.1 \times 10^{-6} = 0.609ms$$

$$f_2 = \frac{1}{T_2} = 1.642KHz$$

2. 当开关 S 闭合时, 振荡器 2 的工作状态受控于振荡器 1 的输出。当  $u_{o1}$  为高电平时, VD 截止, 振荡器 2 工作,  $u_{o2}$  为低电平; 当  $u_{o1}$  为低电平时, VD 导通, 振荡器 2 停振,  $u_{o2}$  输出高电平。



3 电容  $C_2$  的作用是定时， $C_5$  的作用是滤波，滤除高频干扰。

本题得分

七、(10分) 图 7 (a) 中,  $P_1 = \bar{A}D + C\bar{D}$ ,  $P_2 = \bar{A}\bar{B} + BC$ ,

1. 写出 P 的逻辑函数表达式。

2. 在图 7 (b) 中可外接必要的非门实现图 7 (a) 所示电路 (输入 A、B、C、D, 输出 P)。

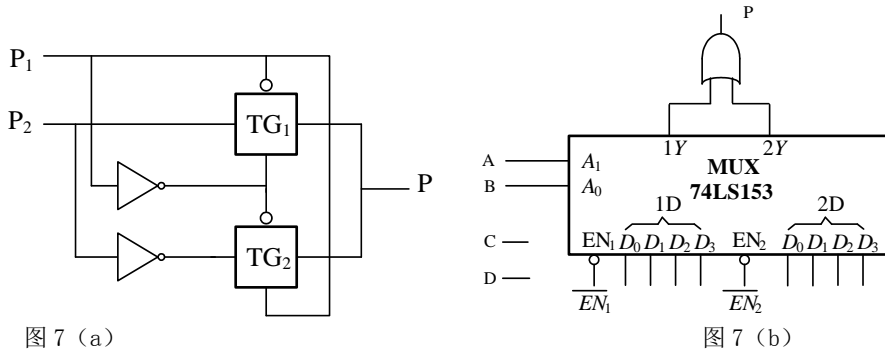


图 7 (a)

图 7 (b)

解:

$$P = P_1 \oplus P_2$$

	CD			
AB	00	01	11	10
00		1	1	1
01		1	1	1
11				1
10				1

$P_1$

	CD			
AB	00	01	11	10
00	1	1	1	1
01			1	1
11			1	1
10				

$P_2$

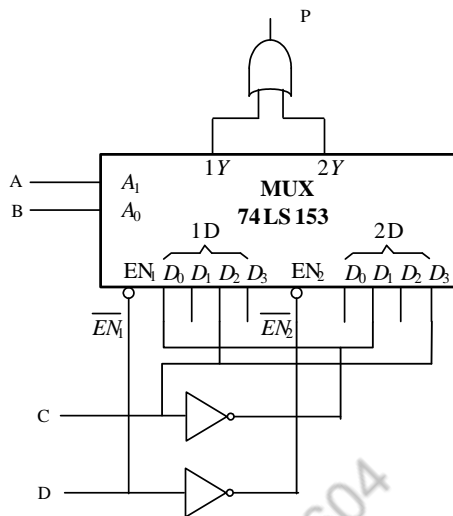
	CD			
AB	00	01	11	10
00	1			
01		1		
11			1	
10				1

$P_1 \oplus P_2$

$$P_1 = \bar{A}D + C\bar{D}$$

$$P_2 = \bar{A}\bar{B} + BC$$

$$P = P_1 \oplus P_2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + ABCD + A\bar{B}C\bar{D}$$



本题得分

八、(8分)用 ROM 和两个 D 触发器设计能够进行加法计数和减法计数的二进制同步可逆计数器。当输入  $X=0$  时, 进行加法计数; 当  $X=1$  时, 进行减法计数。输出  $Y$  为进位/借位信号。当计数器加法计数加到 11, 进位信号输出正脉冲, 当计数器减法计数减到 00, 借位信号输出正脉冲。工作时序图如图 8(a)所示, 假设  $Q_2Q_1$  初始状态为 00。

- 1) 完整填写表 1 中的内容。
- 2) 求状态方程和输出方程。
- 3) 在图 8(b)中完成电路设计, 不允许使用 D 触发器的  $\bar{Q}$  端。(只需在图中连线, 不允许增加其它的门电路)。

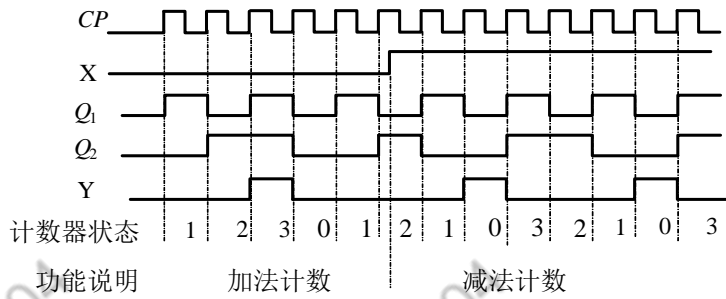


图 8(a)

表 1 可逆计数器的真值表

$X$	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Y$



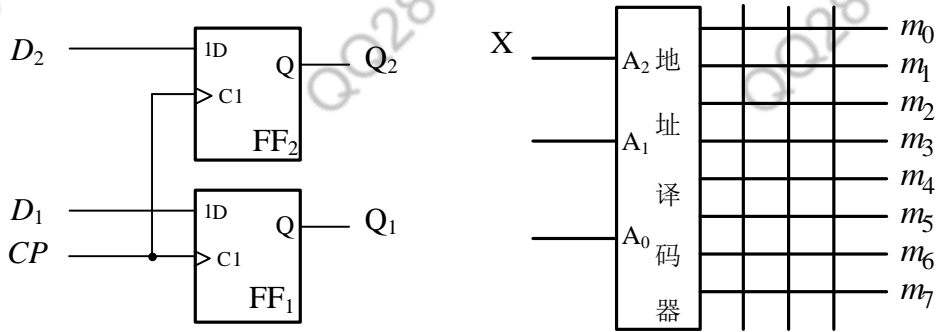


图 8(b)

解: 1

X	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

$$2 \quad Q_1^{n+1} = \overline{Q_1^n}$$

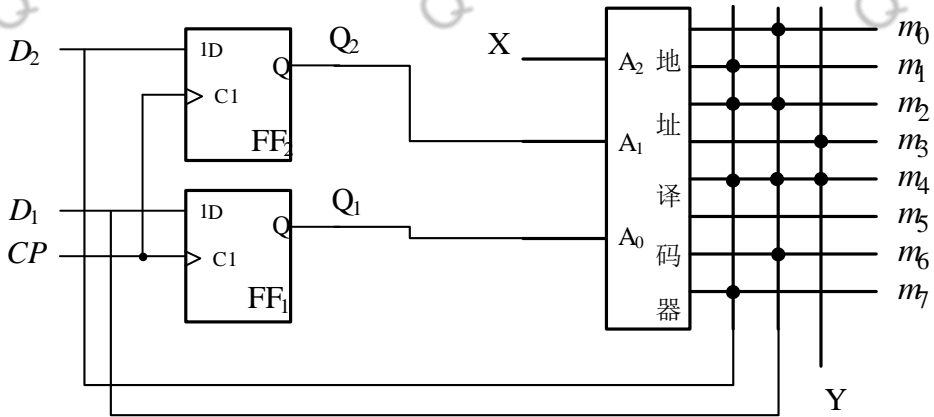
$$Q_2^{n+1} = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$D_1 = \overline{Q_1^n}$$

$$D_2 = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$Y = \overline{X} Q_2^n Q_1^n + X \overline{Q_2^n} \overline{Q_1^n}$$

3



## 数字电路基础知识

- 1、逻辑门电路（何为门）
- 2、真值表
- 3、卡诺图
- 4、3线-8线译码器的应用
- 5、555集成芯片的应用

### 一. 逻辑门电路（何为门）

在逻辑代数中，最基本的逻辑运算有**与**、**或**、**非**三种。每种逻辑运算代表一种函数关系，这种函数关系可用逻辑符号写成逻辑表达式来描述，也可用文字来描述，还可用表格或图形的方式来描述。

最基本的逻辑关系有三种：**与**逻辑关系、**或**逻辑关系、**非**逻辑关系。

实现基本逻辑运算和常用复合逻辑运算的单元电路称为**逻辑门电路**。例如：实现“与”运算的电路称为**与**逻辑门，简称**与**门；实现“与非”运算的电路称为**与非**门。逻辑门电路是设计数字系统的最小单元。

#### 1.1.1 与门

“与”运算是一种二元运算，它定义了两个变量  $A$  和  $B$  的一种函数关系。用语句来描述它，这就是：当且仅当变量  $A$  和  $B$  都为 1 时，函数  $F$  为 1；或者可用另一种方式来描述它，这就是：只要变量  $A$  或  $B$  中有一个为 0，则函数  $F$  为 0。“与”运算又称为**逻辑乘**运算，也叫**逻辑积**运算。

“与”运算的逻辑表达式为：

$$F = A \cdot B$$

式中，乘号“ $\cdot$ ”表示与运算，在不至于引起混淆的前提下，乘号“ $\cdot$ ”经常被省略。该式可读作： $F$  等于  $A$  乘  $B$ ，也可读作： $F$  等于  $A$  与  $B$ 。

表 2-1b “与”运算真值表

$A$	$B$	$F = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

由“与”运算关系的真值表可知“与”逻辑的运算规律为：

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

简单地记为：有 0 出 0，全 1 出 1。

由此可推出其一般形式为：

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

$$A \cdot A = A$$

实现“与”逻辑运算功能的电路称为“与门”。每个与门有两个或两个以上的输入端和一个输出端，图 2-2 是两输入端与门的逻辑符号。在实际应用中，制造工艺限制了与门电路的输入变量数目，所以实际与门电路的输入个数是有限的。其它门电路中同样如此。

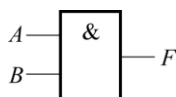


图 2-2 与门的逻辑符号

### 1.1.2 或门

“或”运算是另一种二元运算，它定义了变量  $A$ 、 $B$  与函数  $F$  的另一种关系。用语句来描述它，这就是：只要变量  $A$  和  $B$  中任何一个为 1，则函数  $F$  为 1；或者说：当且仅当变量  $A$  和  $B$  均为 0 时，函数  $F$  才为 0。“或”运算又称为逻辑加，也叫逻辑和。其运算符号为“+”。

“或”运算的逻辑表达式为：

$$F = A + B$$

式中，加号“+”表示“或”运算。该式可读作： $F$  等于  $A$  加  $B$ ，也可读作： $F$  等于  $A$  或  $B$ 。

表 2-2b “或”运算真值表

$A$	$B$	$F = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

由“或”运算关系的真值表可知“或”逻辑的运算规律为：

$$0 + 0 = 0$$

$$0 + 1 = 1 + 0 = 1$$

$$1 + 1 = 1$$

简单地记为：有 1 出 1，全 0 出 0。

由此可推出其一般形式为：

$$A + 0 = A$$

$$A + 1 = 1$$

$$A + A = A$$

实现“或”逻辑运算功能的电路称为“或门”。每个或门有两个或两个以上的输入端和一个输出端，图 2-7 是两输入端或门的逻辑符号。

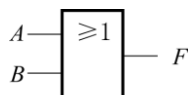


图 2-7 或门的逻辑符号

### 1.1.3 非门

逻辑“非”运算是一元运算，它定义了一个变量（记为  $A$ ）的函数关系。用语句来描述之，这就是：当  $A=1$  时，则函数  $F=0$ ；反之，当  $A=0$  时，则函数  $F=1$ 。非运算亦称为“反”运算，也叫逻辑否定。

“非”运算的逻辑表达式为：

$$F = \bar{A}$$

式中，字母上方的横线“ $\bar{\quad}$ ”表示“非”运算。该式可读作： $F$ 等于  $A$  非，或  $F$ 等于  $A$  反。

表 2-3b “非”运算真值表

$A$	$F = \bar{A}$
0	1
1	0

由“非”运算关系的真值表可知“非”逻辑的运算规律为：

$$\bar{\bar{0}} = 0$$

$$\bar{\bar{1}} = 1$$

简单地记为：有 0 出 1，有 1 出 0。

由此可推出其一般形式为：

$$\bar{\bar{A}} = A$$

$$A + \bar{A} = 1$$

$$A \cdot \bar{A} = 0$$

实现“非”逻辑运算功能的电路称为“非门”。非门也叫反相器。每个非门有一个输入端和一个输出端。图 2-12 是非门的逻辑符号。

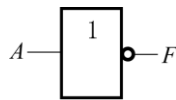


图 2-12 非门的逻辑符号

### 1.2.1 与非门

“与”运算后再进行“非”运算的复合运算称为“与非”运算，实现“与非”运算的逻辑电路称为与非门。一个与非门有两个或两个以上的输入端和一个输出端，两输入端与非门的逻辑符号如图 2-15 所示。

其输出与输入之间的逻辑关系表达式为：

$$F = \overline{A \cdot B}$$



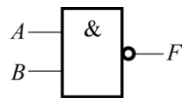


图 2-15 与非门的逻辑符号

与非门的真值表如表 2-4 所示。

表 2-4 “与非”门真值表

$A$	$B$	$F = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

### 1.2.2 或非门

“或”运算后再进行“非”运算的复合运算称为“或非”运算，实现“或非”运算的逻

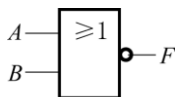


图 2-18 或非门的逻辑符号

辑电路称为**或非门**。或非门也是一种通用逻辑门。一个或非门有两个或两个以上的输入端和一个输出端，两输入端或非门的逻辑符号如图 2-18 所示。

输出与输入之间的逻辑关系表达式为：

$$F = \overline{A + B}$$

或非门的真值表如表 2-5 所示。

表 2-5 “或非”门真值表

$A$	$B$	$F = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

### 1.2.3 异或门

在集成逻辑门中，“异或”逻辑主要为二输入变量门，对三输入或更多输入变量的逻辑，都可以由二输入门导出。所以，常见的“异或”逻辑是二输入变量的情况。

对于二输入变量的“异或”逻辑，当两个输入端取值不同时，输出为“1”；当两个输入

端取值相同时，输出端为“0”。实现“异或”逻辑运算的逻辑电路称为**异或门**。如图 2-21

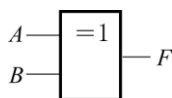


图 2-21 二输入**异或门**的逻辑符号

所示为二输入异或门的逻辑符号。

相应的逻辑表达式为：

$$F = A \oplus B = \overline{A}B + A\overline{B}$$

其真值表如表 2-6 所示。

表 2-6 二输入“异或”门真值表

$A$	$B$	$F = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

#### 1.2.4 同或门

“异或”运算之后再行“非”运算，则称为“**同或**”运算。实现“同或”运算的电路称为**同或门**。同或门的逻辑符号如图 2-24 所示。

二变量同或运算的逻辑表达式为：

$$F = A \odot B = \overline{A \oplus B} = \overline{\overline{A}B + A\overline{B}}$$

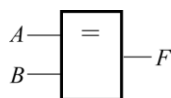


图 2-24 同或门的逻辑符号

其真值表如表 2-7 所示。

表 2-7 二变量“同或”门真值表

$A$	$B$	$F = A \odot B$
0	0	1
0	1	0
1	0	0
1	1	1

### 常用逻辑电路逻辑符号对照表

电路名称	国标符号	惯用符号	国外符号
与 门			
或 门			
非 门			
与 门			
或非门			
与或非门			
异或门			
同或门			

## 二. 真值表

真值表定义：表征逻辑事件输入和输出之间全部可能状态的表格。在表中通常以 1 表示真，0 表示假。真值表是在逻辑中使用的一类数学表，用来确定一个表达式是否为真或有效。

### 完全真值表的作法

三个步骤：

- 1、找出已给命题公式的所有变项，并竖行列出这些变项的所有真值组合；

2、根据命题公式的结构，由繁到简的依次横行列出，一次只引进一个连接词，直至列出该公式本身；

3、依据基本真值表，有变项的真值逐步计算出每个部分的真值，最后列出整个公式得真值。

## 如何根据真值表写出逻辑函数的表达式

### 第一种方法:以真值表内输出端“1”为准

第一步:从真值表内找输出端为“1”的各行,把每行的输入变量写成乘积形式;遇到“0”的输入变量上加非号。

第二步:把各乘积项相加,即得逻辑函数的表达式。

[例1]已知某逻辑函数的真值表如表1表示,试写该函数的表达式并化简。

解:根据上述提示的方法有:

第一步:将输出端为“1”的各行写成乘积项,即:第四行:BC;第六行:AC;第七行:AB;第八行:ABC。

第二步:将各乘积项相加,即得逻辑函数表达式,并化简:

$$Y = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC = BC + A\bar{B}C + ABC = C(B + A\bar{B} + AB) = C(B + A) = BC + AC + AB。$$

### 第二种方法:以真值表内输出端“0”为准

第一步:从真值表内找输出端为“0”的各行,把每行的输入变量写成求和的形式,遇到“1”的输入变量上加非号。

第二步:把各求和项相乘,即得逻辑函数表达式。

[例2]已知某逻辑函数真值表如表2所示,试根据此表写出函数表达式并化简。

解:

第一步:将输出端为“0”的各行写成求和形式,即:第二行:A+;第三行:+B。

第二步:将各求和项相乘即得函数表达式,并化简:Y=(A+)(+B)=AB+=A⊙B

注:在具体使用两种方法时,应观察输出端是“1”多还是“0”多,以少的为准写函数表达式(这

样最简单),若输出端“1”与“0”出现的次数一样多,一般以“1”为准运算较为简单。

表1

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

表2

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

表3

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

[例3]已知某函数真值表如表3所示,试根据此表写出函数表达式并化简。

解:采用第一种方法:以输出端“1”为准时:

$$Y = \bar{A}\bar{B}C + A\bar{B}C + ABC = AC + A\bar{B}C = A(C + \bar{B}C) = A(C + B) = AC + AB$$

采用第二种方法:以输出端“0”为准时:

$$Y = (A+B+C)(A+B+\bar{C})(A+C+\bar{B})(A+\bar{B}+\bar{C})(\bar{A}+B+C) = (A+B)(A+\bar{B})(\bar{A}+B+C) = A(\bar{A}+B+C) = AB + AC$$

显然:第二种方法较第一种运算量大且烦琐一些。

## 三. 卡诺图

## 1.逻辑变量的最小项及其性质

### 1.1 最小项定义：

设有  $n$  个变量，若  $m$  为包含全部  $n$  个变量的乘积项（每个变量必须而且只能以原变量或反变量的形式出现一次）则称  $m$  为该组变量的最小项。

如：A、B、C 是三个逻辑变量，有以下八个乘积项

$$\overline{A}\overline{B}\overline{C} \quad \overline{A}\overline{B}C \quad \overline{A}B\overline{C} \quad \overline{A}BC \quad A\overline{B}\overline{C} \quad A\overline{B}C \quad AB\overline{C} \quad ABC$$

### 1.2 特点

- 1) 每个最小项均含有三个因子（ $n$  个变量则含  $n$  个因子）
- 2) 每个变量均为原变量或反变量的形式在乘积项中出现一次
- 3)  $n$  个变量有  $2^n$  个最小项

### 1.3 最小项的编号

最小项常用  $m_i$  表示，下标  $i$  即为编号。在最小项中，原变量  $\rightarrow 1$ 、反变量  $\rightarrow 0$ ，所对应的十进制数即为  $i$  值。

以三变量为例

最小项	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	$ABC$
二进制数	000	001	010	011	100	101	110	111
十进制数	0	1	2	3	4	5	6	7
编号	$m_0$	$m_1$	$m_2$	$m_3$	$m_4$	$m_5$	$m_6$	$m_7$

或定义为：使最小项为“1”的变量取值组合所对应的十进制数

注意

最小项的编号与变量的高、低位顺序有关

对于乘积项  $ABC$ ，若 A 为高位  $\rightarrow m_3$

若 C 为高位  $\rightarrow m_6$

### 1.4 最小相的性质

#### A、B、C 三变量的最小项

A B C	$m_0$	$m_1$	$m_2$	$m_3$	$m_4$	$m_5$	$m_6$	$m_7$	$F = \sum_{i=0}^{2^n-1} m_i$
	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	$ABC$	
0 0 0	1	0	0	0	0	0	0	0	1
0 0 1	0	1	0	0	0	0	0	0	1
0 1 0	0	0	1	0	0	0	0	0	1
0 1 1	0	0	0	1	0	0	0	0	1
1 0 0	0	0	0	0	1	0	0	0	1
1 0 1	0	0	0	0	0	1	0	0	1
1 1 0	0	0	0	0	0	0	1	0	1
1 1 1	0	0	0	0	0	0	0	1	1

(1) 对于变量的任意一组取值组合，只有一个最小项的值为 1

(2) 对于变量的任意一组取值组合，任意两个最小项的积为 0



(3)对于变量的任意一组取值组合,所有最小项之和(或)为 1

## 2.逻辑函数最小项表达式

如  $F(A, B, C, D)$

$$\begin{aligned} &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D \\ &= m_0 + m_1 + m_5 + m_8 \\ &= \sum m(0, 1, 5, 8) \end{aligned}$$

由一般逻辑式→最小项表达式方法

- 1.用摩根定律去掉非号(多个变量上)直至只在一个变量上有非号为止
- 2.用分配律去除括号,直至得到一个与或表达式
- 3.配项得到最小项表达式

### 例 1

求函数  $F(A, B, C) = \overline{A+B} + \overline{A}B\overline{C}$  的最小项表达式

$$\begin{aligned} \text{解: } F(A, B, C) &= \overline{A+B} + \overline{A}B\overline{C} \\ &= \overline{A} \cdot \overline{B} + \overline{A}B\overline{C} \\ &= \overline{A}B(C+\overline{C}) + \overline{A}B\overline{C} \\ &= \overline{A}BC + \overline{A}B\overline{C} + \overline{A}B\overline{C} \\ &= m_3 + m_2 + m_1 \\ &= \sum m(1, 2, 3) \end{aligned}$$

### 例2

$$\begin{aligned} L(ABC) &= \overline{(\overline{AB} + \overline{A}B + C)} \overline{AB} \\ &= \overline{\overline{AB} + \overline{A}B + C} + \overline{AB} \\ &= \overline{AB} + \overline{A}B \cdot C + \overline{AB} \\ &= (\overline{AB} + \overline{A}B) \cdot C + \overline{AB} \\ &= \overline{A}BC + \overline{A}B\overline{C} + \overline{A}B(C+\overline{C}) \\ &= \overline{A}BC + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}B\overline{C} \\ &= m_3 + m_5 + m_7 + m_6 \\ &= \sum m(3, 5, 7, 6) \end{aligned}$$

结论: 任何一个逻辑函数都可化成为唯一的最小项表达式

最小项表达式的一种图形表示 —— 卡诺图  
可利用卡诺图对逻辑函数进行化简

## 3.用卡诺图表示逻辑函数

### 3.1 n 变量的卡诺图

将  $n$  个逻辑变量的  $2^n$  个最小项分别用一个小方块来表示，并按照逻辑上相邻的小方块在几何位置上也相邻的规则排列成的一个方格图形。

逻辑上相邻：两个最小项只有一个变量不同。例

$$\overline{ABC} \text{ 与 } \overline{A}BC$$

### 3.2 $n$ 变量卡诺图的具体画法：

1) 二变量的卡诺图  $L(A, B)$

	$\overline{B}$	$B$
$\overline{A}$	$\overline{A}\overline{B}$	$\overline{A}B$
$A$	$A\overline{B}$	$AB$

⇒

	$B$	$0$	$1$
$A$	$0$	$m_0$	$m_1$
$1$	$1$	$m_2$	$m_3$

⇒

	$B$	$0$	$1$
$A$	$0$	$0$	$1$
$1$	$1$	$2$	$3$

2) 三变量的卡诺图  $L(A, B, C)$

	$BC$	$00$	$01$	$11$	$10$
$A$	$0$	$m_0$	$m_1$	$m_3$	$m_2$
$1$	$1$	$m_4$	$m_5$	$m_7$	$m_6$

3) 四变量的卡诺图  $L(A, B, C, D)$

	$CD$	$00$	$01$	$11$	$10$
$AB$	$00$	$m_0$	$m_1$	$m_3$	$m_2$
	$01$	$m_4$	$m_5$	$m_7$	$m_6$
	$11$	$m_{12}$	$m_{13}$	$m_{15}$	$m_{14}$
	$10$	$m_8$	$m_9$	$m_{11}$	$m_{10}$

由  $01 \rightarrow 11 \rightarrow 10$  , 只有一个因子变化

注：变量卡诺图画法不唯一。但必须满足循环邻接的原则。即逻辑上邻接的最小项几何位置也邻接。

### 3.3 $n$ 变量卡诺图的特点：

$n$  个变量函数的卡诺图有  $2^n$  个小方格，分别对应  $2^n$  个最小项；

图中行、列两组变量取值按循环码规律排列，使几何相邻的最小项之间具有逻辑相邻性。

### 3.4 逻辑函数的卡诺图画法

(1) 已知逻辑表达式

i) 逻辑表达式化成最小项表达式

ii) 画变量卡诺图

iii) 在最小项表达式中包含的最小项对应的小方块中填“1”；其余填入“0”

❖ 这样，任何一个逻辑函数就等于其卡诺图中填“1”的那些最小项之和

例 1：把函数化成最小项表达式，再画卡诺图。

$$\begin{aligned}
 Y &= \overline{A}\overline{B}C\overline{D} + \overline{A}C\overline{D} + AC \\
 &= \overline{A}\overline{B}C\overline{D} + \overline{A}(B + \overline{B})C\overline{D} + A(B + \overline{B})C \\
 &= \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC(D + \overline{D}) \\
 &\quad + A\overline{B}C(D + \overline{D}) \\
 &= \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + \\
 &\quad A\overline{B}C\overline{D} + A\overline{B}CD + A\overline{B}C\overline{D} \\
 &= \sum m_i (i = 3, 7, 9, 10, 11, 14, 15)
 \end{aligned}$$

	$CD$	$00$	$01$	$11$	$10$
$AB$	$00$	0	0	1	0
	$01$	0	0	1	0
	$11$	0	0	1	1
	$10$	0	1	1	1

### 4. 用卡诺图化简逻辑函数

	$CD$	$00$	$01$	$11$	$10$
$AB$	$00$	0	1	3	2
	$01$	4	5	7	6
	$11$	12	13	15	14
	$10$	8	9	11	10

### 1.卡诺图化简的依据：循环邻接性

1) 相邻两个最小项求和时,两项并一项并消去一个因子

如:

$$m_1 + m_9 = \overline{A}BCD + A\overline{B}CD = \overline{B}CD$$

$$m_4 + m_6 = \overline{A}BC\overline{D} + \overline{A}B\overline{C}D = \overline{A}BD$$

2) 相邻四个最小项求和时,四项并一项并消去两个因子

如:

$$\begin{aligned} m_0 + m_2 + m_8 + m_{10} \\ = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + AB\overline{C}\overline{D} = \overline{C}\overline{D} \end{aligned}$$

3) 相邻八个最小项求和时,八项并一项并消去三个因子

如:

$$m_0 + m_2 + m_4 + m_6 + m_8 + m_{10} + m_{12} + m_{14} = \overline{D}$$



### 2.用卡诺图化简逻辑函数的方法和步骤

1) 将相邻的值为“1”的小方块画成若干个包围圈

i) 每个包围圈中必须含有  $2^n$  个小方块 ( $n=0,1,2, \dots$ )

ii) 小方块可重复被包围, 但每个包围圈中必须含有其他包围圈没有的新小方块

iii) 不能漏掉任何值为 1 的小方块

iv) 包围圈所含的小方块数目要尽可能多

v) 包围圈数目要尽可能少, 画包围圈的顺序由大  $\rightarrow$  小

2) 将每个包围圈中的最小项合并成一项  $\rightarrow$  乘积项 (留下相同因子, 消去不同因子)

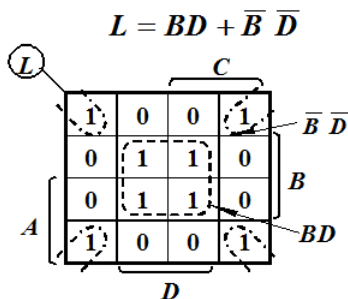
3) 对各个包围圈合并成的乘积项求逻辑和

**例2.2.4** :用卡诺图法化简下列逻辑函数

$$L(A, B, C, D) = \sum m(0, 2, 5, 7, 8, 10, 13, 15)$$

解: (1) 由  $L$  画出卡诺图

(2) 画包围圈合并最小项, 得最简与-或表达式





**哈工大21级新生交流群**

群号: 821109519



扫一扫二维码, 加入群聊。



例 化简  $L = \overline{ABC} + \overline{AB} + BC + AC$

$L = \overline{AC} + \overline{AB} + AC$

$L = \overline{AC} + BC + AC$

结论：逻辑函数最简与或式不是唯一的（但最小项表达式唯一）

例2.2.6  $L(A, B, C, D) = \Sigma m(0,1,2,3,5,6,7,8,9,10,11,13,14,15)$

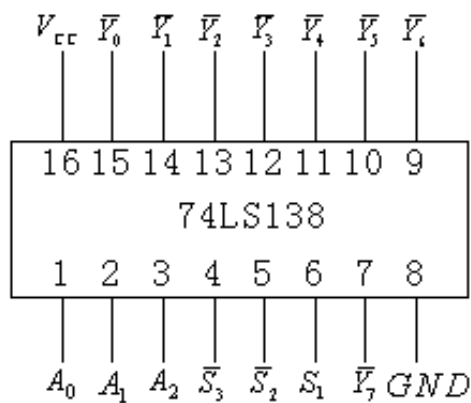
$\therefore \overline{L} = \overline{BCD}$

$\therefore L = \overline{\overline{L}} = \overline{\overline{BCD}} = \overline{B+C+D}$

结论：含0较少时，化包围0的小圆圈，并项得反函数。再求原函数。

#### 四. 3 线-8 线译码器的应用

逻辑原理图及功能表：



用与非门组成的 3 线-8 线译码器 74LS138



哈工大软件分享中心

群号：626648181



扫一扫二维码，入群聊。

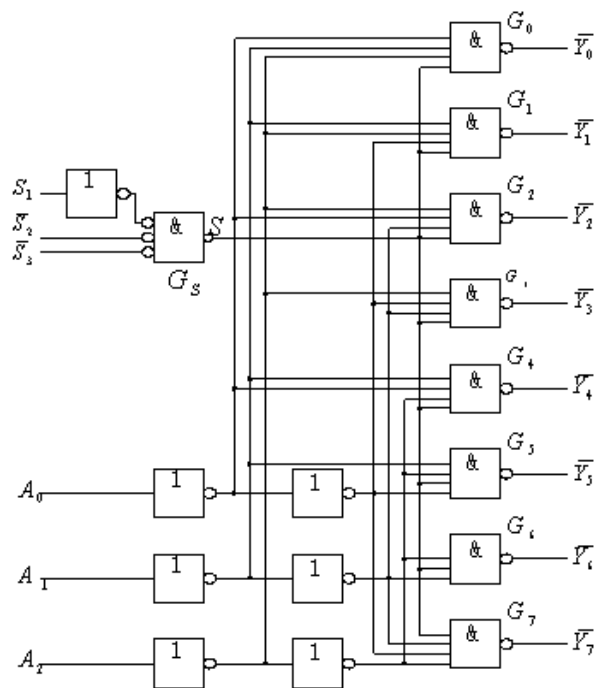
哈工大21级新生交流群

群号：821109519

扫一扫二维码，入群聊。

哈工大PPT模板 (密码1920)





3 线-8 线译码器 74LS138 的功能表

输 入				输 出								
$S_1$	$\overline{S_2} + \overline{S_3}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

无论从逻辑图还是功能表我们都可以看到 74LS138 的八个输出引脚，任何时刻要么全为高电平 1—芯片处于不工作状态，要么只有一个为低电平 0，其余 7 个输出引脚全为高电平 1。如果出现两个输出引脚同时为 0 的情况，说明该芯片已经损坏。

当附加控制门的输入为高电平（S=1）时，可由逻辑图写出



$$\begin{cases} \bar{Y}_0 = \overline{A_2 A_1 A_0} = \bar{m}_0 \\ \bar{Y}_1 = \overline{A_2 A_1 A_0} = \bar{m}_1 \\ \bar{Y}_2 = \overline{A_2 A_1 A_0} = \bar{m}_2 \\ \bar{Y}_3 = \overline{A_2 A_1 A_0} = \bar{m}_3 \\ \bar{Y}_4 = \overline{A_2 A_1 A_0} = \bar{m}_4 \\ \bar{Y}_5 = \overline{A_2 A_1 A_0} = \bar{m}_5 \\ \bar{Y}_6 = \overline{A_2 A_1 A_0} = \bar{m}_6 \\ \bar{Y}_7 = \overline{A_2 A_1 A_0} = \bar{m}_7 \end{cases} \quad (3.3.7)$$

由上式可以看出，同时又是这三个变量的全部最小项的译码输出，所以也把这种译码器叫做最小项译码器。

74LS138 有三个附加的控制端，当  $s_1=1, s_2'+s_3'=0$  时，GS 输出为高电平（S=1），译码器处于工作状态。否则，译码器被禁止，所有的输出端被封锁在高电平，如表 3.3.5 所示。这三个控制端也叫做“片选”输入端，利用片选的作用可以将多篇连接起来以扩展译码器的功能。

带控制输入端的译码器又是一个完整的数据分配器。在图 3.3.8 电路中如果把 S1 作为“数据”输入端（同时令  $S_2=S_3=0$ ），而将  $A_2A_1A_0$  作为“地址”输入端，那么从 S1 送来的数据只能通过  $A_2A_1A_0$  所指定的一根输出线送出去。这就不难理解为什么把  $A_2A_1A_0$  叫做地址输入了。例如当  $A_2A_1A_0=101$  时，门  $G_s$  的输入端除了接至  $G_s$  输出端的一个以外全是高电平，因此 S1 的数据以反码的形式从  $Y_5'$  输出，而不会被送到其他任何一个输出端上。

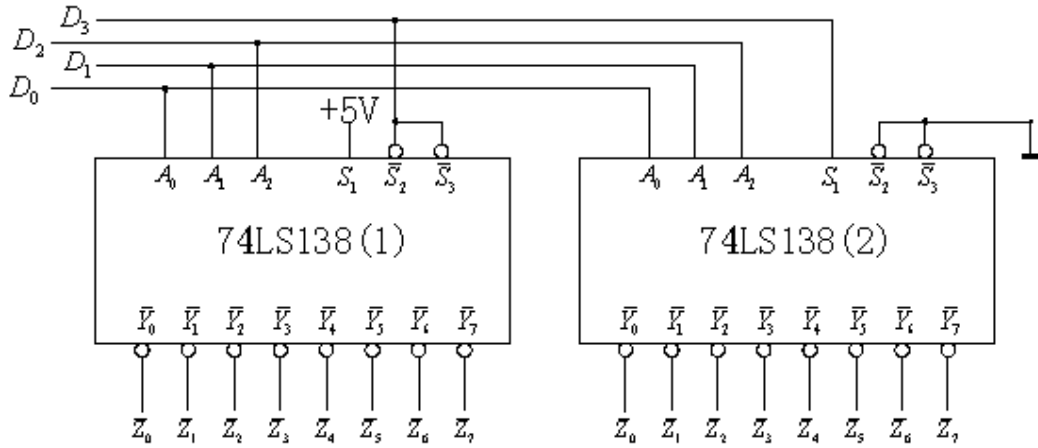
**【例 3.3.2】** 试用两片 3 线-8 线译码器 74LS138 组成 4 线-16 线译码器，将输入的 4 位二进制代码译成 16 个独立的低电平信号。

解：由图 3.3.8 可见，74LS138 仅有 3 个地址输入端。如果想对 4 位二进制代码，只能利用一个附加控制端（其中的一个）作为第四个地址输入端。取第（2）片的  $s_1$  端作为它的第四个地址输入端，如图 3.3.9 所示，于是得到两片 74LS138 的输出分别为

$$\begin{cases} \bar{Z}_0 = \overline{\bar{D}_3 \bar{D}_2 \bar{D}_1 \bar{D}_0} \\ \bar{Z}_1 = \overline{\bar{D}_3 \bar{D}_2 \bar{D}_1 D_0} \\ \vdots \\ \bar{Z}_7 = \overline{\bar{D}_3 D_2 D_1 D_0} \end{cases} \quad (3.3.8)$$

$$\begin{cases} \bar{Z}_8 = \overline{D_3 \bar{D}_2 \bar{D}_1 \bar{D}_0} \\ \bar{Z}_9 = \overline{D_3 \bar{D}_2 \bar{D}_1 D_0} \\ \vdots \\ \bar{Z}_{15} = \overline{D_3 D_2 D_1 D_0} \end{cases} \quad (3.3.9)$$

图 3.3.9 用两片 74LS138 接成的 4 线—16 线译码器

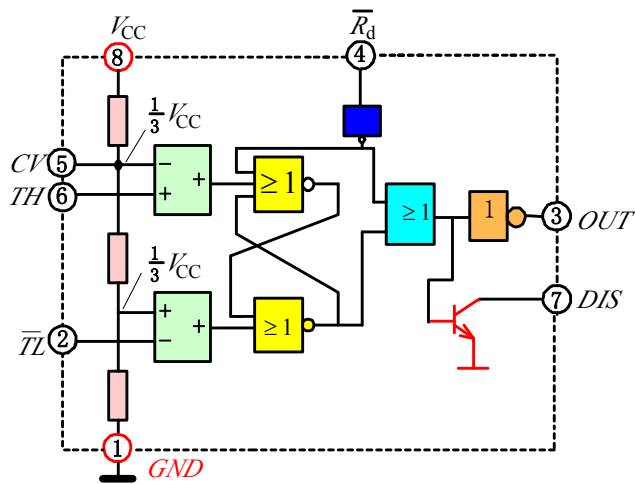


## 五. 555 集成芯片的应用

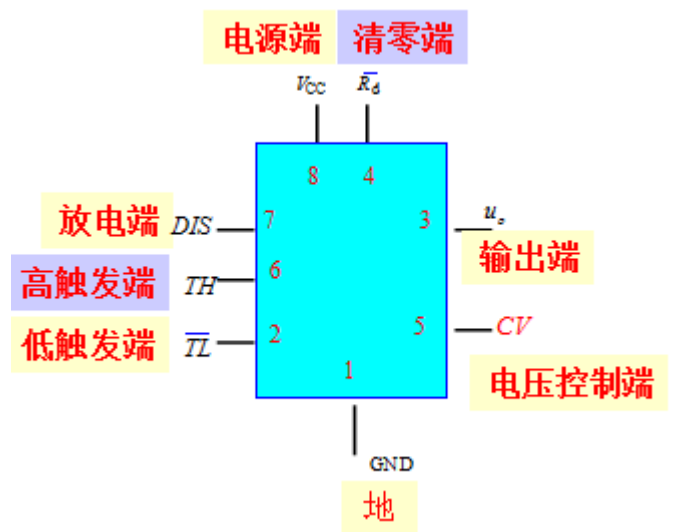
555 定时器简介：

555 定时器（时基电路）是一种用途广泛的模拟数字混合集成电路。1972 年由西格尼蒂斯公司（Signetics）研制；设计新颖、构思奇巧，备受电子专业设计人员和电子爱好者青睐；它可以构成单稳态触发器、多谐振荡器、施密特触发器和压控振荡器等多种应用电路。

### 555 定时器的工作原理



555 定时器电路框图



555 定时器符号图

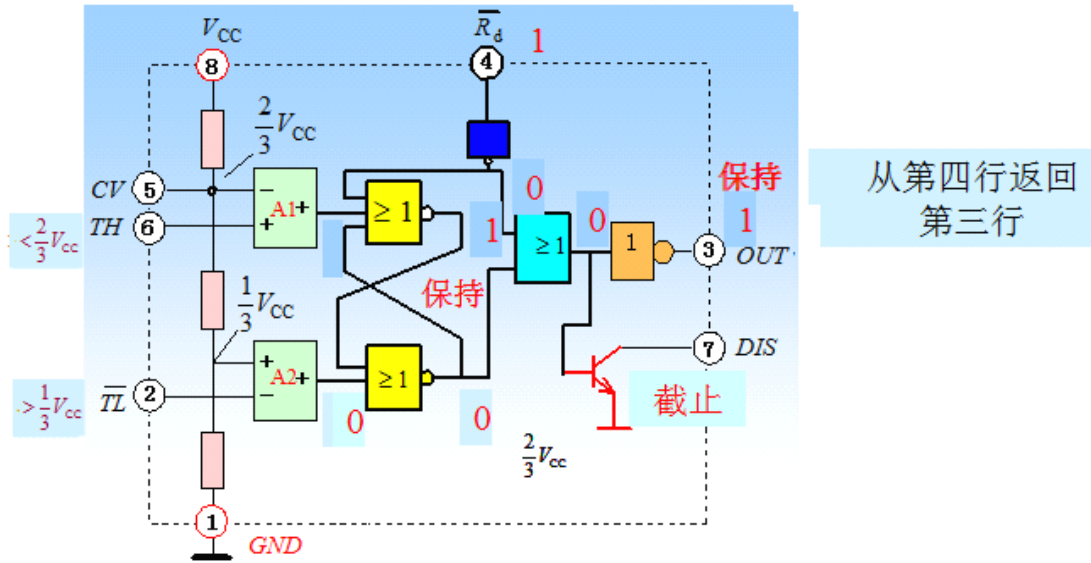


表 5-1 555 定时器功能表

TH	$\overline{TL}$	$\overline{R_d}$	OUT	DIS
X	X	L	L	通
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	H	L	通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	H	保持	保持
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	H	H	断

清零

回差现象

从 555 定时器的功能表可以看出：

1. 555 定时器有两个阈值（Threshold）电平，分别是  $1/3V_{CC}$  和  $2/3V_{CC}$ ；
2. 输出端为低电平时三极管 TD 导通，7 脚输出低电平；输出端为高电平时三极管 TD 截止，如果 7 脚接一个上拉电阻，7 脚输出为高电平。所以当 7 脚接一个上拉电阻时，输出状态与 3 脚相同。

便于记忆：**2脚— $\overline{S}$** （低电平置位）；**6脚—R**（高电平复位）；

### 555 定时器的典型应用电路

#### 单稳态触发器

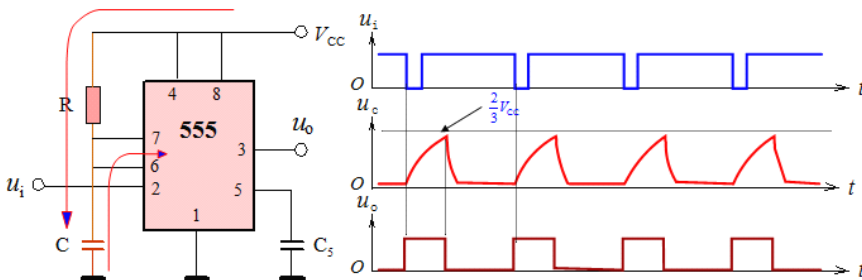
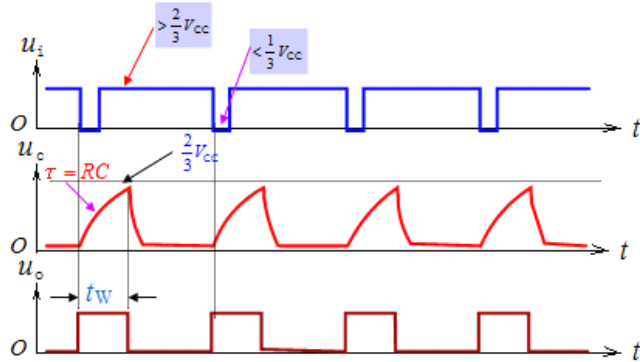


图5-2-4 单稳态触发器电路图      图5-2-5 单稳态触发器的波形图

这里要注意R的取值不能太小。（为什么？）  
若R太小，当放电管导通时，灌入放电管的电流太大，会损坏放电管。

## 单稳态触发器暂稳态时间的计算



根据  $u_c$  的波形, 由过渡过程公式即可计算出暂稳态时间  $t_w$ ,  $t_w$  电容  $C$  从  $0V$  充电到  $2/3 V_{CC}$  的时间, 根据三要素方程:

$$u_c(t) = u_c(\infty) + [u_c(0) - u_c(\infty)]e^{-\frac{t}{\tau}}$$

为此需要确定三要素:

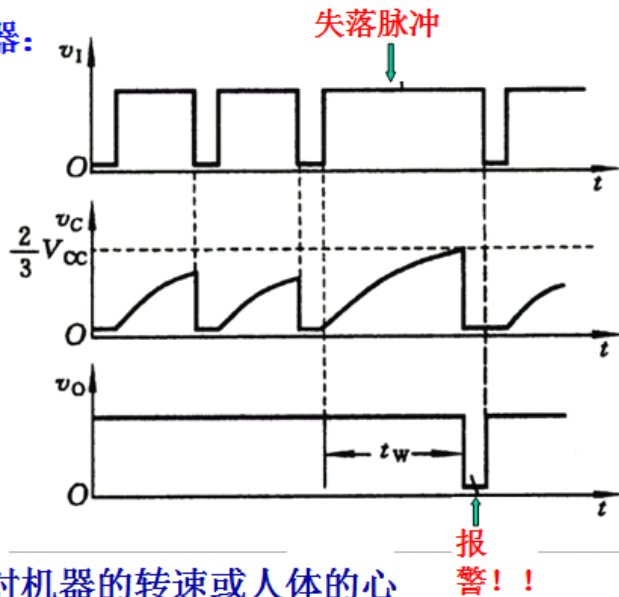
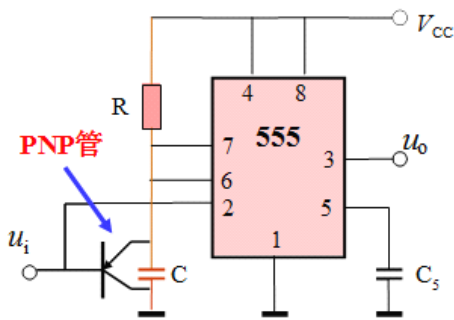
$u_c(0) = 0V$ 、 $u_c(\infty) = V_{CC}$ 、 $\tau = RC$ , 当  $t = t_w$  时,  $u_c(t_w) = 2/3 V_{CC}$  代入公式。于是可解出

$$t_w = RC \ln 3 = 1.1RC \quad \text{暂稳态的持续时间由RC确定!!!}$$

注意: 触发输入信号的逻辑电平, 在无触发时是高电平, 必须大于  $2/3 V_{CC}$ , 低电平必须小于  $1/3 V_{CC}$ , 否则触发无效。

### ◇ 单稳态触发器的应用

#### ★ 可重复触发的单稳态触发器:



该电路有何作用?

可作为失落脉冲检出电路, 对机器的转速或人体的心律 (呼吸) 进行监视, 当机器的转速降到一定限度或人体的心律不齐时就发出报警信号。

## ◆ 555定时器构成多谐振荡器 (Astable Multivibrator)

555定时器构成多谐振荡器构成的多谐振荡器如图5-2-9所示。它是将两个触发端2脚和6脚合并在一起，放电端7脚接于两电阻之间。

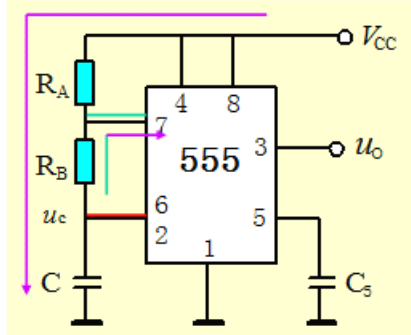


图5-2-9 多谐振荡器电路图

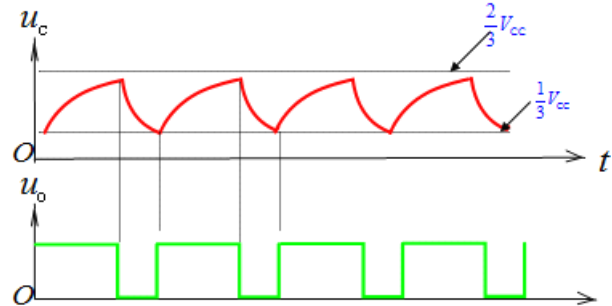
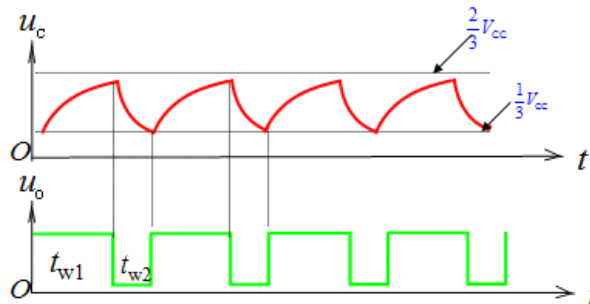


图5-2-10 多谐振荡器的波形

### 多谐振荡器参数的计算



输出波形的振荡周期可用过渡过程公式计算:

$$t_{w1}: u_C(0) = V_{CC}/3 \text{ V},$$

$u_C(\infty) = V_{CC}$ ,  $\tau_1 = (R_A + R_B)C$ ,  
当  $t = t_{w1}$  时,  $u_C(t_{w1}) = 2V_{CC}/3$  代入三要素方程。于是可解出

$$t_{w1} = 0.7(R_A + R_B)C$$

$t_{w2}: u_C(0) = 2V_{CC}/3 \text{ V}$ ,  $u_C(\infty) = 0 \text{ V}$ ,  $\tau_1 = R_B C$ , 当  $t = t_{w2}$  时,  $u_C(t_{w2}) = V_{CC}/3$  代入公式。于是可解出

$$t_{w2} = 0.7R_B C$$

$$T = t_{w1} + t_{w2} = 0.7(R_A + 2R_B)C$$

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

$$D = \frac{T_1}{T} \times 100\% = \frac{t_{w1}}{T} \times 100\%$$

占空比 (Duration Ratio)



对于图5-2-9所示的多谐振荡器，因 $t_{w1} > t_{w2}$ ，它的占空比大于50%，占空比不可调节。图5-2-12是一种占空比可调的电路，该电路因加入了二极管，使电容器的充电和放电回路不同，可以调节电位器使充、放电时间常数相同。如果 $R_A = R_B$ ，调节电位器可以获得50%的占空比。

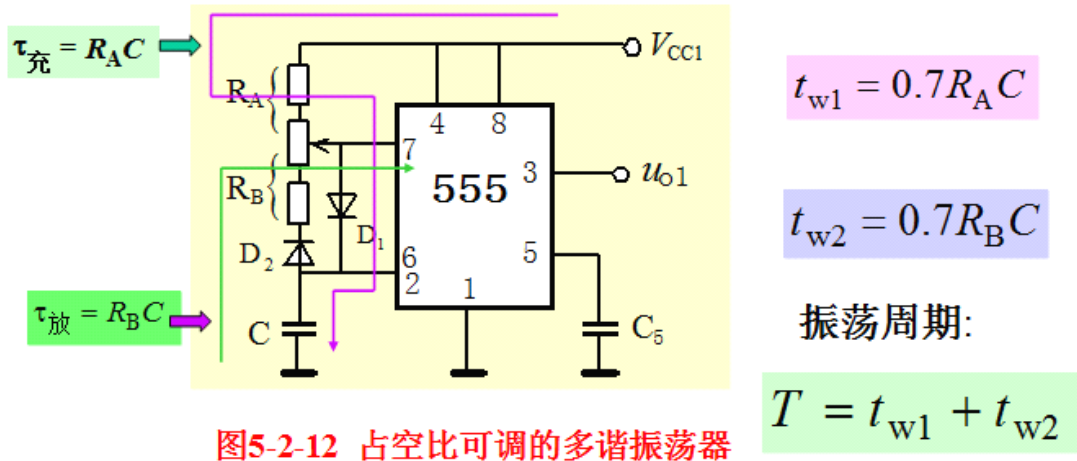


图5-2-12 占空比可调的多谐振荡器

### ◆ 555定时器构成施密特触发器 (Schmitt Trigger)

555定时器构成施密特触发器的电路图如图5-2-13所示，施密特触发器属于波形变换电路，该电路可以将正弦波、三角波、锯齿波变为脉冲信号。

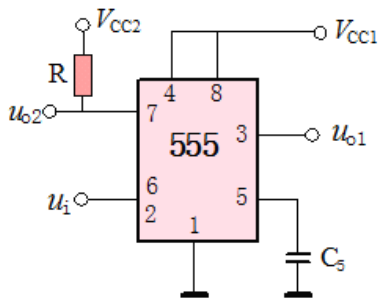


图5-2-13 施密特触发器电路图

施密特触发器的工作原理和多谐振荡器基本一致，无原则不同。只不过多谐振荡器是靠电容器的充放电去控制电路状态的翻转，而施密特触发器是靠外加电压信号去控制电路状态的翻转。所以，在施密特触发器中，外加信号的高电平必须大于 $\frac{2}{3}V_{cc}$ ，低电平必须小于 $\frac{1}{3}V_{cc}$ ，否则电路不能翻转。

由于施密特触发器无须放电端，所以利用放电端与输出端状态相一致的特点，从放电端加一上拉电阻后，可以获得与3脚相同的输出。但上拉电阻可以单独接另外一组电源，以获得与3脚输出不同的逻辑电平。

编译原理 (密码1920)



python资料 (密码1920)



哈工大PPT模板 (密码1920)



施密特触发器的输出波形如下：

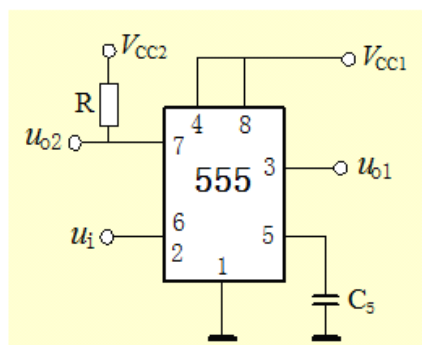


图5-2-13 施密特触发器电路图

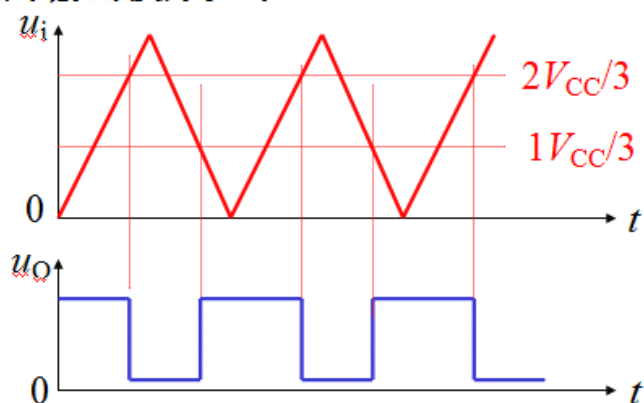


图5-2-14 施密特触发器的波形图

施密特触发器的主要用于对输入波形的整形。图5-2-14表示的是将三角波整形为方波,其它形状的输入波形也可以整形为方波。

哈工大资源分享站  
QQ: 2842305604

扫一扫二维码, 加我QQ好友。

哈工大软件分享中心  
群号: 626648181

扫一扫二维码, 加入群聊。

# 第四部分

## 自测试卷及答案



哈工大资源分享站

QQ: 2842305604



扫一扫二维码，加我QQ好友。



哈工大软件分享中心

群号: 626648181



扫一扫二维码，入群聊。

机器人技术 (密码1920)



数字电子技术基础 (密码1920)



# 试 卷 1

一、简要回答下列问题(不用详细解释) (20分)

1. 什么叫最小项?
2. 什么叫约束项、任意项、无关项?
3. 和 TTL 电路相比,CMOS 电路最大的优点是什么?
4. 组合逻辑电路和时序逻辑电路在逻辑功能和电路结构上有何不同?
5. 同步时序逻辑电路和异步时序逻辑电路的区别是什么?
6. 描述时序逻辑电路的逻辑功能有哪些方法?
7. RAM 和 ROM 有何不同?
8. 在倒 T 形电阻网络 D/A 转换器中,转换误差主要由哪些因素造成的?
9. 在 A/D 转换器中,哪一种电路转换速度最快? 哪一种电路的稳定性和抗干扰能力最好?
10. PLD 的基本特征是什么?

二、写出图 T1.2(a)、(b) 两个电路输出的逻辑函数式,并化简为最简与-或表达式。

(10分)

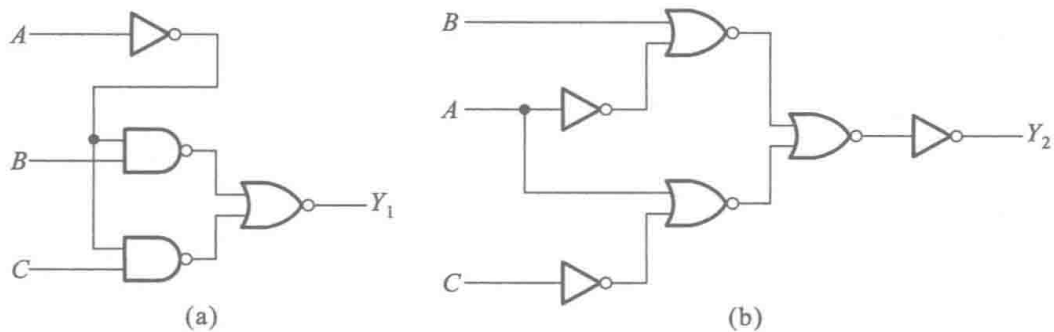


图 T1.2

三、计算图 T1.3 电路中外接电阻  $R_L$  的取值范围。已知 OC 门  $G_1 \sim G_3$  输出高电平时的漏电流为  $I_{OH} = 0.2 \text{ mA}$ , 输出低电平时允许的最大负载电流为  $I_{LM} = 10 \text{ mA}$ , 输出的低电平  $V_{OL} \leq 0.3 \text{ V}$ 。门  $G_4 \sim G_7$  的高电平输入电流为  $I_{IH} = 20 \mu\text{A}$ , 低电平输入电流为  $I_{IL} = -1 \text{ mA}$ 。电源电压为  $V_{CC} = 5 \text{ V}$ 。要求 OC 门输出的高、低电平满足  $V_{OH} \geq 3 \text{ V}$ ,  $V_{OL} \leq 0.3 \text{ V}$ 。 (10分)

四、用 8 选 1 数据选择器产生组合逻辑函数

$$Z = MNQ + NP + N'Q'$$

图 T1.4 是 8 选 1 数据选择器的框图, 它的输出逻辑式为

$$\begin{aligned} Y = & D_0 A_2' A_1' A_0' + D_1 A_2' A_1' A_0 + D_2 A_2' A_1 A_0' \\ & + D_3 A_2' A_1 A_0 + D_4 A_2 A_1' A_0' + D_5 A_2 A_1' A_0 \\ & + D_6 A_2 A_1 A_0' + D_7 A_2 A_1 A_0 \end{aligned}$$

(10分)

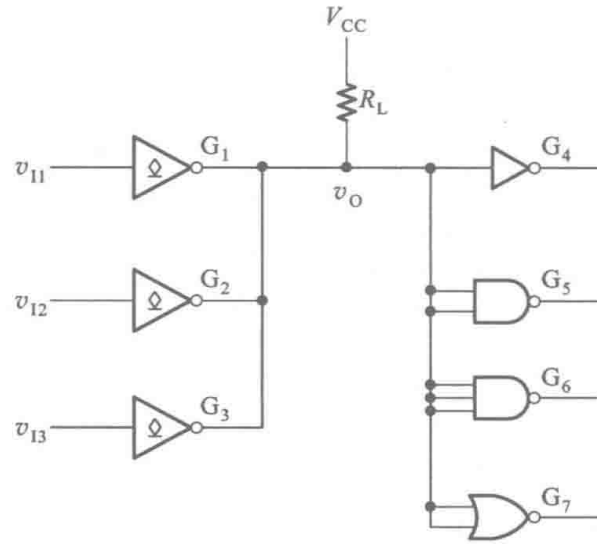


图 T1.3

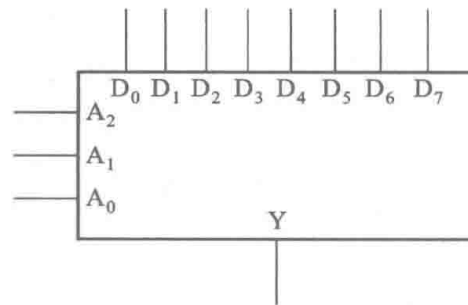


图 T1.4

五、分析图 T1.5 的逻辑电路,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图。(15分)

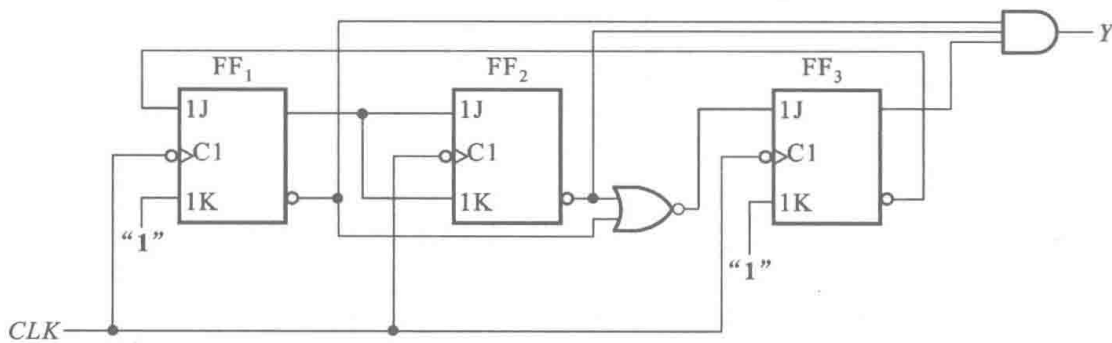


图 T1.5

六、用两片同步十六进制计数器 74HC161 设计一个可控进制的计数器,当控制信号  $M=0$  时为三十进制,当  $M=1$  时为三十一进制。请标明计数输入端和进位输出端。74HC161 的功能表和框图见表 T1.6 和图 T1.6。(10分)



表 T1.6 74HC161 的功能表

CLK	$R_D'$	$LD'$	EP	ET	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(C=0)
	1	1	1	1	计数

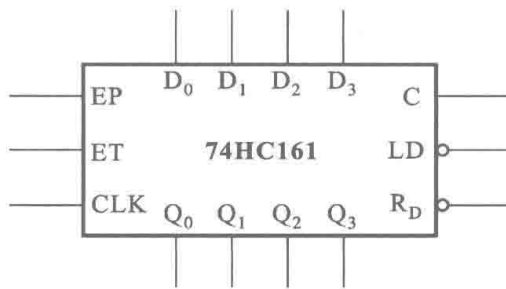


图 T1.6

七、图 T1.7 是用 D/A 转换器 AD7520、ROM、移位寄存器 74HC194A 和石英晶体振荡电路组成的波形发生器电路。表 T1.7(a) 是 ROM 的数据表, 表 T1.7(b) 是 74HC194A 的功能表。设 74HC194A 的初始状态为  $Q_0Q_1Q_2Q_3 = 0000$ 。试画出  $v_o$  的波形, 计算波形上各点电压的幅值, 标在波形图上, 并计算输出电压波形的周期。(15 分)

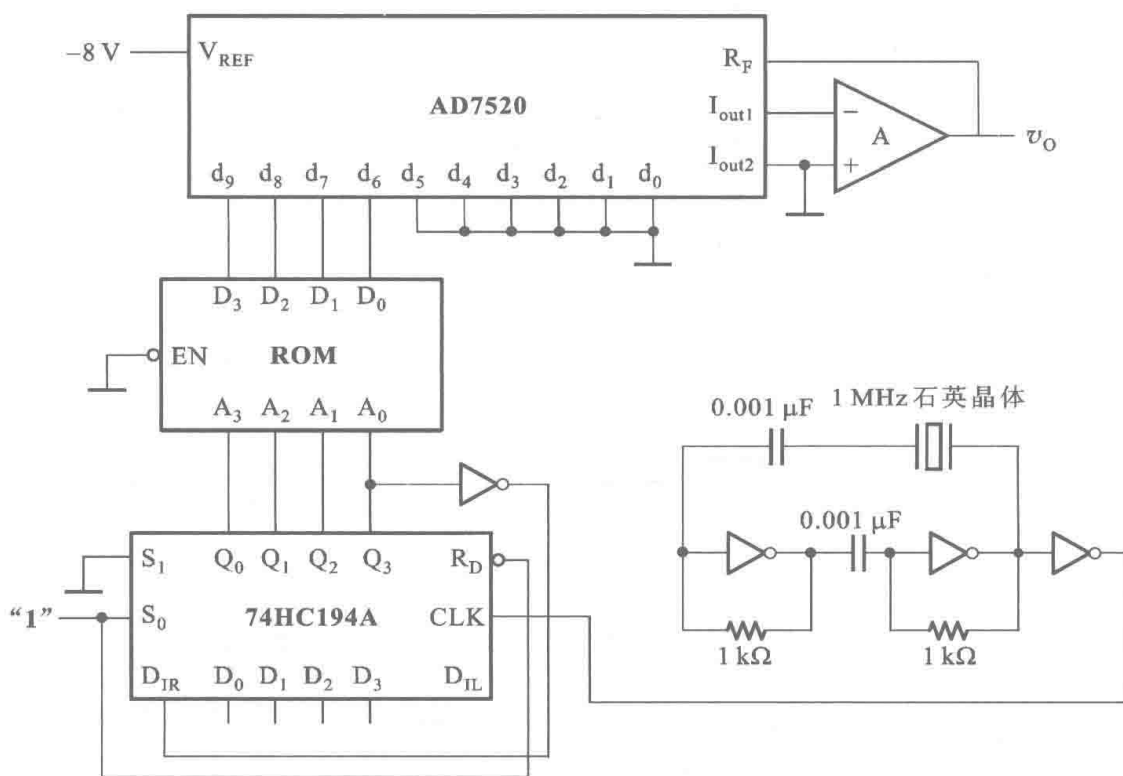


图 T1.7

表 T1.7(a) ROM 的数据表

地 址				数 据				地 址				数 据			
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$	$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	1

续表

地 址				数 据				地 址				数 据			
0	0	1	1	0	0	1	1	1	0	1	1	0	1	0	0
0	1	0	0	0	1	0	0	1	1	0	0	0	0	1	1
0	1	0	1	0	1	1	1	1	1	0	1	0	1	0	1
0	1	1	0	1	0	0	0	1	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1

表 T1.7(b) 74HC194A 的功能表

$R'_D$	$S_1$	$S_0$	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

八、在图 T1.8 由 555 定时器组成的单稳态电路中,电路参数如图中所注,输入信号波形如图中所给出。要求

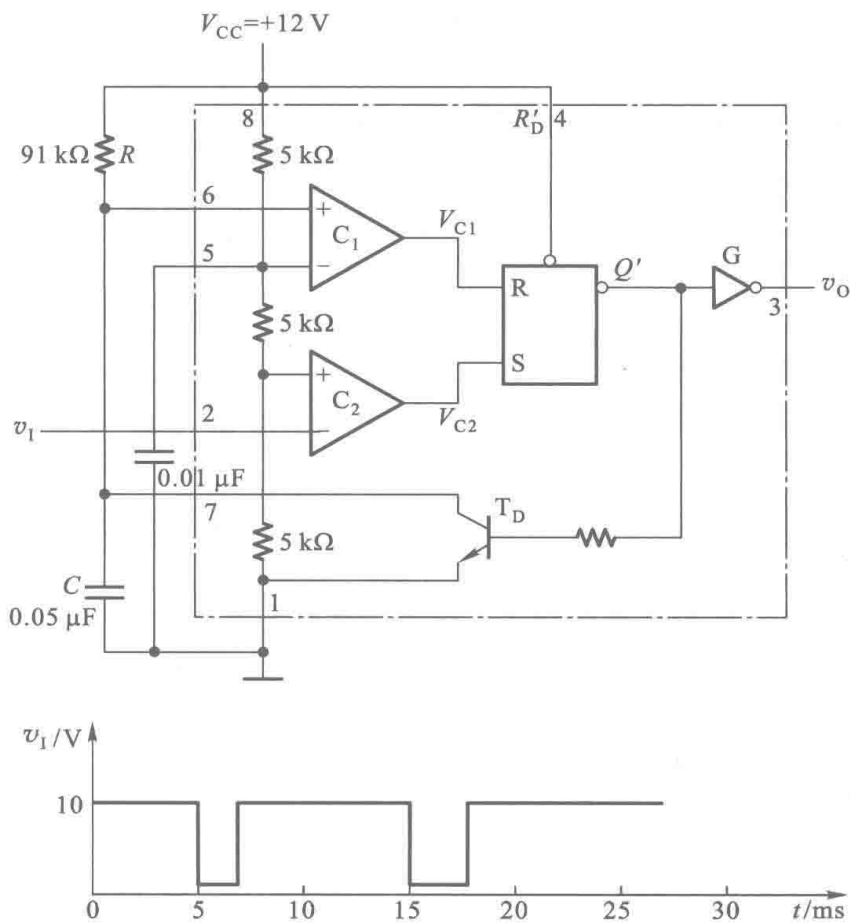


图 T1.8

1. 画出输出电压波形,计算输出脉冲宽度;
2. 若输入信号低电平宽度为 7 ms,输出波形将变成什么样子?
3. 若输入信号的幅度只有 3 V(高电平为 3 V,低电平为 0 V),电路能否工作?如不能工作,怎样解决?(10分)

## 试卷 1 答案

一、1. 在有  $n$  个变量的逻辑函数中,若  $m$  为包含  $n$  个因子的乘积项,而且这  $n$  个变量均以原变量或反变量形式在  $m$  中出现一次,则称  $m$  为该组变量的一个最小项。

2. 逻辑函数中取值恒为 0 的最小项,称为约束项。取值可以为 1,也可以为 0 的最小项称为任意项。约束项和任意项统称为逻辑函数式中的无关项,即可以写入式中,也可以不写入式中。

3. 功耗低。

4. 逻辑功能的不同在于,组合逻辑电路任一时刻的输出仅仅取决于当时的输入,而时序逻辑电路任一时刻的输出不仅与当时的输入有关,还和电路以前的输入有关。在电路结构上的不同在于,组合逻辑电路中不包含存储电路,而时序逻辑电路中必然含有存储电路,而且存储电路的状态和输入共同决定时序电路的输出。

5. 在同步时序逻辑电路中,所有触发器状态的变化都是在同一个时钟信号操作下同时发生的。而在异步时序逻辑电路中,各触发器状态发生变化不全是在同一个时钟信号操作下,所以不是同时完成的。

6. 常用的描述方法有方程组、状态转换表、状态转换图、时序图和硬件描述语言。回答出以上几种方法即可。

实际上逻辑图本身就是一种逻辑功能的描述方式,但由于它不够直观,所以一般需要转换为上面的几种描述方法。因此,答案中也可以包括逻辑图,也可以不包括逻辑图。

7. ROM 在正常工作状态下只能从中读取已存好的数据,不能随时改写。而 RAM 在正常工作状态下可以随时读出和写入数据。

8. 主要由参考电压的波动、求和放大器的零点漂移和电阻网络中电阻的偏差所造成的。

9. 并联比较型 A/D 转换器的转换速度最快,双积分型 A/D 转换器的稳定性和抗干扰能力最好。

10. PLD 的基本特征是它的逻辑功能可以由用户通过对器件编程来设定。

本题共 20 分,每个小题占 2 分。如果只答对部分内容,一个小题可给 1 分。

$$\text{二、} Y_1 = ((A'B)' + (A'C)')' = A'BC$$

$$Y_2 = (A'+B)' + (A+C)' = AB' + A'C$$

本题共 10 分每个小题 5 分。每个小题当中如果逻辑式写对了但未化成最简与-或式,扣 2 分。

$$\text{三、} R_{L(\max)} = \frac{V_{CC} - V_{OH}}{3I_{OH} + 8I_{IH}}$$

$$\begin{aligned}
 &= \frac{5-3}{3 \times 0.2 + 8 \times 0.02} \text{ k}\Omega \\
 &= 2.63 \text{ k}\Omega \\
 R_{L(\min)} &= \frac{V_{CC} - V_{OL}}{I_{LM} - 5 |I_{IL}|} \\
 &= \frac{5-0.3}{10-5 \times 1} \text{ k}\Omega \\
 &= 0.94 \text{ k}\Omega
 \end{aligned}$$

故  $R_L$  取值范围应为

$$0.94 \text{ k}\Omega \leq R_L \leq 2.63 \text{ k}\Omega$$

本题共 10 分,  $R_{L(\max)}$  和  $R_{L(\min)}$  的计算各占 5 分。

在计算  $R_{L(\min)}$  时允许近似地认为  $V_{OL} \approx 0$ , 得到  $R_{L(\min)} = 1 \text{ k}\Omega$ 。如将或非门的低电平输入电流算成 1 倍的  $I_{IL}$ , 则扣 2 分。

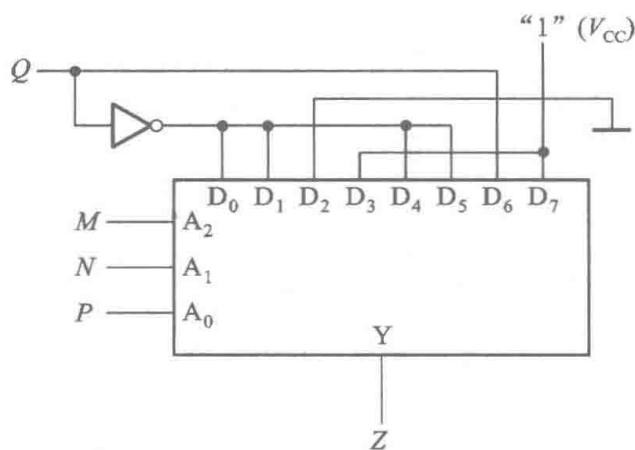
四、将函数  $Z$  化为最小项之和形式

$$\begin{aligned}
 Z &= M'N'P'Q' + M'N'PQ' + M'NPQ' + M'NPQ + MN'P'Q' + MN'PQ' \\
 &\quad + MNP'Q + MNPQ' + MNPQ
 \end{aligned}$$

再将上式化成与八选一数据选择器的逻辑式相对应的形式

$$\begin{aligned}
 Z &= M'N'P' \cdot Q' + M'N'P \cdot Q' + M'NP' \cdot 0 + M'NP \cdot 1 + MN'P' \cdot Q' \\
 &\quad + MN'P \cdot Q' + MNP' \cdot Q + MNP \cdot 1
 \end{aligned}$$

令数据选择器的  $A_2 = M, A_1 = N, A_0 = P, D_0 = D_1 = D_4 = D_5 = Q', D_6 = Q, D_2 = 0, D_3 = D_7 = 1$ , 则它的输出  $Y$  就等于所求的  $Z$ 。电路的连接如图解 1.4。



图解 1.4

本题共 10 分, 写出正确的逻辑式得 5 分, 画出正确的逻辑图得 5 分。属于笔误的错误每处扣 2 分。

本题采用分段评分的办法, 即前一步骤的笔误已扣分之后, 在此基础上继续做下去的方法和结果是对的, 后边步骤的分数仍可得到。因为题目没有对  $M, N, P, Q$  的接入顺序做规定, 所以采用不同接

哈工大期末试题汇总



入顺序答案也不同,这都是允许的。

### 五、驱动方程为

$$\begin{cases} J_1 = Q_3'; K_1 = 1 \\ J_2 = K_2 = Q_1 \\ J_3 = (Q_1' + Q_2')' = Q_1 Q_2; K_3 = 1 \end{cases}$$

状态方程为

$$\begin{cases} Q_1^* = Q_3' Q_1' \\ Q_2^* = Q_1 Q_2' + Q_1' Q_2 \\ Q_3^* = Q_1 Q_2 Q_3' \end{cases}$$

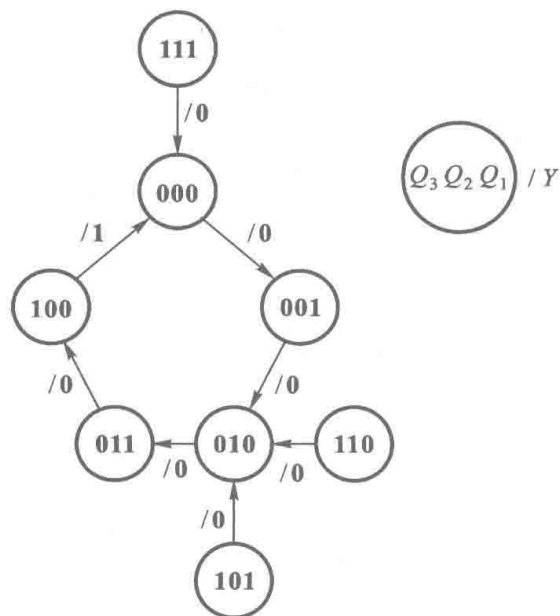
输出方程为

$$Y = Q_1' Q_2' Q_3$$

状态转换表及状态转换图如表解 1.5 及图解 1.5。

表解 1.5 图 T1.5 电路的状态转换表

CLK	$Q_3$	$Q_2$	$Q_1$	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	0	0	0	0
0	1	0	1	0
1	0	1	0	0
0	1	1	0	0
1	0	1	0	0
0	1	1	1	0
1	0	0	0	0



图解 1.5

本题共 15 分,驱动方程 3 分(每个触发器的驱动方程 1 分),状态方程 3 分(每个触发器的状态方程 1 分),输出方程 1 分。状态转换表和状态转换图占 8 分,其中未计算并画出无效状态者扣 3 分。状态转换图上未注明输出者扣 2 分。

本题也采用分段评分的办法(具体做法见上题评分说明)。

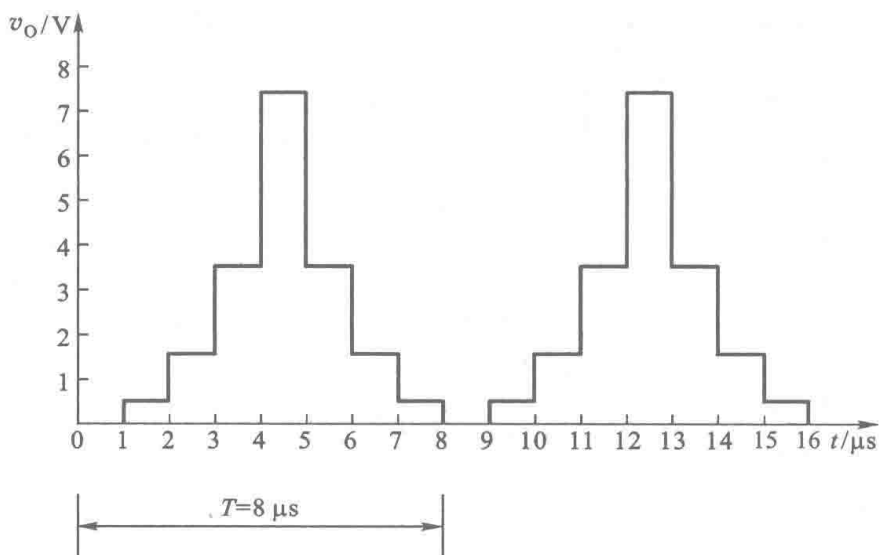
六、电路图如图解 1.6。本题为设计性题目,故有多种正确答案,此处只给出了一种。

本题共 10 分。三十进制或三十一进制未接对者各扣 4 分,未标出计数输入端与进位输出端者各扣 1 分。进位输出端的反相器亦可不加。

如将 74HC161 误当作十进制计数器作的,即使做对了也只能得一半分数。







图解 1.7

本题共 15 分,采取分段评分的办法(见第四题评分说明)。分数的分配为 74HC194A 状态转换顺序占 4 分,ROM 的输出数据转换顺序表占 4 分,多谐振荡器振荡频率计算占 2 分,输出波形及幅值计算占 5 分。

八、输出电压波形如图解 1.8(a)所示。输出脉冲宽度为

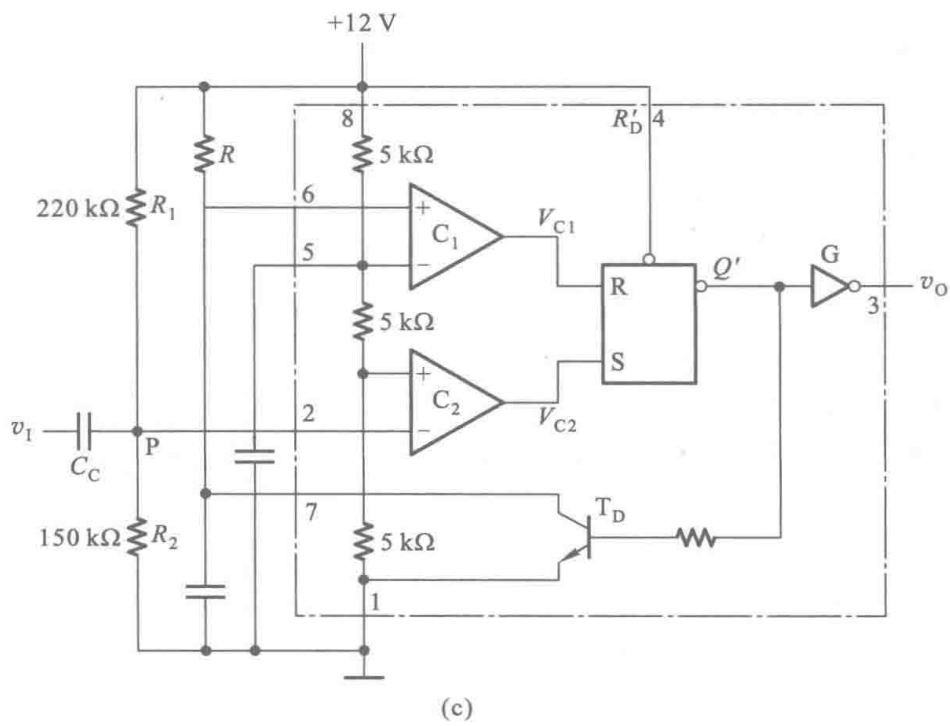
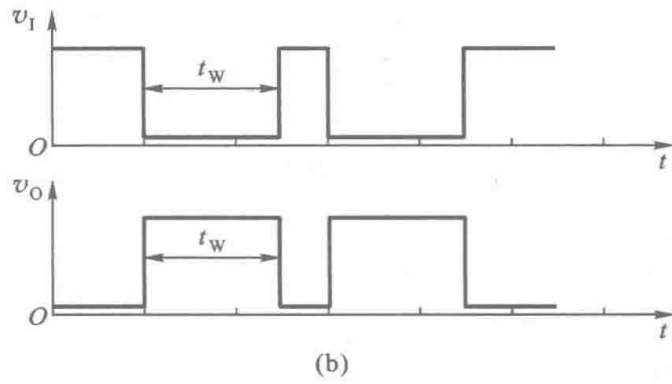
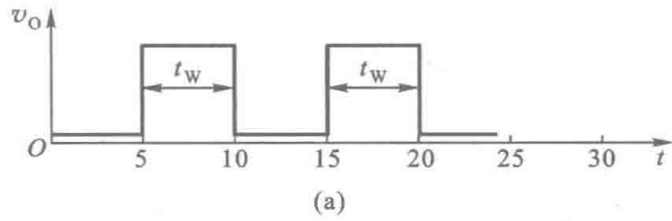
$$\begin{aligned} t_w &= 1.1RC \\ &= 1.1 \times 91 \times 10^3 \times 0.05 \times 10^{-6} \text{ s} \\ &= 5 \text{ ms} \end{aligned}$$

若输入信号低电平宽度为 7 ms,则已经大于  $t_w$  的 5 ms,电路已不能工作在单稳态的定时状态,输出脉冲的宽度将与输入脉冲的宽度相等,如图解 1.8(b)所示。

若输入信号幅度只有 3 V,则比较器  $C_2$  输出始终为低电平,电路无法正常工作。为了使电路能正常触发,可以将输入信号经同相放大器放大,或者在输入端增加分压电阻和隔离直流成分的电容,如图解 1.8(c)所示。

例如取  $R_1 = 220 \text{ k}\Omega$ 、 $R_2 = 150 \text{ k}\Omega$ ,则没有触发信号时 P 点电位为 4.9 V,仍高于  $V_{R2}$  的 4 V。当输入脉冲的下降沿到达时,能将 P 点电位拉至 1 V,使单稳态电路触发。

本题共 10 分,仍采取分段评分的办法。第 1 个问题(输出波形及宽度计算)占 4 分,第 2 个问题(输入脉冲宽度大于 7 ms 的情况)及第 3 个问题(输入脉冲幅度只有 3 V 的情况)各占 3 分。



图解 1.8

## 试 卷 2

一、判断正误(完全正确的,在括号内画√;有错误的,在括号内画×) (本题共 10 分)

1. 用高电平表示逻辑 1 状态、用低电平表示逻辑 0 状态,称为正逻辑。( )
2. 只有与-或形式的组合逻辑函数式才能化成最小项之和的形式。( )
3. 在有约束的逻辑函数中,约束项的取值可能是 1,也可能是 0。( )
4. 时序逻辑电路的结构当中一定含有存储电路。( )
5. 施密特触发电路有两个能自行保持的稳定状态。( )
6. 稳定多谐振荡电路振荡频率的最有效方法是提高电源的稳定度。( )
7. 具有  $n$  位地址输入和  $m$  位数据输出的 EPROM 可以产生一组有  $m$  个输出的  $n$  变量逻辑函数。( )
8. PLA 的基本电路结构是一个可编程的与逻辑阵列和一个可编程的或逻辑阵列。( )
9. 对在系统可编程逻辑器件进行编程时,需要使用专门的编程器。( )
10. 在各种电路结构类型的 A/D 转换器中,逐次渐近型 A/D 转换器的转换速度最快。( )

二、将下列函数化为最小项之和的形式 (本题共 10 分)

1.  $Y(A, B, C) = A'BC' + AC$
2.  $Y(A, B, C, D) = AC'D + B'CD' + ABCD$

三、将下列函数化为最简与-或表达式,方法不限 (本题共 15 分)

1.  $Y_1 = AB' + A'B + AB$
2.  $Y_2 = (A'D(A+D') + ABC + CD(B+C) + ABC')'$
3.  $Y_3 = A'C'D + A'BC + B'C'D$ , 约束条件为  $AB + AC = 0$

四、指出图 T2.4 中 TTL 门电路输出的状态(高电平在括号内填 H,低电平在括号内填 L,高阻态在括号内填 Z) (本题共 10 分)

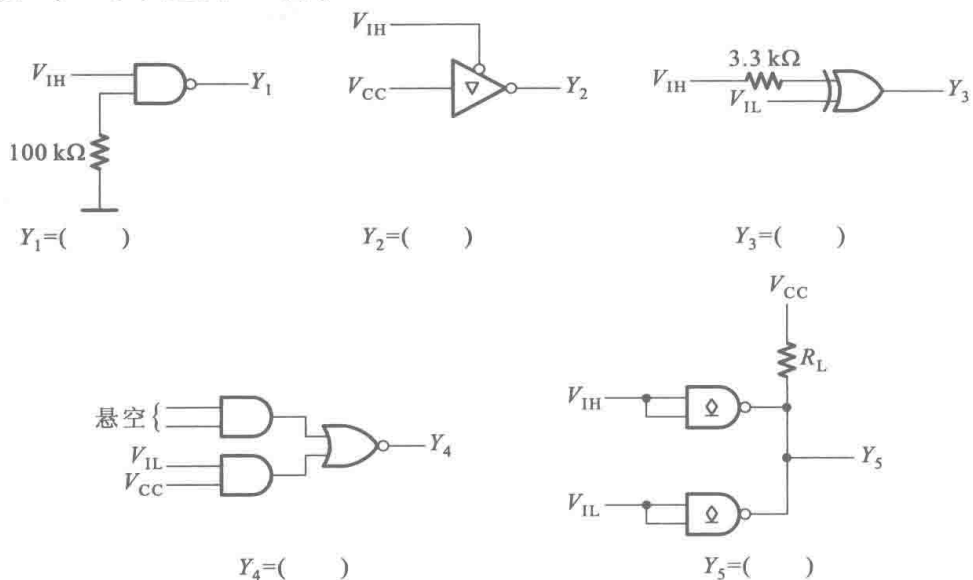


图 T2.4

五、用 4 选 1 数据选择器设计一个奇偶检测电路,输入为 3 位二进制代码。当输入代码中有奇数个 1 时输出为 1,而当输入代码中有偶数个 1 或者没有 1 时输出为 0。图 T2.5 为 4 选 1 数据选择器的框图,在  $S' = 0$  时输出的逻辑函数式为

$$Y = A_1' A_0' D_0 + A_1' A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3 \quad (10 \text{ 分})$$

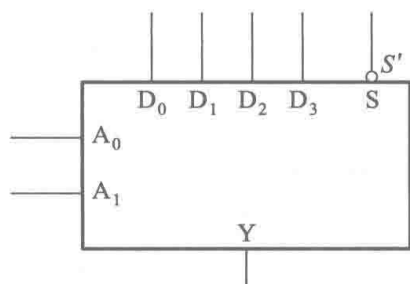


图 T2.5

六、用同步十六进制计数器 74HC161 设计一个可变进制的计数器。要求在控制信号  $M = 0$  时为十二进制,在  $M = 1$  时为十进制。请标明计数输入端和进位输出端。74HC161 的框图和功能表见图 T2.6 和表 T2.6 (本题共 10 分)

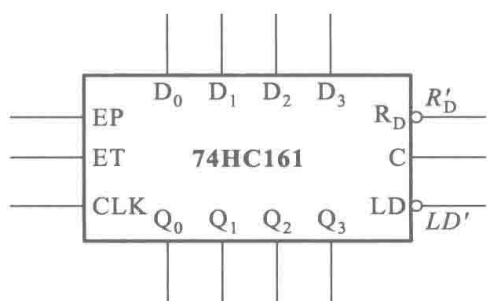


图 T2.6

表 T2.6 74HC161 的功能表

CLK	$R_D'$	$LD'$	EP	ET	工作状态
×	0	×	×	×	置零
$\uparrow$	1	0	×	×	预置数
×	1	1	0	1	保持(包括 C)
×	1	1	×	0	保持( $C=0$ )
$\uparrow$	1	1	1	1	计数

七、分析图 T2.7 给出的时序逻辑电路,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图,指出电路能否自启动。(本题共 15 分)

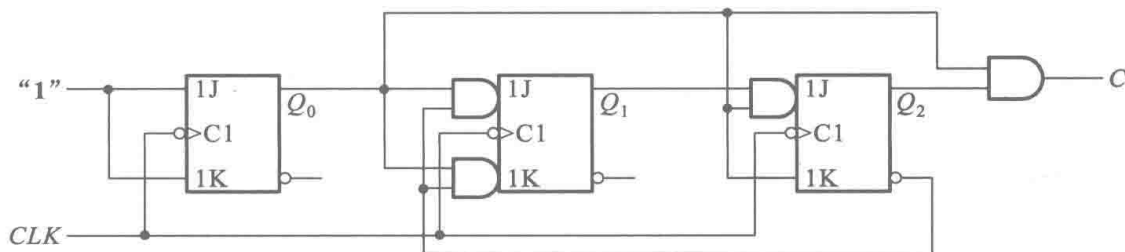


图 T2.7

八、图 T2.8 是用 D/A 转换器 AD7520、移位寄存器 74HC194A 和多谐振荡电路组成的波形发生器。试画出输出电压  $v_0$  的波形,标出波形上各点电压的幅值,并计算输出波形的周期。设 74HC194A 的初始状态为  $Q_0 Q_1 Q_2 Q_3 = 1000$ 。74HC194A 的功能表见表 T2.8。(本题共 15 分)



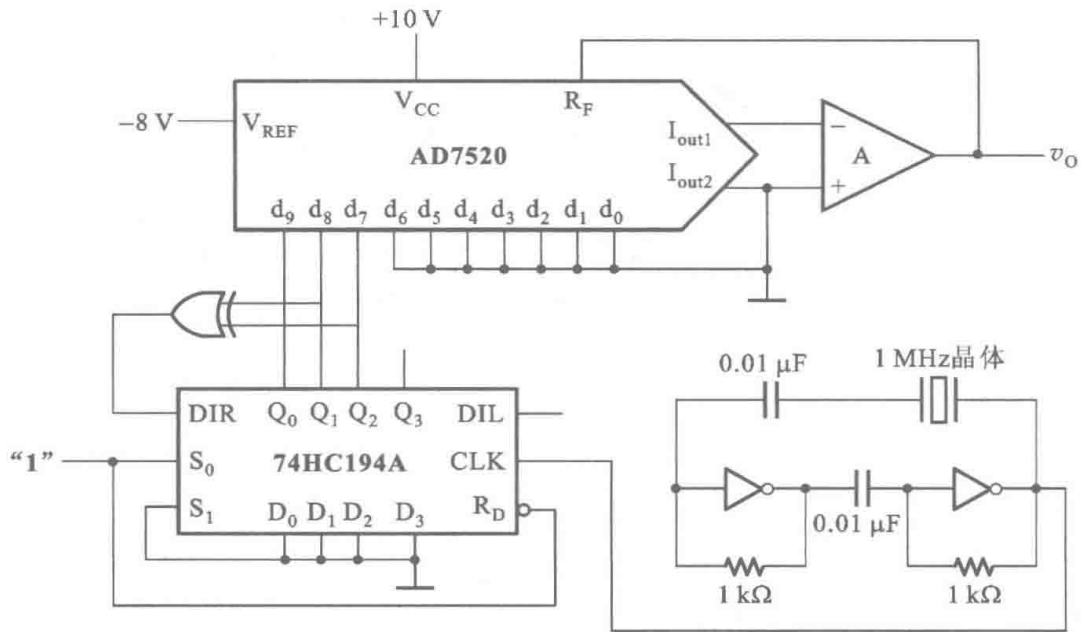


图 T2.8

表 T2.8 74HC194A 的功能表

$R'_D$	$S_1$	$S_0$	工作状态
0	x	x	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

九、图 T2.9 是用 74 系列 TTL 反相器 7404 接成的多谐振荡电路和实验过程中观察到的输出电压波形。可以看到输出电压的矩形波发生了明显的畸变。试分析产生畸变的原因,并提出克服的方法。(本题共 5 分)

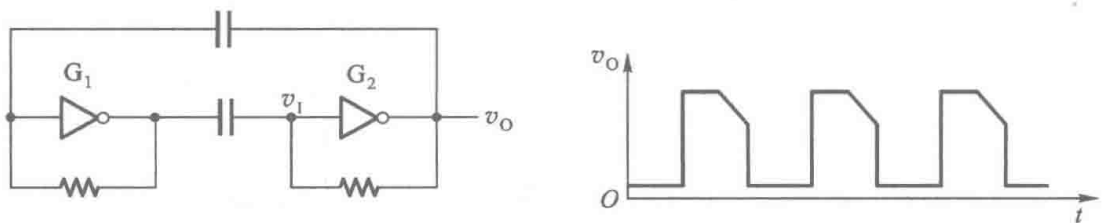


图 T2.9

### 试卷 2 答案

一、1(√);2(×);3(×);4(√);5(×);6(×);7(√);8(√);9(×);10(×)。  
每个小题答案正确得 1 分,不正确得 0 分。

二、1.  $Y_1 = A'BC' + AB'C + ABC$

2.  $Y_2 = AB'C'D + ABC'D + A'B'CD' + AB'CD' + ABCD$

本题共 10 分,每个小题占 5 分。发生一个笔误(例如解题方法是对的,只是漏写一个或错写一个“非”号)扣掉 1 分,不将该题分数全部扣掉。

三、1.  $Y_1 = A + B$

2.  $Y_2 = A'C' + A'D' + B'C' + B'D'$

3.  $Y_3 = BC + C'D$

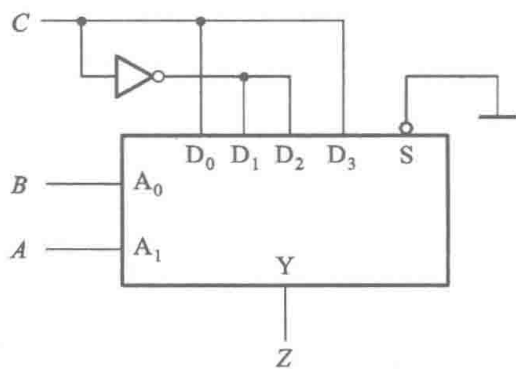
本题共 15 分,每个小题占 5 分。发生一处笔误(指化简方法和过程都是对的,只是误写了某个变量或“非”号)扣一分。

四、 $Y_1 = (L), Y_2 = (Z), Y_3 = (H), Y_4 = (L), Y_5 = (L)$ 。本题共 10 分,每个电路占 2 分。

五、电路的真值表和逻辑图分别为表解 2.5 和图解 2.5。

表解 2.5 真 值 表

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



图解 2.5

逻辑函数式为

$$Z = A'B'C + A'BC' + AB'C' + ABC$$

$$D_0 = C, D_1 = C', D_2 = C', D_3 = C$$

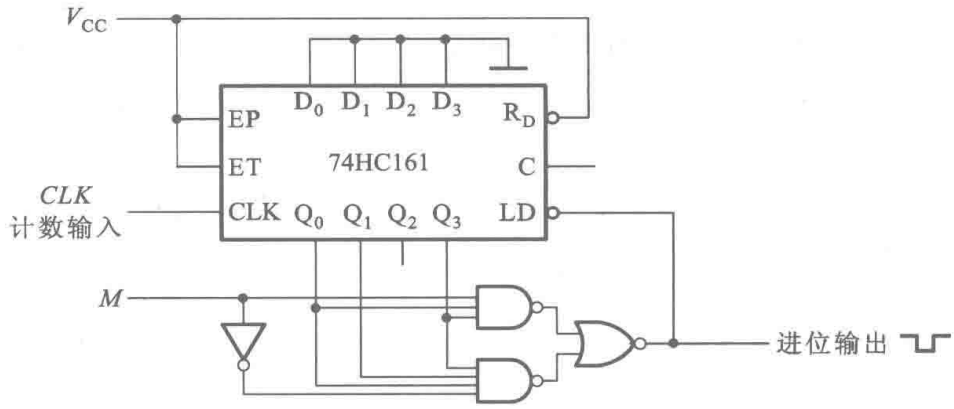
本题共 15 分,列对真值表得 4 分,写对逻辑式得 3 分,画对电路图得 3 分。如果直接写对了逻辑式而未经过列真值表这一步,则同时也给真值表的 4 分。 $S'$ 未接低电平者在电路图的 3 分中扣掉 1 分。

本题采取分段评分的方法。如果前面的步骤有错(已经扣分),而在这个基础上继续做下去的方法、步骤和结果是对的,则仍然可以得到后面步骤的分数。例如真值表中有笔误,但按这个真值表写出的逻辑式是正确的,那么仍然得到写逻辑式的 3 分。

六、本题为设计性题目,有多种答案(例如既可以用置数法又可以用置零法,等等),图解 2.6 为其中的一种。

本题共 10 分。未标明输入端者扣 1 分。未标明正确的输出端者扣 2 分。按图解 2.6 接法, $C$ 端没有进位输出信号,所以不能作为进位输出端。 $EP$ 和 $ET$ 未接高电平者扣 2 分。

输出端也可以再加一个反相器,以正脉冲作进位输出信号。



图解 2.6

七、驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 Q_2' \\ J_2 = Q_0 Q_1; K_2 = Q_0 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_2' Q_1' + (Q_0' + Q_2) Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + Q_0' Q_2 \end{cases}$$

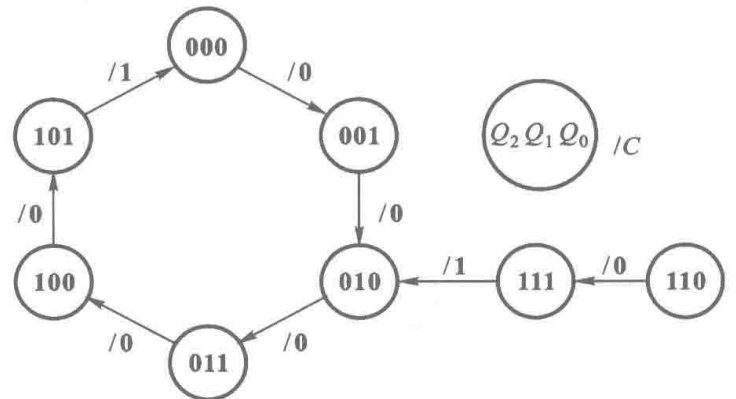
输出方程为

$$C = Q_0 Q_2$$

状态转换表和状态转换图分别为表解 2.7 和图解 2.7。

表解 2.7

CLK	$Q_2$	$Q_1$	$Q_0$	C
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	0	0	0	0
0	1	1	0	0
1	1	1	1	1
2	0	1	0	0



图解 2.7

本题共 15 分,驱动方程组共 3 分,其中每个触发器的驱动方程占 1 分。状态方程组共 3 分,其中每个方程占 1 分。输出方程 1 分。

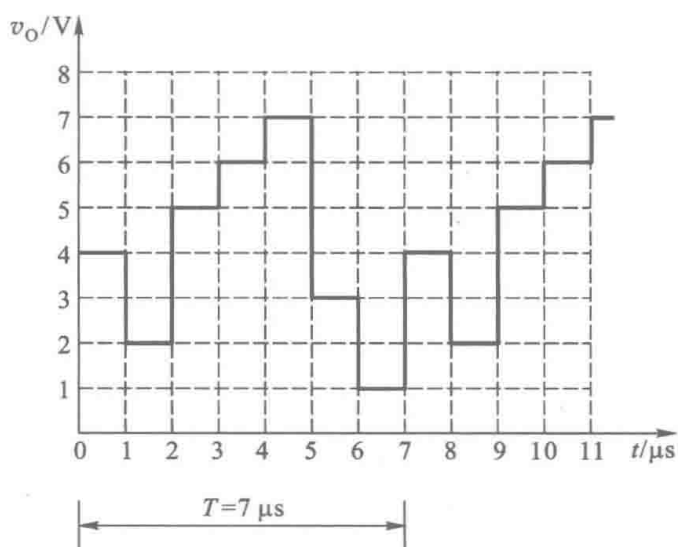
状态转换表和状态转换图共 8 分,图中未画出无效状态者扣 2 分,未说出能否自启动者扣 2 分。本题仍采用分段评分的方法(见第五题的评分办法说明)。

$$\begin{aligned}
 \text{八、} v_0 &= -\frac{V_{\text{REF}}}{2^{10}}(d_9 2^9 + d_8 2^8 + d_7 2^7) \\
 &= -\frac{V_{\text{REF}}}{2^3}(Q_0 2^2 + Q_1 2^1 + Q_2 2^0) \\
 &= \frac{8}{2^3}(Q_0 2^2 + Q_1 2^1 + Q_2 2^0) \text{ V}
 \end{aligned}$$

多谐振荡电路的振荡频率为 1 MHz, 振荡周期为 1  $\mu\text{s}$ 。输出波形周期  $T=7 \mu\text{s}$ 。根据状态转换表(见表解 2.8)画出的  $v_0$  波形如图解 2.8。

表解 2.8 74HC194A 的状态转换表  
与对应的输出电压

CLK	$Q_0$	$Q_1$	$Q_2$	$v_0/\text{V}$
0	1	0	0	4
1	0	1	0	2
2	1	0	1	5
3	1	1	0	6
4	1	1	1	7
5	0	1	1	3
6	0	0	1	1
7	1	0	0	4



图解 2.8

74HC194A 的状态转换图占 5 分, 波形图及各点电压幅值计算共 8 分, 输出波形周期计算占 2 分。

只画出定性波形而未算出波形上各点具体的电压幅值者扣 3 分。波形正、负极性画反者扣 3 分。

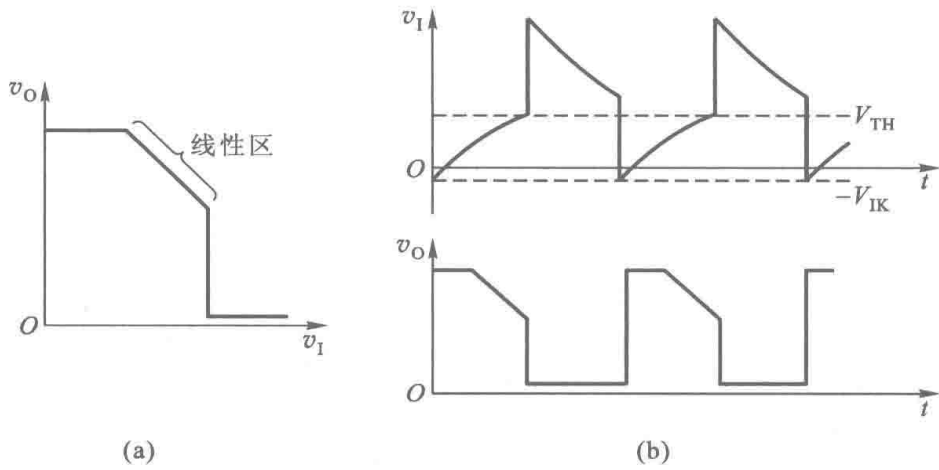
本题也采取分段评分的方法(见第五题的评分办法说明)。

九、根据《数字电子技术基础(第六版)》第 3.4.2 节的分析可知, 74 系列 TTL 电路的电压传输特性上有一个线性区, 如图解 2.9(a) 所示。当图 T2.9 中反相器  $G_2$  的输入电压  $v_1$  从  $-V_{\text{IK}}$  到  $V_{\text{TH}}$  逐渐上升的过程中,  $v_0$  随  $v_1$  的变化曲线应当就是电压传输特性曲线, 如图解 2.9(b) 所示。因此,  $v_0$  的波形应与电压传输特性一样, 图 T2.9 中观察到的  $v_0$  波形是正常的。

为了改善输出电压波形, 最简单的方法是在输出端增加一级反相器。由于在  $v_0$  的上升和下降过程中这个附加反相器的输入能快速通过  $-V_{\text{IK}}$  到  $V_{\text{TH}}$  的区间, 所以它的输出波形上就不会出现电压传输特性的线性区。

此外, 也可以改用电压传输特性没有线性区的门电路构成这个振荡电路。不过需要注意的是为保证振荡频率不变, 其他电路参数也应作相应的调整。

本题共 5 分, 分析原因正确得 3 分, 提出的改进方案可行得 2 分。



图解 2.9

哈工大二手市场[一...]  
群号: 744900487

扫一扫二维码, 入群聊。

哈工大资源分享站  
QQ: 2842305604

扫一扫二维码, 加我QQ好友。

电路 (密码1920)



机器人技术 (密码1920)





## 试 卷 3

一、将下列函数化为最小项之和形式。(10分)

1.  $Y(A, B, C) = AB' + B + AC'$

2.  $Y(A, B, C) = (AB'C + C)'$

二、将下列函数化为最简与-或形式,方法不限。(15分)

1.  $Y = A'B' + B'C + BC'$

2.  $Y = AB + A'C + AD + BD + AD' + AB'EF + B'CEF$

3.  $Y = A'B'C'D + A'B'CD' + AB'C'D + ACD'$ , 约束条件  $B'C'D' = 0$ 。

三、下列门电路能否接成反相器使用? 如果能,应如何连接?(10分)

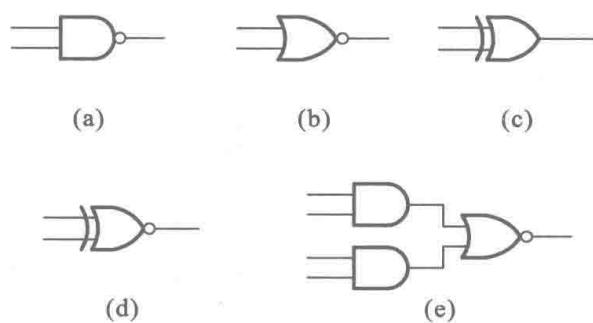


图 T3.3

四、用 8 选 1 数据选择器设计一个函数发生电路,当选择输入端  $S_1$ 、 $S_0$  为不同状态时  $Y$  与  $A$ 、 $B$  的关系如表 T3.4 所示。图 T3.4 是 8 选 1 数据选择器的框图,它的输出逻辑函数式为

$$\begin{aligned}
 W = & D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1A_0') \\
 & + D_3(A_2'A_1A_0) + D_4(A_2A_1'A_0') \\
 & + D_5(A_2A_1'A_0) + D_6(A_2A_1A_0') + D_7(A_2A_1A_0)
 \end{aligned}
 \quad (15 \text{ 分})$$

表 T3.4

S <sub>1</sub>	S <sub>0</sub>	Y
0	0	AB
0	1	A+B
1	0	A⊕B
1	1	A'

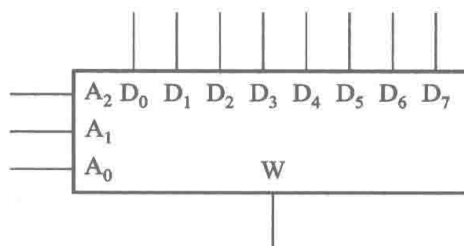


图 T3.4

五、分析图 T3.5 电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图,指出电路能否自启动。(15分)

六、在图 T3.6 的脉冲电路中,已知  $v_1$  的电压波形如图中所示。电路参数如图中所注。要求

1. 画出  $v_{01}$ 、 $v_{02}$  的波形。

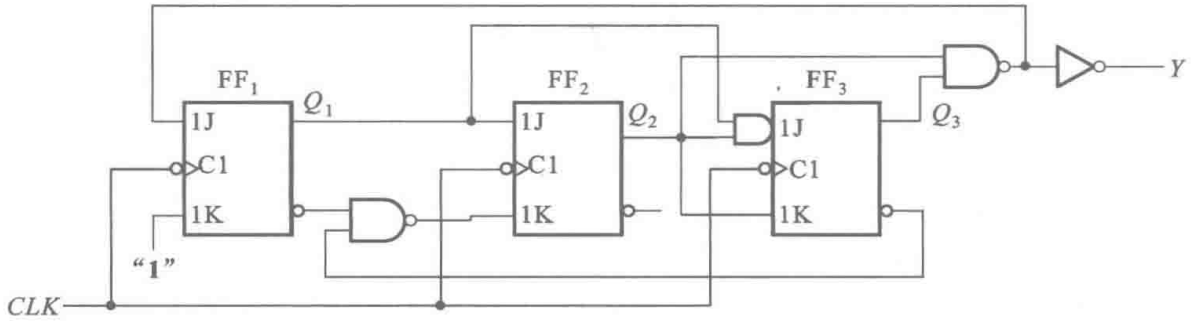


图 T3.5

2. 计算  $v_{o2}$  的脉冲宽度,并在图上标出。(10分)

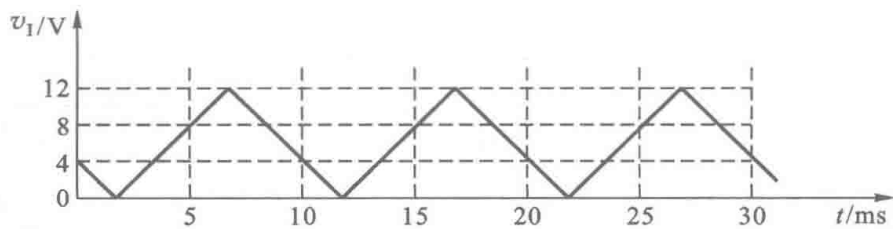
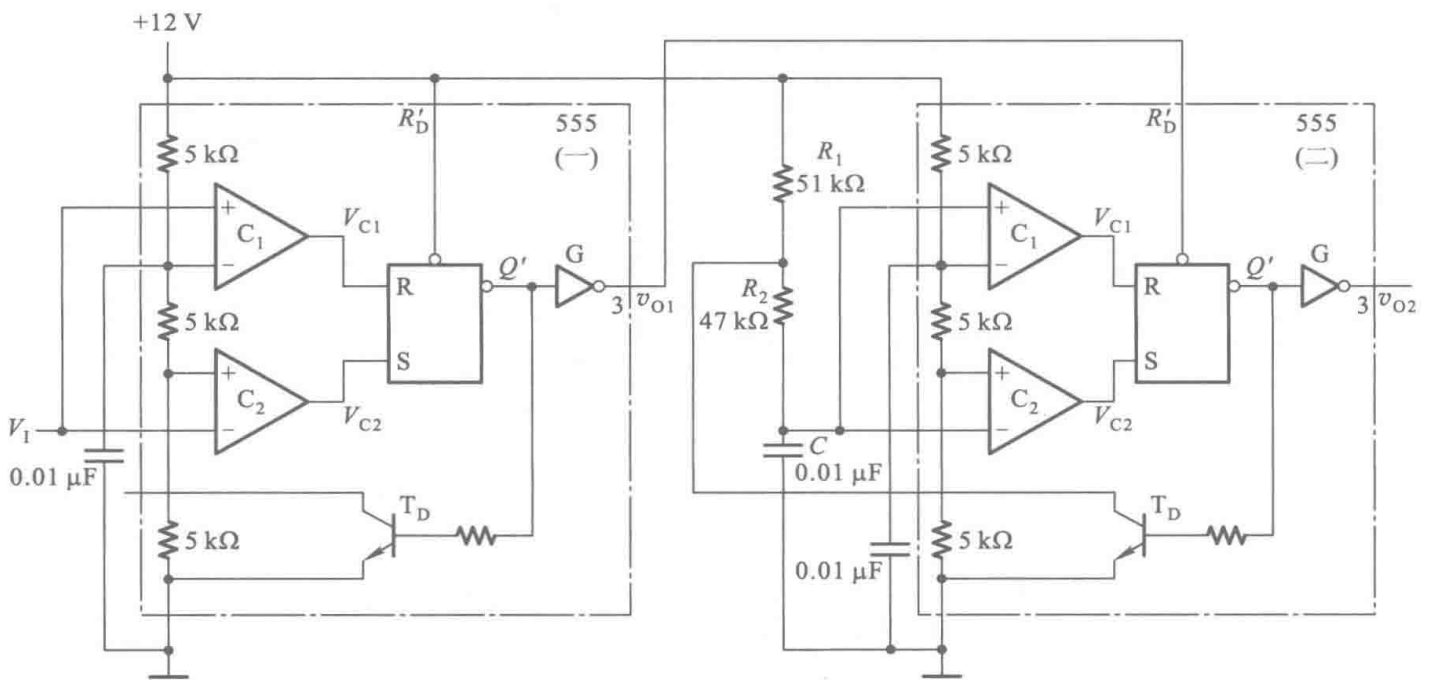


图 T3.6

七、图 T3.7 是由 D/A 转换器 CB7520、同步十六进制计数器 74HC161 和多谐振荡电路组成的波形发生电路。外接  $2R$  电阻的阻值与倒 T 形电阻网络中的  $2R$  电阻阻值相同。石英晶体的谐振频率为  $1\text{ MHz}$ 。 $G_1$ 、 $G_2$ 、 $G_3$  为 74 系列 TTL 门电路。74HC161 的功能如表 T3.7。试画出输出电压  $v_o$  的波形,标明波形上各点电压的幅度,并计算输出波形的周期。(15分)

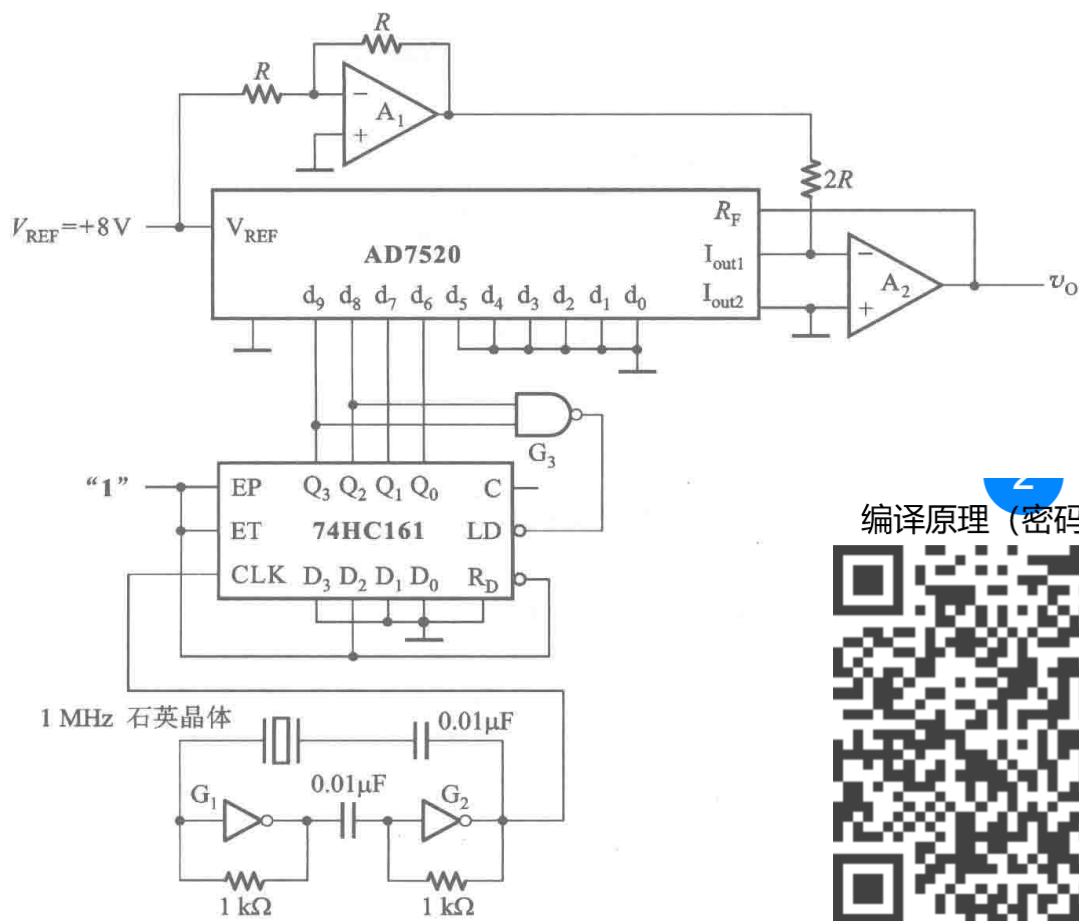


图 T3.7

表 T3.7 74HC161 的功能表

$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C=0$ )
	1	1	1	1	计数

八、图 T3.8 是用 74LS04 TTL 反相器驱动功率三极管开关的电路。已知 74LS04 高电平输出电流最大允许值为  $I_{OH(max)} = -0.4 \text{ mA}$ ，此时的输出高电平为  $V_{OH} = 3.4 \text{ V}$ ；低电平输出电流的最大允许值为  $I_{OL(max)} = 8 \text{ mA}$ ，此时的输出低电平为  $V_{OL} = 0.35 \text{ V}$ 。三极管开关电路的电路参数如图中所注，三极管 T 的电流放大系数为  $\beta = 50$ 。要求当 74LS04 输出低电平时三极管 T 截止 ( $V_{BE}$  为负压)，而 74LS04 输出高电平时三极管 T 饱和导通。请核算一下三极管开关电路中电阻参数的选择是否合理。如果电阻参数选择不当，应如何修改这些电阻参数？ (10 分)

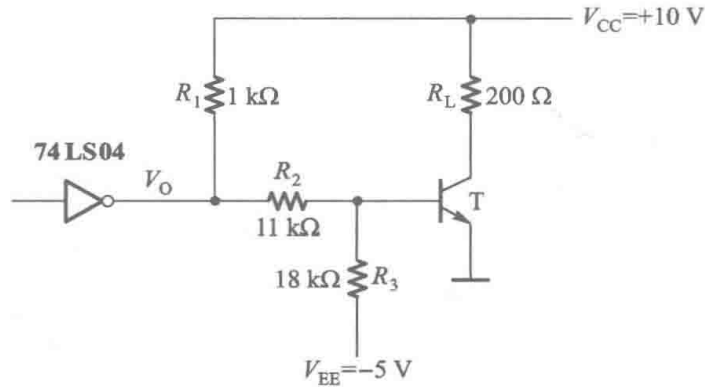


图 T3.8

### 试卷 3 答案

一、1.  $Y=A'BC'+ABC+AB'C'+AB'C+ABC'+ABC$

2.  $Y=A'B'C'+A'BC'+AB'C'+ABC'$

本题共 10 分,每个小题 5 分。发生一处笔误扣 2 分。

二、1.  $Y=A'+B$

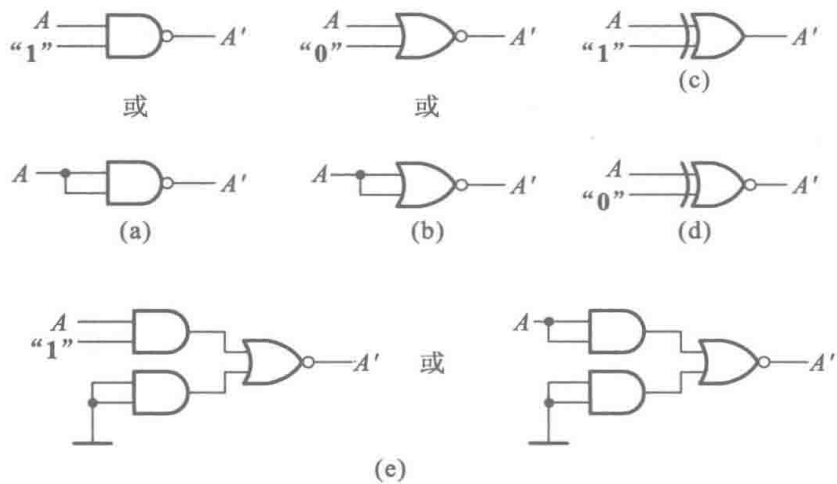
2.  $Y=A+C+BD$

3.  $Y=B'C+B'D'+ACD'$

本题共 15 分,每个小题 5 分。第 3 小题未利用约束项者得 0 分。发生一处笔误扣 2 分。

三、都可以接成反相器使用。电路接法见图解 3.3。

本题共 10 分,每个门电路占 2 分。

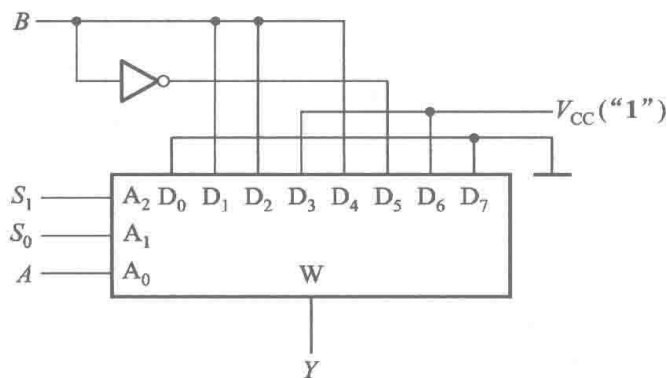


图解 3.3

四、由表 T3.4 可直接写出  $Y$  与  $A$ 、 $B$ 、 $S_1$ 、 $S_0$  之间的逻辑函数式

$$\begin{aligned}
 Y &= S_1' S_0' (AB) + S_1' S_0 (A+B) + S_1 S_0' (A \oplus B) + S_1 S_0 A' \\
 &= S_1' S_0' AB + S_1' S_0 A + S_1' S_0 B + S_1 S_0' A'B + S_1 S_0' AB' + S_1 S_0 A' \\
 &= (S_1' S_0' A') \cdot 0 + (S_1' S_0' A) \cdot B + (S_1' S_0 A') \cdot B + (S_1' S_0 A) \cdot 1 \\
 &\quad + (S_1 S_0' A') \cdot B + (S_1 S_0' A) \cdot B' + (S_1 S_0 A') \cdot 1 + (S_1 S_0 A) \cdot 0
 \end{aligned}$$

令数据选择器的输入为  $A_2 = S_1$ 、 $A_1 = S_0$ 、 $A_0 = A$ ； $D_0 = 0$ 、 $D_1 = B$ 、 $D_2 = B$ 、 $D_3 = 1$ 、 $D_4 = B$ 、 $D_5 = B'$ 、 $D_6 = 1$ 、 $D_7 = 0$ ，则  $W = Y$ 。电路连接如图解 3.4 所示。



图解 3.4

本题共 15 分，写对  $Y$  与  $S_1$ 、 $S_0$ 、 $A$ 、 $B$  间关系的逻辑式（未经变换）得 5 分，经变换找出数据选择器每个输入端的接法得 5 分，画出逻辑图得 5 分。发生一处笔误扣 2 分。

因题目对  $S_1$ 、 $S_0$ 、 $A$ 、 $B$  的接入顺序没有规定，所以本题可以有多种答案，都是允许的。

本题采用分段评分的办法。如果开始时写出的逻辑式有笔误（例如写错某个原变量或反变量）并已扣分，而在此基础上继续做下去的解题方法和结果是对的，则仍可得后续步骤的分数。

五、驱动方程为

$$\begin{cases} J_1 = (Q_2 Q_3)' ; & K_1 = 1 \\ J_2 = Q_1 ; & K_2 = (Q_1' Q_3)' \\ J_3 = Q_1 Q_2 ; & K_3 = Q_2 \end{cases}$$

状态方程为

$$\begin{cases} Q_1^* = (Q_2 Q_3)' \cdot Q_1' \\ Q_2^* = Q_1 Q_2' + Q_1' Q_3' Q_2 \\ Q_3^* = Q_1 Q_2 Q_3' + Q_2' Q_3 \end{cases}$$

输出方程为

$$Y = Q_2 Q_3$$

状态转换表与状态转换图如表解 3.5 和图解 3.5。

本题共 15 分，采取分段评分的办法（见上题评分说明）。驱动方程、状态方程各占 3 分，输出方程占 1 分。状态转换表和状态转换图共占 8 分。没有考虑存在无效状态者扣 2 分，状态转换图中未注输出者扣 2 分。

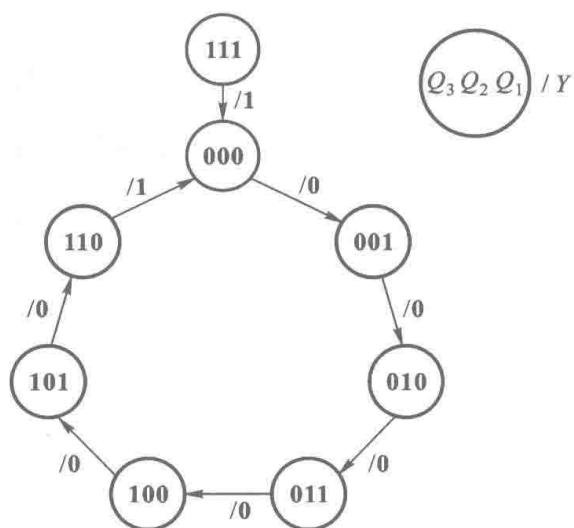
六、 $v_{01}$  及  $v_{02}$  的波形如图解 3.6。第（一）个 555 接成了施密特触发电路，第（二）个 555 接成了多谐振荡电路。 $v_{01}$  为低电平时多谐振荡电路停振， $v_{01}$  为高电平时多谐振荡电路工作。 $v_{01}$  高电平宽度等于 5 ms。多谐振荡电路的振荡周期为

$$\begin{aligned} T &= (R_1 + 2R_2) C \ln 2 \\ &= (51 \times 10^3 + 2 \times 47 \times 10^3) \times 0.01 \times 10^{-6} \times 0.69 \text{ s} \\ &= 1 \text{ ms} \end{aligned}$$

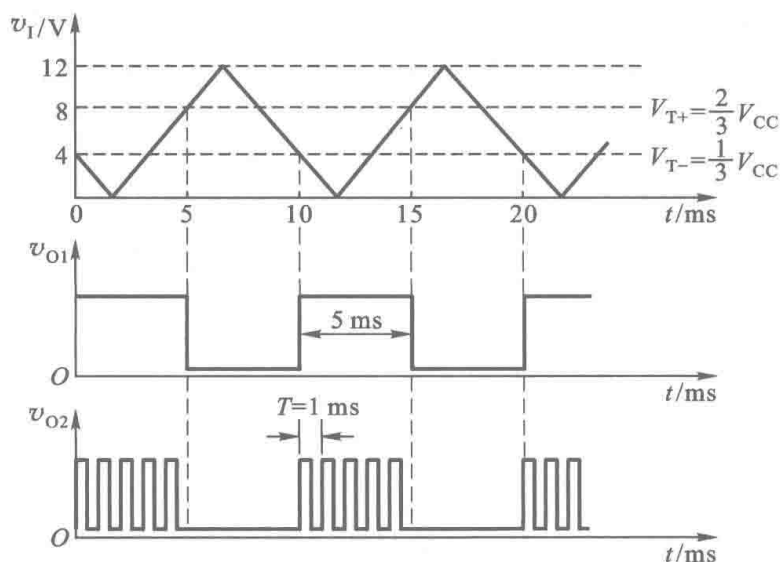


表解 3.5 图 T3.5 电路的状态转换表

CLK	$Q_3$	$Q_2$	$Q_1$	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0



图解 3.5



图解 3.6

本题共 10 分,  $v_{01}$  的波形占 3 分,  $v_{02}$  的波形占 2 分,  $v_{02}$  波形周期的计算占 5 分。

七、因为 74HC161 的状态  $Q_3Q_2Q_1Q_0$  就是 A/D 转换器输入的数字量, 所以首先应找出 74HC161 的状态循环。图中用 74HC161 的 **1100** 状态译出  $LD' = 0$  信号, 下一个 CP 到达时置入 **0100**, 有效循环是一个九进制计数器, 如图解 3.7(a) 所示。

计数器的 CP 信号由石英晶体振荡电路提供, 周期等于  $1 \mu\text{s}$ 。输出波形周期  $T = 9 \mu\text{s}$ 。

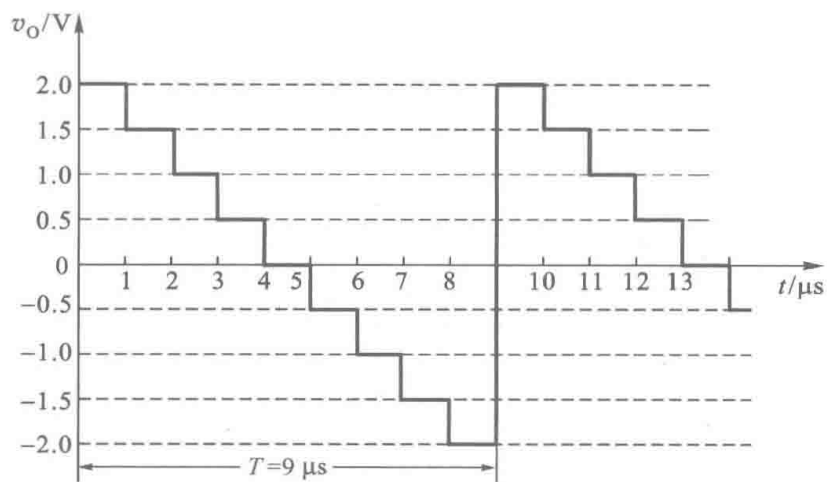
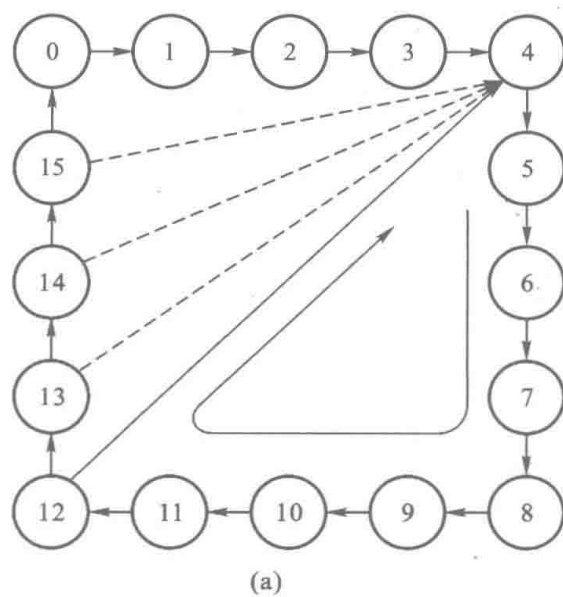
运算放大器  $A_1$  接成放大倍数为  $-1$  的反相放大器, 输出电压为  $-8 \text{ V}$ 。考虑到运算放大器  $A_2$  的输入端存在着偏置电流, 输出电压应为

$$\begin{aligned}
 v_o &= -\frac{V_{\text{REF}}}{2^n} \cdot D + \frac{V_{\text{REF}}}{2R} \cdot R \\
 &= -\frac{V_{\text{REF}}}{2^4} (Q_3 2^3 + Q_2 2^2 + Q_1 2^1 + Q_0 2^0) + 4
 \end{aligned}$$

根据 74HC161 的状态转换顺序计算出对应的输出电压列于表解 3.7 中, 画出的输出电压波形如图解 3.7(b) 所示。

表解 3.7 74HC161 的状态转换表及对应的输出电压

$CLK$	$Q_3$ ( $d_9$ )	$Q_2$ $d_8$	$Q_1$ $d_7$	$Q_0$ $d_6$ )	$v_o/V$
0	0	1	0	0	2
1	0	1	0	1	1.5
2	0	1	1	0	1
3	0	1	1	1	0.5
4	1	0	0	0	0
5	1	0	0	1	-0.5
6	1	0	1	0	-1.0
7	1	0	1	1	-1.5
8	1	1	0	0	-2.0
9	0	1	0	0	2



图解 3.7

本题共 15 分,采用分段评分的办法。74HC161 的状态循环占 5 分,输出电压波形及幅度计算占 8 分,输出波形周期计算占 2 分。

只定性地画出了输出电压波形而未算出各点电压幅度或算错数值,扣 2~4 分。如果未计算输出偏移量,其余的解法都是对的,扣 4 分。波形的正、负画反了扣 3 分。

八、1. 首先验算当 7404 输出为低电平  $V_{OL}=0.35\text{ V}$  时,三极管的  $V_{BE}$  是否为负值。

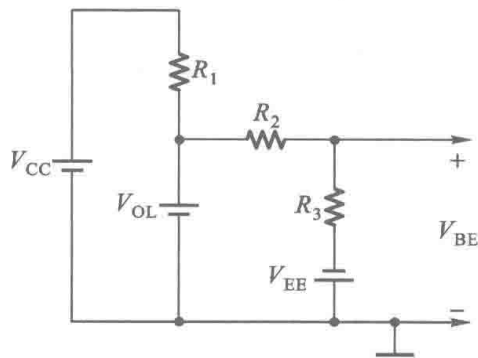
图解 3.8(a) 是 7404 输出为低电平  $V_{OL}$  时三极管发射极与基极之间的外电路。如果忽略  $V_{OL}$  的输出电阻,则得到

$$\begin{aligned} V_{BE} &= V_{OL} - \frac{V_{OL} - V_{EE}}{R_2 + R_3} R_2 \\ &= \left( 0.35 - \frac{0.35 + 5}{11 + 18} \times 11 \right) \text{ V} \\ &= -1.68 \text{ V} < 0 \end{aligned}$$

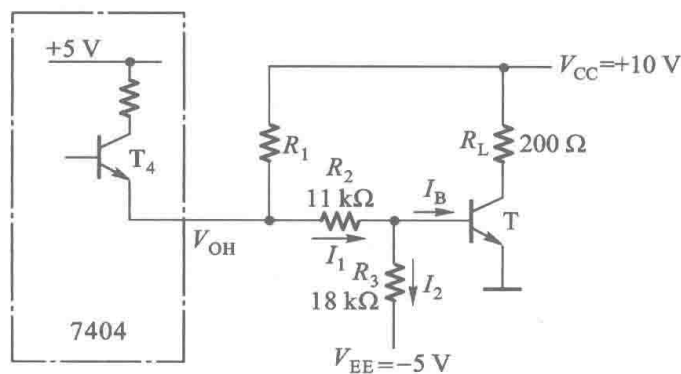
故  $V_{BE}$  为负值,可以保证三极管可靠截止。

但这时流过 7404 的负载电流为

$$\begin{aligned} I_{OL} &= \frac{V_{CC} - V_{OL}}{R_1} - \frac{V_{OL} - V_{EE}}{R_2 + R_3} \\ &= \left( \frac{10 - 0.35}{1} - \frac{0.35 + 5}{11 + 18} \right) \text{ mA} \\ &= 9.47 \text{ mA} > I_{OL(\max)} \end{aligned} \quad (\text{A3.8.1})$$



(a)



(b)

图解 3.8

可见,  $R_1$  值选得过小, 应将它的阻值加大, 以保证  $I_{OL} \leq 8 \text{ mA}$ 。

在  $I_{OL} \leq 8 \text{ mA}$  的前提下, 由式(A3.8.1)得到

$$\begin{aligned} R_1 &\geq \frac{V_{CC} - V_{OL}}{I_{OL(\max)} + (V_{OL} - V_{EE}) / (R_2 + R_3)} \\ &= \frac{10 - 0.35}{8 + 0.18} \text{ k}\Omega \\ &= 1.2 \text{ k}\Omega \end{aligned}$$

依据上面的计算, 例如可取  $R_1 = 2 \text{ k}\Omega$ 。

2. 其次验算当 7404 输出为高电平  $V_{OH} = 3.4 \text{ V}$  时, 三极管是否能饱和导通。

在 TTL 电路的输出端接有上拉电阻的情况下, 首先需要判断输出高电平时  $T_4$  管是否处于截止状态。由图解 3.8(b) 可见, 当外接电源  $V_{CC}$  经  $R_1$  加到  $V_O$  端的电压高于  $3.6 \text{ V}$  以后,  $T_4$  将截止。这时  $V_O$  的数值完全由外电路决定。

在 7404 的输出端和三极管 T 的 be 结均处于开路状态下, 可以求出 7404 的  $V_O$  和三极管基极电位  $V_B$  分别为

$$\begin{aligned} V_O &= V_{CC} - \frac{V_{CC} - V_{EE}}{R_1 + R_2 + R_3} R_1 \\ &= \left( 10 - \frac{10 + 5}{1 + 11 + 18} \times 1 \right) \text{ V} \\ &= 9.5 \text{ V} \\ V_B &= V_{CC} - \frac{V_{CC} - V_{EE}}{R_1 + R_2 + R_3} (R_1 + R_2) \\ &= \left[ 10 - \frac{10 + 5}{1 + 11 + 18} \times (1 + 11) \right] \text{ V} \\ &= 4 \text{ V} \end{aligned}$$

因此, 7404 输出端的  $T_4$  是截止的, 而三极管的 be 结将导通。be 结导通后,  $V_B$  被钳在  $0.7 \text{ V}$ , 这时  $V_O$  的电位将变为

$$\begin{aligned} V_O &= V_{CC} - \frac{V_{CC} - V_{BE}}{R_1 + R_2} R_1 \\ &= \left( 10 - \frac{10 - 0.7}{1 + 11} \times 1 \right) \text{ V} \\ &= 9.2 \text{ V} \end{aligned}$$

故 7404 的  $T_4$  仍处于截止状态。

由图解 3.8(b) 可知, 在给定参数下三极管 T 的基极电流为

$$\begin{aligned} I_B &= I_1 - I_2 \\ &= \frac{V_{CC} - V_{BE}}{R_1 + R_2} - \frac{V_{BE} - V_{EE}}{R_3} \\ &= \left( \frac{10 - 0.7}{1 + 11} - \frac{0.7 + 5}{18} \right) \text{ mA} \end{aligned}$$

$$= 0.46 \text{ mA}$$

而三极管 T 的临界饱和基极电流为

$$\begin{aligned} I_{BS} &= \frac{V_{CC}}{\beta R_L} \\ &= \frac{10}{50 \times 0.2} \text{ mA} \\ &= 1 \text{ mA} \end{aligned}$$

显然  $I_B < I_{BS}$ , 三极管 T 不能进入饱和导通状态。为此, 必须减小  $R_2$  的阻值, 以满足

$$I_1 - I_2 > I_{BS}$$

即

$$\begin{aligned} \frac{V_{CC} - V_{BE}}{R_1 + R_2} - \frac{V_{BE} - V_{EE}}{R_3} &> I_{BS} \\ R_1 + R_2 &< \frac{V_{CC} - V_{BE}}{I_{BS} + (V_{BE} - V_{EE})/R_3} \\ &= \frac{10 - 0.7}{1 + 0.32} \text{ k}\Omega \\ &= 7 \text{ k}\Omega \end{aligned}$$

如果前面已经选定  $R_1 = 2 \text{ k}\Omega$ , 则  $R_2 < 5 \text{ k}\Omega$ 。例如可选  $R_2 = 3.3 \text{ k}\Omega$ 。

将以上所做的分析归纳一下, 得到如下结论:

第一,  $V_o = V_{OL}$  时三极管 T 可以可靠截止, 但因  $R_1$  值过小, 7404 的  $I_{OL}$  过大。解决的方法是将  $R_1$  加大, 例如取为  $2 \text{ k}\Omega$ 。

第二,  $V_o = V_{OH}$  时  $I_B < I_{BS}$ , 三极管 T 不能进入饱和状态。解决的方法是减小  $R_2$ , 例如可取  $R_2 = 3.3 \text{ k}\Omega$ 。

本题共 10 分,  $V_o = V_{OL}$  和  $V_o = V_{OH}$  两种状态的计算各占 5 分。  $V_o = V_{OL}$  时只要算出  $V_{BE}$  为负, 三极管能可靠截止即得 3 分。算出  $I_{OL}$  过大并指出应加大  $R_1$ , 得 2 分。不要求必须算出  $R_1$  的阻值允许范围。

$V_o = V_{OH}$  时如以  $V_o = 3.4 \text{ V}$  计算, 得 0 分。能正确计算出三极管 T 不处于饱和状态的, 得 3 分; 指出应减小  $R_2$  的, 得 2 分。不要求一定算出  $R_2$  取值的允许范围。



## 试 卷 4

一、指出图 T4.1 中 74 系列 TTL 门电路的输出状态(低电平在括号内填 L,高电平在括号内填 H,高阻态在括号内填 Z)。(本题共 10 分)

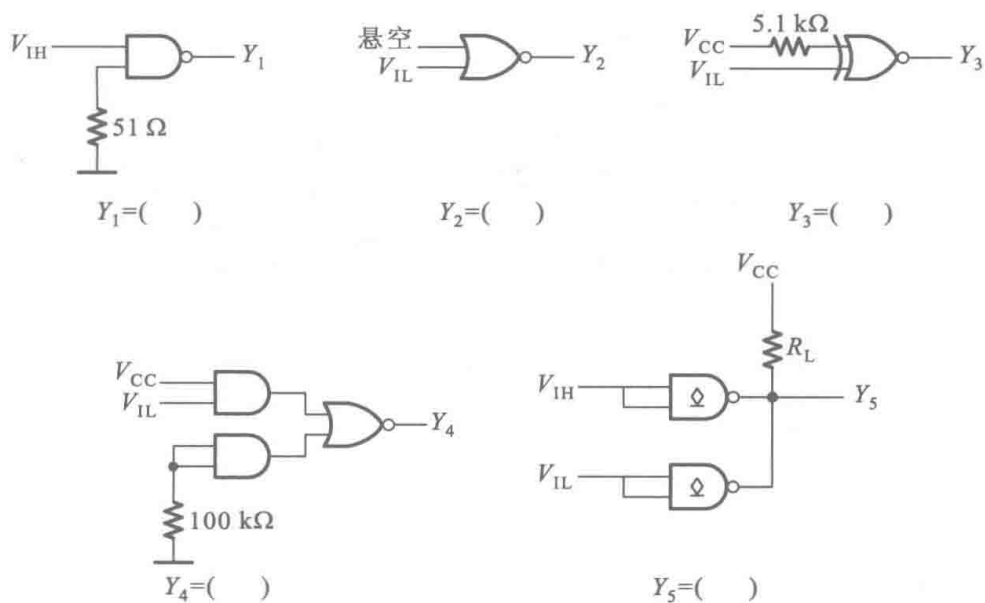


图 T4.1

二、指出图 T4.2 中 74HC 系列 CMOS 门电路的输出状态(低电平在括号内填 L,高电平在括号内填 H,高阻态在括号内填 Z)。(本题共 10 分)

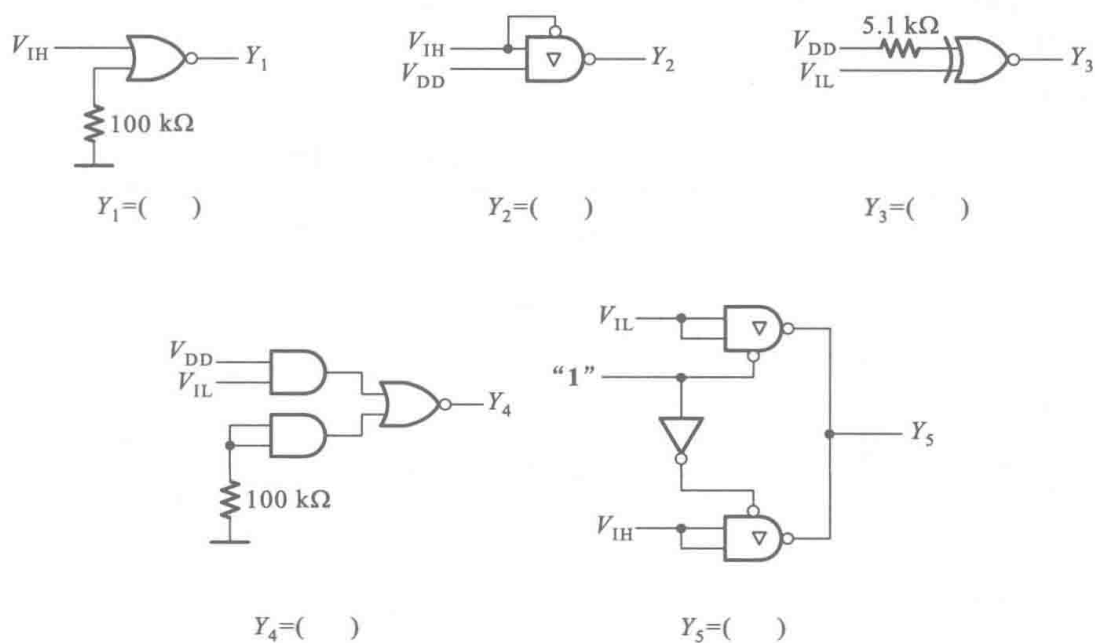


图 T4.2

三、写出图 T4.3 中各逻辑电路的逻辑函数式,并化为最简与-或形式。(15 分)

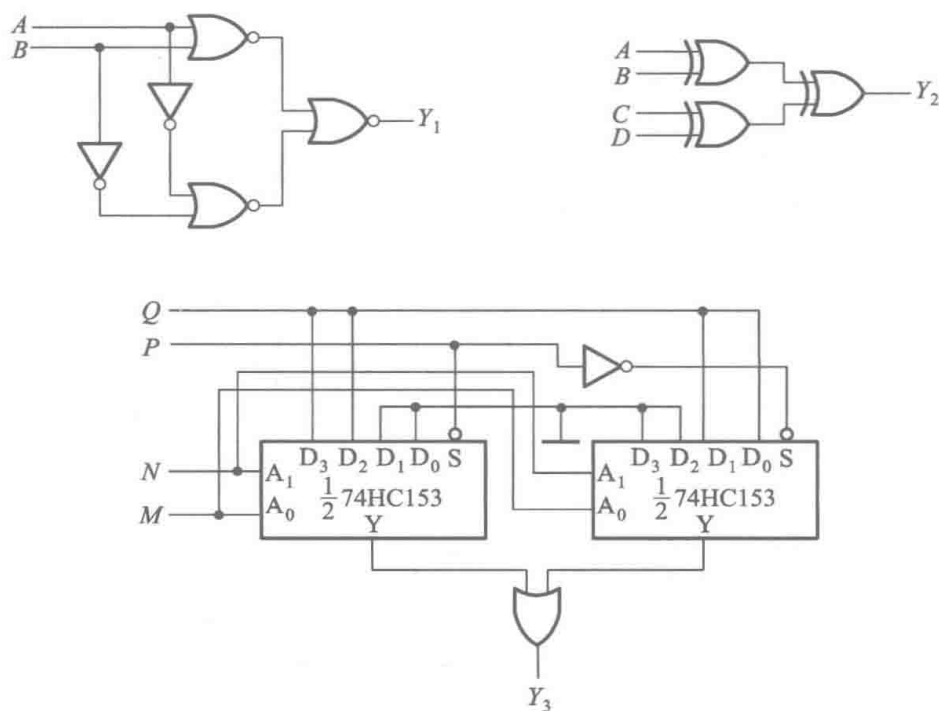


图 T4.3

图中 4 选 1 数据选择器  $\frac{1}{2}$  74HC153 输出的逻辑函数式为

$$Y = [D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)]S$$

四、设计一个补码发生器电路。当输入为负数时,控制信号  $M=1$ ,输出  $Y_3Y_2Y_1Y_0$  是输入二进制数  $DCBA$  的补码;而当输入为正数时,控制信号  $M=0$ ,输出与输入相同,即  $Y_3Y_2Y_1Y_0=DCBA$ 。请选用适当的中规模集成电路实现。可以附加必要的门电路,但电路应尽量简单。(10 分)

五、用两片同步十六进制计数器 74HC161 设计一个五十三进制计数器,可以附加必要的门电路。请标明计数输入端和进位输出端。74HC161 的框图和功能表见图 T4.5 和表 T4.5。(10 分)

表 T4.5 74HC161 的功能表

$CLK$	$R'_0$	$LD'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C=0$ )
	1	1	1	1	计数

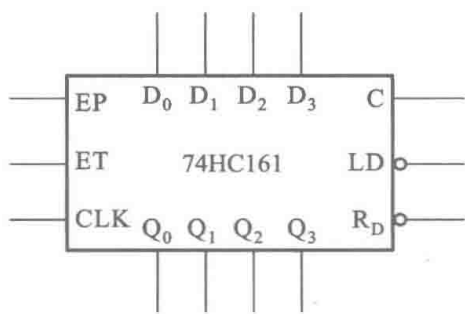


图 T4.5

六、分析图 T4.6 给出的时序逻辑电路,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图。(15分)

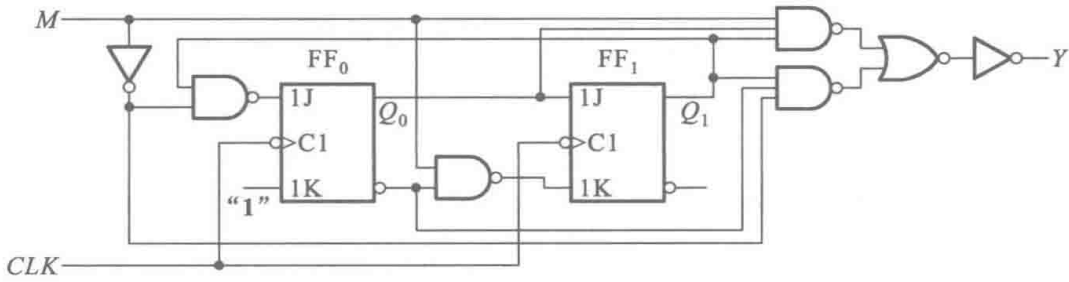


图 T4.6

七、画出图 T4.7 电路中  $v_{o1}$ 、 $v_{o2}$  的波形,并计算  $v_{o1}$  输出脉冲的宽度和  $v_{o2}$  输出波形的周期。当  $V_{CC} = 12\text{ V}$  时,555 定时器输出的高、低电平分别为  $11\text{ V}$  和  $0.2\text{ V}$ ,输出电阻小于  $100\ \Omega$ 。电路参数和输入电压波形如图所示。(15分)

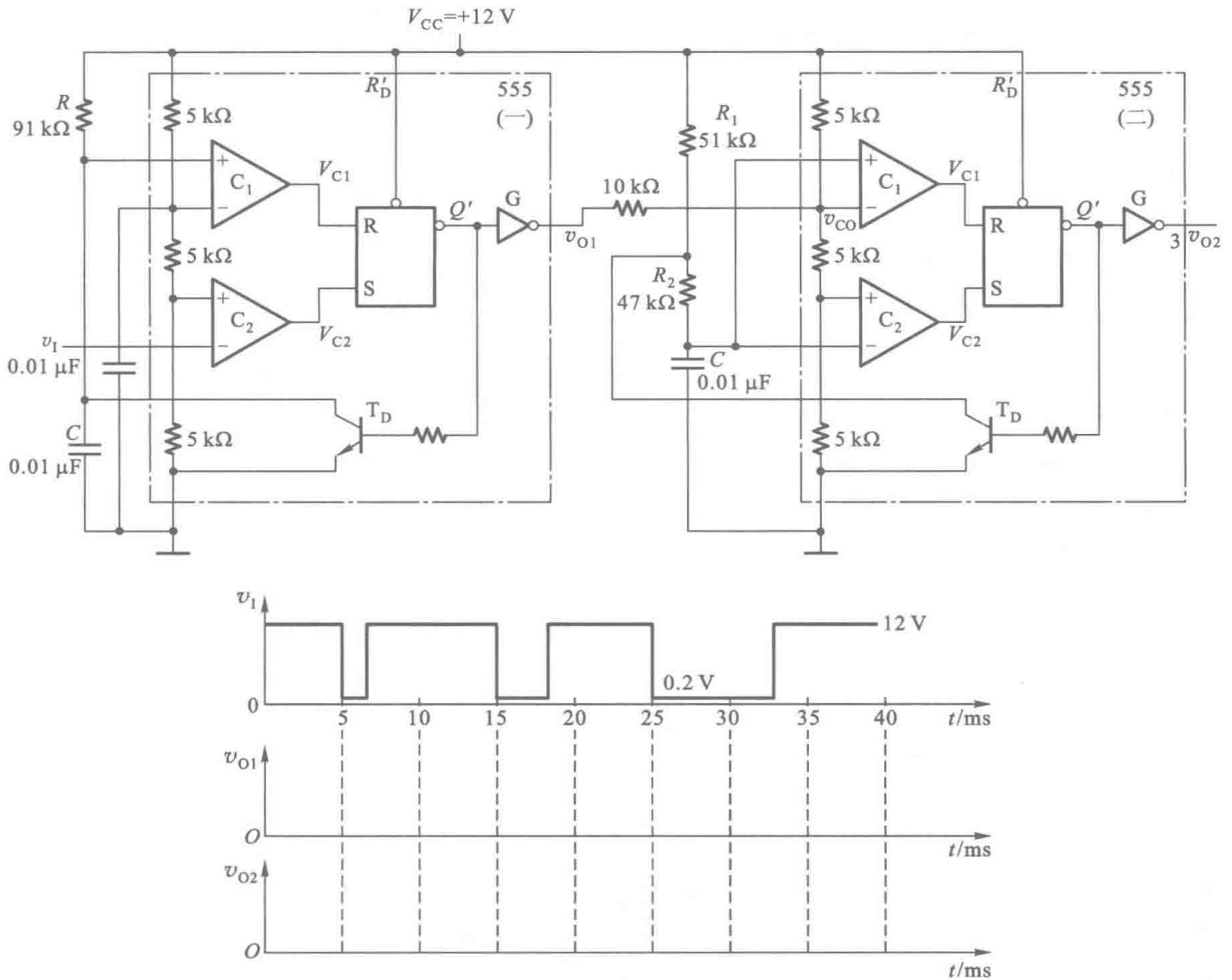


图 T4.7

八、在图 T4.8 的接口电路中,已知三极管的  $\beta$  为 100,导通时  $V_{BE} = 0.7 \text{ V}$ ,饱和压降为  $V_{CES} = 0.1 \text{ V}$ ;  $R_C = 4.7 \text{ k}\Omega$ 。OC 门允许的最大负载电流为  $I_{LM} = 10 \text{ mA}$ ,这时输出的低电平  $V_{OL} = 0.1 \text{ V}$ 。OC 门输出三极管截止时的漏电流为  $I_{OH} \leq 200 \mu\text{A}$ 。TTL 门电路的低电平输入电流为  $I_{IL} = -1.5 \text{ mA}$ ,高电平输入电流为  $I_{IH} = 20 \mu\text{A}$ 。

1. 要求三极管反相器输出  $V_C$  的高电平大于  $3.5 \text{ V}$ ,低电平低于  $0.3 \text{ V}$ ,试计算电阻  $R_B$  的取值范围。
2. 若将 OC 门改为推拉式输出的与非门,会发生什么问题? (15 分)

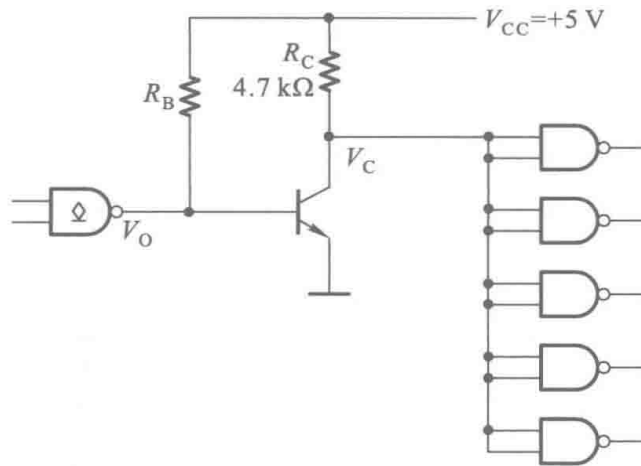


图 T4.8

### 试卷 4 答案

一、 $Y_1 = (H)$ ;  $Y_2 = (L)$ ;  $Y_3 = (H)$ ;  $Y_4 = (L)$ ;  $Y_5 = (L)$ 。

本题共 10 分,每个小题 2 分。

二、 $Y_1 = (H)$ ;  $Y_2 = (Z)$ ;  $Y_3 = (L)$ ;  $Y_4 = (H)$ ;  $Y_5 = (L)$ 。

本题共 10 分,每个小题 2 分。

三、 $Y_1 = A'B + AB'$

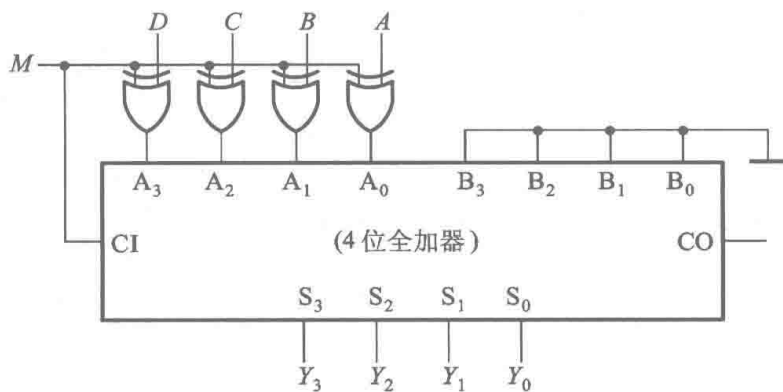
$Y_2 = AB'C'D' + A'BC'D' + A'B'CD + A'B'C'D + A'BCD + AB'CD + ABC'D + ABCD'$

$Y_3 = M'PQ + MP'Q$

本题共 15 分,每个小题 5 分。每个小题的逻辑式写对了而未化简,扣 3 分。

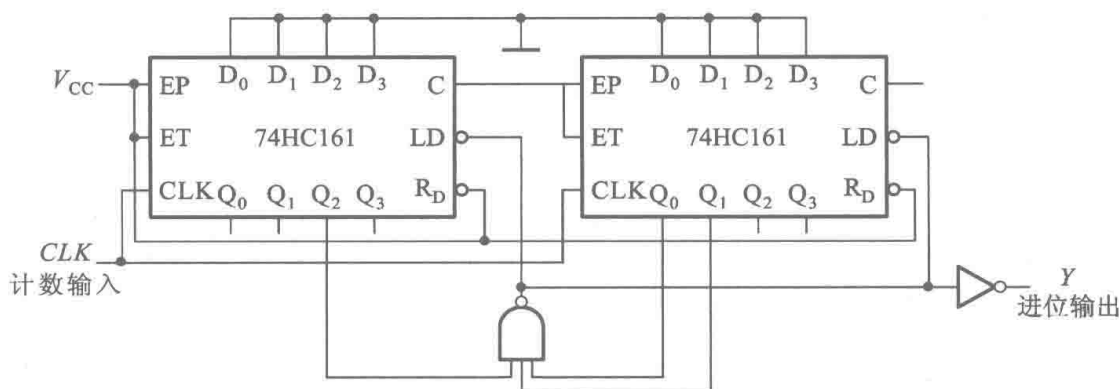
四、根据二进制数补码的定义,正数( $M=0$ 时)时的补码与原码相同,负数( $M=1$ 时)的补码等于原码各位求反后在末位加 1。可以用 4 位二进制加法器和四个异或门组成这个电路,如图解 4.4 所示。

因为该题为设计性题目,所以图解 4.4 不是唯一的答案。题目中已说明“电路应力求简单”,并要求“选用适当的中规模集成电路”,因而未选用 4 位全加器集成电路的不给分。未选用异或门求反的扣 2 分。本题满分为 10 分。



图解 4.4

五、本题为设计性题目,答案不是唯一的。图解 4.5 给出的答案采用了整体置数法。当高位片计为 3、低位片计为 4,即计入了  $16 \times 3 + 4 = 52$  个  $CLK$  脉冲后,产生  $LD' = 0$  信号,第 53 个  $CLK$  脉冲到达时,两片 74HC161 同时置为全零状态,故为五十三进制。



图解 4.5

本题共 10 分,未标出计数输入端扣 1 分,未正确标出进位输出端扣 2 分(注意,高位片的 C 端没有输出信号,不能作进位输出端用)。

如果将 74HC161 误看做十进制计数器了,即使按十进制计数器做对了,也只能得一半分数(最多得 5 分)。

六、电路的驱动方程为

$$\begin{cases} J_0 = (M'Q_1)'; & K_0 = 1 \\ J_1 = Q_0; & K_1 = (MQ_0)' \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = (M'Q_1)'Q_0' = (M+Q_1')Q_0' \\ Q_1^* = Q_0Q_1' + MQ_0'Q_1 \end{cases}$$

输出方程为

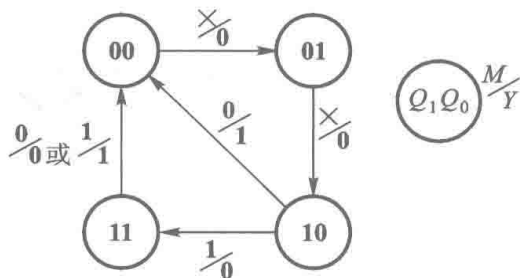
$$Y = MQ_1Q_0 + M'Q_1Q_0'$$

状态转换表如表解 4.6,状态转换图如图解 4.6。



表解 4.6 图 T4.6 电路的状态转换表

$Q_1^* Q_0^* / Y$	$Q_1 Q_0$			
	00	01	10	11
$M$				
1	01/0	10/0	11/0	00/1
0	01/0	10/0	00/1	00/0



图解 4.6

不难看出,当  $M=1$  时图 T4.6 电路是四进制计数器,而当  $M=0$  时电路是三进制计数器。

本题共 15 分,采用分段评分的办法,就是如果前面的步骤中发生了笔误并已扣分,而在这个基础上做下去的方法和结果是对的,则仍可得到后面步骤的分数。

状态方程占 4 分(每个触发器的状态方程 2 分),驱动方程占 2 分(每个触发器的驱动方程 1 分),输出方程占 1 分。状态转换表和状态转换图各占 4 分。状态转换图中没有正确标明输入/输出状态者,扣 2 分。

七、第(一)个 555 定时器工作在单稳态电路状态,第(二)个 555 定时器工作在多谐振荡电路状态。 $v_{o1}$  输出脉冲的宽度为

$$\begin{aligned} t_w &= 1.1RC \\ &= 1.1 \times 91 \times 10^3 \times 0.05 \times 10^{-6} \text{ s} \\ &= 5 \text{ ms} \end{aligned}$$

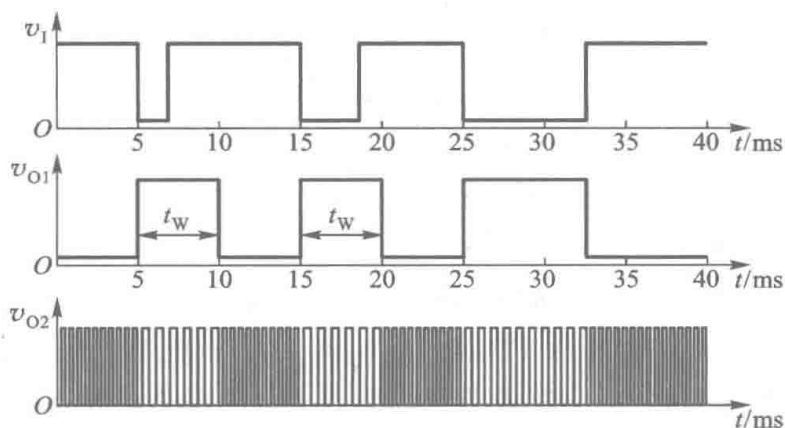
当  $v_{o1} = 0.2 \text{ V}$  时,根据电路计算可得  $V_{CO} = 6 \text{ V}$ ,故第(二)个 555 定时器的正、负向阈值电压分别为  $V_{T+} = 6 \text{ V}$ 、 $V_{T-} = 3 \text{ V}$ ,它的振荡周期为

$$\begin{aligned} T_S &= (R_1 + R_2) C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_2 C \ln \frac{V_{T+}}{V_{T-}} \\ &= \left[ (51 + 27) \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{12 - 3}{12 - 6} \right. \\ &\quad \left. + 27 \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{6}{3} \right] \text{ s} \\ &= (0.312 + 0.186) \text{ ms} \\ &= 0.5 \text{ ms} \end{aligned}$$

当  $v_{o1} = 11 \text{ V}$  时,根据电路计算可求得  $V_{CO} = 8.8 \text{ V}$ ,第(二)个 555 定时器的正、负向阈值电压各为  $V_{T+} = 8.8 \text{ V}$ 、 $V_{T-} = 4.4 \text{ V}$ ,这时的振荡周期为

$$\begin{aligned} T_L &= \left[ (51 + 27) \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{12 - 4.4}{12 - 8.8} \right. \\ &\quad \left. + 27 \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{8.8}{4.4} \right] \text{ s} \\ &= (0.675 + 0.186) \text{ ms} \\ &= 0.86 \text{ ms} \end{aligned}$$

$v_{o1}$  及  $v_{o2}$  的波形如图解 4.7 所示。



图解 4.7

本题共 15 分,采用分段评分的办法。 $v_{O1}$  宽度计算、 $v_{O1} = 0.2 \text{ V}$  时  $v_{O2}$  周期的计算、 $v_{O1} = 11 \text{ V}$  时  $v_{O2}$  周期的计算、 $v_{O1}$  的波形图、 $v_{O2}$  的波形图各占 3 分。

计算方法正确而计算结果有误,每处扣 2 分。

$v_1$  低电平宽度大于  $T_w$  时, $v_{O1}$  高电平持续时间大于  $T_w$ ,与  $v_1$  低电平持续时间相等。此处画错者扣 2 分。

八、1.  $R_B$  取值范围的计算:

OC 门导通时三极管截止,三极管反相器的输出为

$$\begin{aligned} V_C &= V_{CC} - 10I_{IH}R_C \\ &= (5 - 10 \times 0.02 \times 4.7) \text{ V} \\ &= 4.06 \text{ V} \end{aligned}$$

$V_C$  大于要求的  $3.5 \text{ V}$ ,满足要求。但  $R_B$  不能太小,以保证 OC 门的电流不超过  $I_{LM}$ 。由此得到

$$\begin{aligned} \frac{V_{CC} - V_{OL}}{R_B} &\leq I_{LM} \\ R_B &\geq \frac{V_{CC} - V_{OL}}{I_{LM}} = \frac{5 - 0.1}{10} \text{ k}\Omega = 490 \Omega \end{aligned}$$

OC 门截止时三极管导通。为保证三极管工作在饱和导通状态, $I_B$  必须大于临界饱和基极电流  $I_{BS}$ ,因此  $R_B$  不能过大。由于必须保证

$$I_B \geq I_{BS}$$

又知

$$\begin{aligned} I_B &= \frac{V_{CC} - V_{BE}}{R_B} \\ I_{BS} &= \frac{I_{CS}}{\beta} = \frac{1}{\beta} \left( \frac{V_{CC} - V_{CES}}{R_C} + 5 |I_{IL}| \right) \end{aligned}$$

故得出

$$\frac{V_{CC} - V_{BE}}{R_B} \geq \frac{1}{\beta} \left( \frac{V_{CC} - V_{CES}}{R_C} + 5 |I_{IL}| \right)$$

$$\begin{aligned}
 R_B &\leq \frac{\beta(V_{CC} - V_{BE})}{(V_{CC} - V_{CES})/R_C + 5 |I_{IL}|} \\
 &= \frac{100 \times (5 - 0.7)}{(5 - 0.1)/4.7 + 5 \times 1.5} \text{ k}\Omega \\
 &= 50 \text{ k}\Omega
 \end{aligned}$$

于是得到  $R_B$  的取值范围为

$$0.49 \text{ k}\Omega \leq R_B \leq 50 \text{ k}\Omega$$

2. 若将 OC 门改为推拉式输出的 TTL 与非门, 则由于三极管导通时发射结 (be) 的内阻极低, TTL 与非门的负载电流将过大, 会超出与非门最大允许的高电平输出电流。

本题共 15 分,  $R_B$  最大允许值和最小允许值的计算各占 5 分, 第(2)个问题的回答占 5 分。计算  $R_B$  取值范围时, 如计算公式正确而数值运算过程中发生笔误, 每处扣 2 分。

**哈工大资源分享站**  
QQ: 2842305604

扫一扫二维码, 加我QQ好友。

**哈工大软件分享中心**  
群号: 626648181

扫一扫二维码, 加入群聊。

编译原理 (密码1920)



机械原理 (密码1920)



电路 (密码1920)



## 试 卷 5

一、将下列逻辑函数展开为最小项之和的形式。(10分)

1.  $Y(A, B, C) = A'BC + AC' + B'$

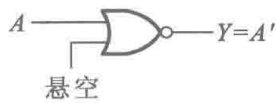
2.  $Y(A, B, C, D) = A'BD + AC'D' + BCD$

二、将下列逻辑函数化为最简与-或式(方法不限)。(10分)

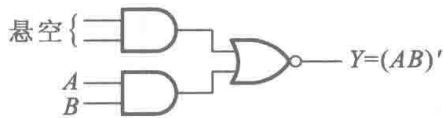
1.  $Y(A, B, C, D) = AB'CD + ABD + AC'D$

2.  $Y(A, B, C, D) = CD'(AB' + A'B) + A'BC' + A'C'D$ ; 约束条件  $AB + CD = 0$ 。

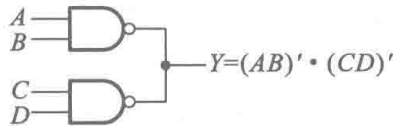
三、说明图 T5.3 中各电路能否正常工作。如果不能正常工作,请说明原因,并改正为可正常工作。(15分)



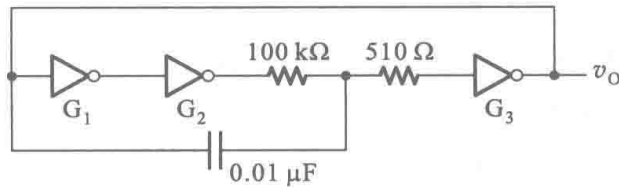
(a)



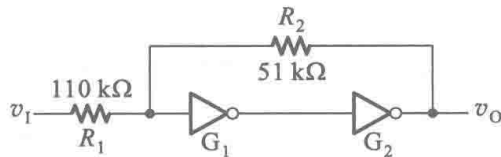
(b)



(c)



(d)



(e)

图 T5.3

- (a) 用 74HC 系列或非门接成反相器 (b) 用 74 系列 TTL 与非门接成与非门  
 (c) 用 74 系列 TTL 与非门(推拉式输出)接成线与 (d) 用 74 系列 TTL 反相器接成环形振荡器  
 (e) 用 CMOS 反相器接成施密特触发器

四、用 8 选 1 数据选择器设计两位二进制数的数值比较电路。当两个输入的二进制数  $a_1a_0 \geq b_1b_0$  时,输出为 1;而当  $a_1a_0 < b_1b_0$  时,输出为 0。8 选 1 数据选择器的框图如图 T5.4,输出的逻辑式为

$$Y = (A_2'A_1'A_0')D_0 + (A_2'A_1'A_0)D_1 + (A_2'A_1A_0')D_2 + (A_2'A_1A_0)D_3 + (A_2A_1'A_0')D_4 + (A_2A_1'A_0)D_5 + (A_2A_1A_0')D_6 + (A_2A_1A_0)D_7 \quad (15 \text{ 分})$$

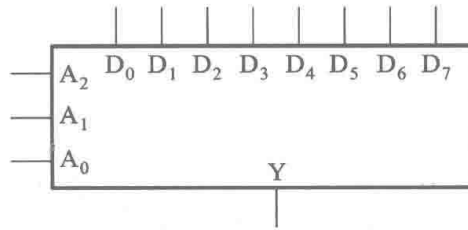


图 T5.4

五、分析图 T5.5 的时序逻辑电路,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图。(15 分)

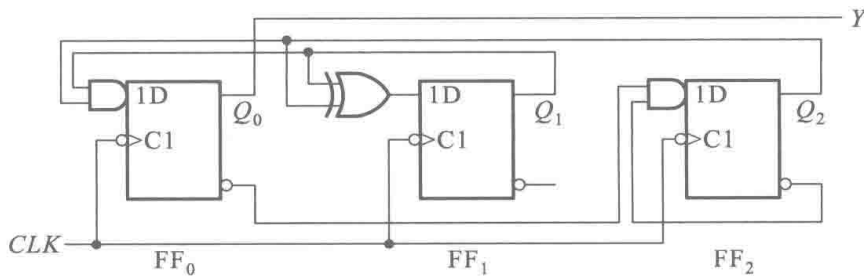


图 T5.5

六、用三片 8 线-3 线优先编码器 74HC148 组成 20 线-5 线优先编码器,将输入的低电平信号  $A'_0 \sim A'_{19}$  编为输出代码 00000~10011。 $A'_0$  的优先权最低, $A'_{19}$  的优先权最高。要求画出电路的连接图,标明输入端和输出端。可以附加必要的门电路。

图 T5.6 为 74HC148 的框图。其中  $Y'_s$  的低电平输出信号表示“电路工作,但无编码输入”; $Y'_{EX}$  的低电平输出信号表示“电路工作,而且有编码输入”; $I'_0 \sim I'_7$  为输入, $I'_7$  的优先权最高, $I'_0$  的优先权最低; $Y'_2Y'_1Y'_0$  为编码输出; $S'$  为片选输入端。(15 分)

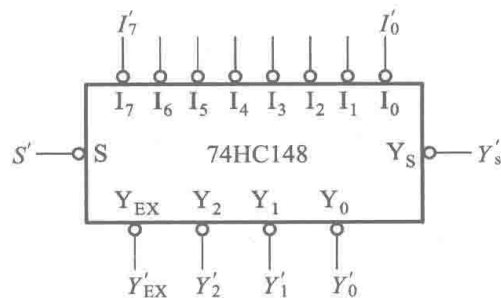


图 T5.6



七、图 T5.7 是用两片同步十六进制计数器 74HC161 接成的计数器。试说明接成的是几进制计数器,是同步计数器还是异步计数器? 74HC161 的功能表见表 T5.7 (10 分)

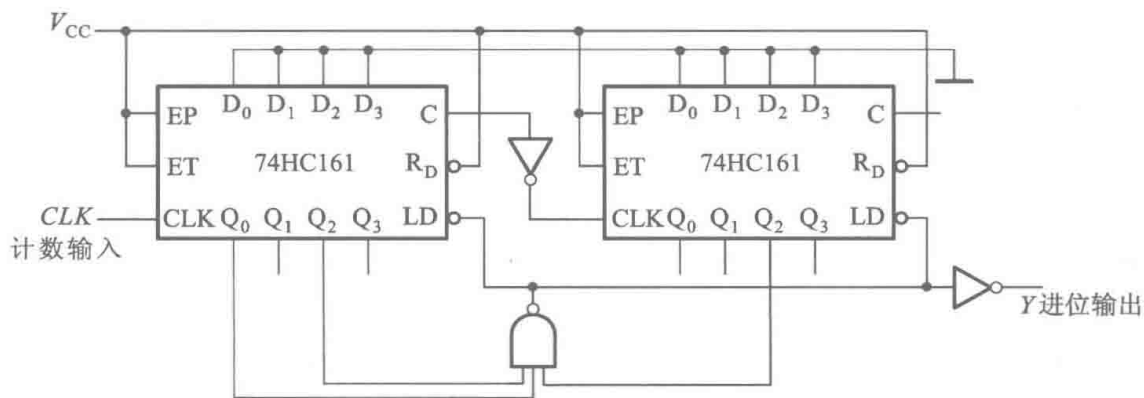


图 T5.7

表 T5.7 74HC161 的功能表

CLK	$R_D'$	$LD'$	EP	ET	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 C=0)
	1	1	1	1	计数

八、在图 T5.8 的增益可编程放大电路中,AD7520 是 10 位 D/A 转换器, $R_1 = 10R$  ( $R$  的阻值与  $R-2R$  倒 T 形电阻网络中的电阻  $R$  阻值相同)。试写出计算电压放大倍数  $A_v = V_o/V_i$  的公式,并求当 D/A 转换器输入的数字量从最小变到最大时,  $A_v$  的变化范围。(10 分)

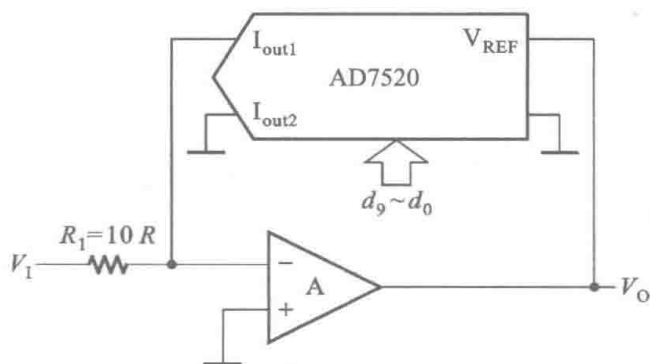


图 T5.8

### 试卷 5 答案

1.  $Y(A, B, C) = A'BC + AB'C' + ABC' + A'B'C' + A'B'C + AB'C$
2.  $Y(A, B, C, D) = A'BC'D + A'BCD + AB'C'D' + ABC'D' + ABCD$

本题共 10 分,每个小题 5 分。多写或少写一项扣 2 分。每发现一处笔误(例如多写或少写一个非号,或写错一个字母)扣 1 分。

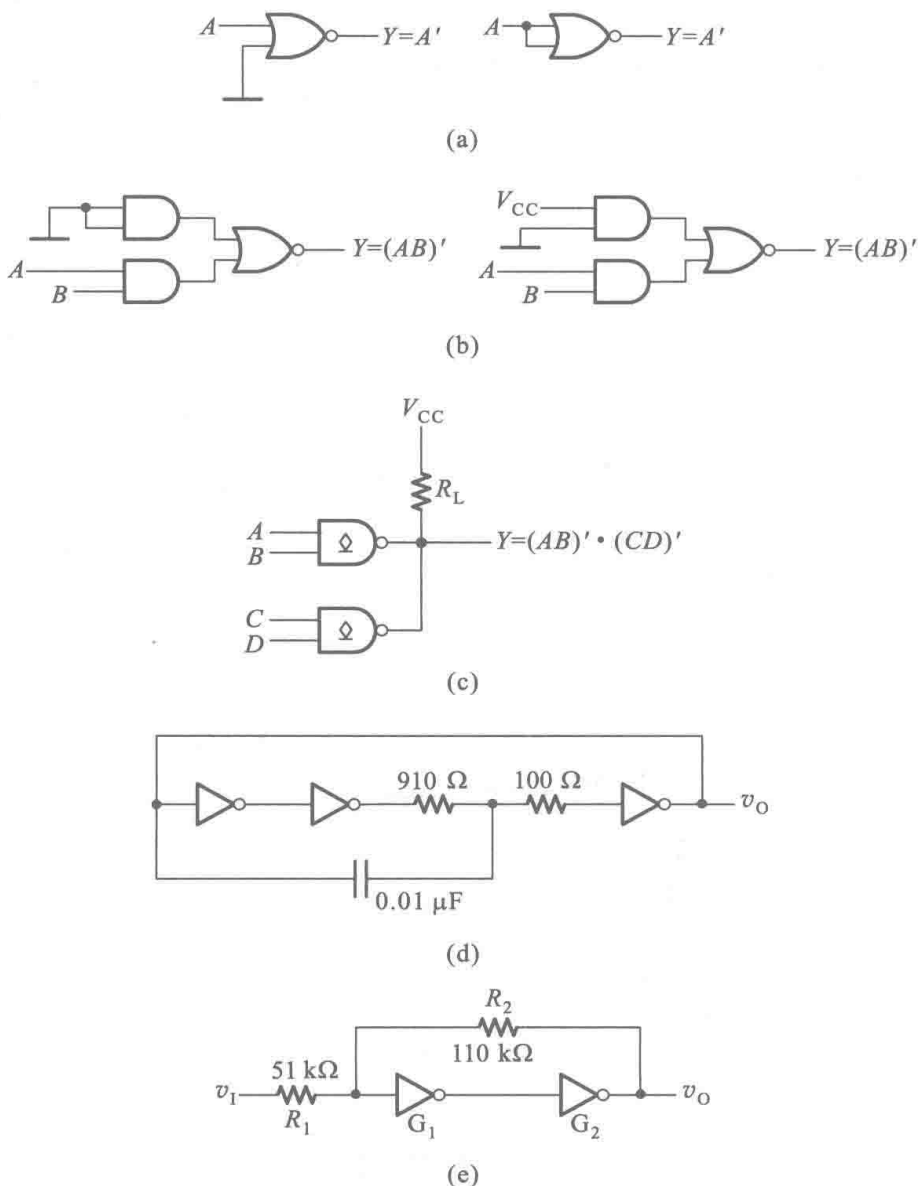
二、1.  $Y=AD$

2.  $Y=A'D+AC+B$

本题共 10 分,每个小题 5 分。第 2 小题未利用约束项化简者不给分。每个小题中发生笔误者扣 1~2 分。

三、(a) 图电路不能正常工作,因为 CMOS 门电路输入端不可悬空。改正的方法可以将悬空的输入端直接接地(也可经电阻接地),或者与信号输入端并联。如图解 5.3(a)。

(b) 图电路不能正常工作。因为 TTL 电路的输入端悬空时相当于接逻辑高电平,所以该电路的输出始终为逻辑低电平。改正的方法是将两个悬空输入端(或其中之一)接地(接逻辑低电平),如图解 5.3(b)。



图解 5.3

(a) 用 74HC 系列或非门接成反相器 (b) 用 74 系列与或非门接成与非门 (c) 用 74 系列 TTL OC 门接成线与 (d) 用 74 系列 TTL 反相器接成环形振荡器 (e) 用 CMOS 反相器接成施密特触发器

(c)图电路不能正常工作。因为两个与非门是推拉式输出级电路结构,所以不能将输出端并联使用。改正的方法是将两个门电路改为 OC 结构的与非门,如图解 5.3(c)所示。

(d)图电路不能正常工作。因为 100 kΩ 电阻阻值过大,致使反相器 G<sub>3</sub> 的输入始终处于高电平,所以电路将停振。改正的方法是将 100 kΩ 的电阻减小至 1 kΩ 以内,如图解 5.3(d)。

(e)图电路不能正常工作。由于 R<sub>1</sub>>R<sub>2</sub>,当 v<sub>0</sub> 处于低电平时,无论 v<sub>1</sub> 是高电平还是低电平,反相器 G<sub>1</sub> 的输入端将一直处于阈值电压 V<sub>TH</sub>( $\frac{1}{2}V_{DD}$ ) 以下;而当 v<sub>0</sub> 处于高电平时,无论 v<sub>1</sub> 是高电平还是低电平,G<sub>1</sub> 的输入将一直处于 V<sub>TH</sub> 以上。因此 v<sub>1</sub> 的变化不能改变电路的状态,即不能触发这个电路。改正的方法是减小 R<sub>1</sub> 或加大 R<sub>2</sub>,使 R<sub>1</sub><R<sub>2</sub>。例如,可以将 R<sub>1</sub> 与 R<sub>2</sub> 对掉位置,如图解 5.3(e)。

本题共 15 分,每个小题 3 分。仅说明不能正常工作而没有说明原因并改正者,不给分。说明了原因而未改正,或改正的方法不正确,扣 1 分。

四、根据题意可列出电路的逻辑真值表,如表解 5.4。从这个真值表得到

$$Z = a_1' a_0' b_1' b_0' + a_1' a_0 b_1' b_0' + a_1' a_0 b_1' b_0 + a_1 a_0' b_1' b_0' + a_1 a_0' b_1' b_0 + a_1 a_0' b_1 b_0' + a_1 a_0' b_1 b_0 + a_1 a_0 b_1' b_0' + a_1 a_0 b_1' b_0 + a_1 a_0 b_1 b_0' + a_1 a_0 b_1 b_0$$

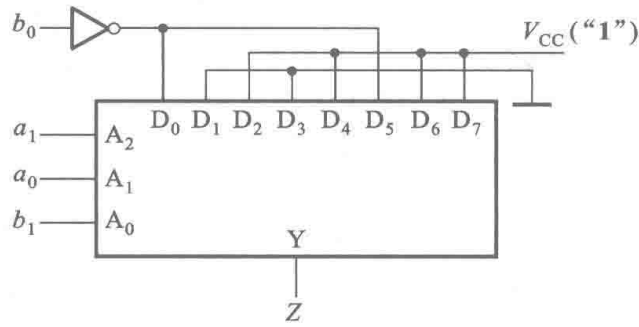
将上式整理成与数据选择器的输出逻辑式对应的形式

$$Z = (a_1' a_0' b_1') b_0' + (a_1' a_0' b_1) \cdot 0 + (a_1' a_0 b_1') \cdot 1 + (a_1' a_0 b_1) \cdot 0 + (a_1 a_0' b_1') \cdot 1 + (a_1 a_0' b_1) b_0' + (a_1 a_0 b_1') \cdot 1 + (a_1 a_0 b_1) \cdot 1$$

令 A<sub>2</sub>=a<sub>1</sub>, A<sub>1</sub>=a<sub>0</sub>, A<sub>0</sub>=b<sub>1</sub>, D<sub>0</sub>=b<sub>0</sub>', D<sub>1</sub>=0, D<sub>2</sub>=1, D<sub>3</sub>=0, D<sub>4</sub>=1, D<sub>5</sub>=b<sub>0</sub>', D<sub>6</sub>=1, D<sub>7</sub>=1, 则数据选择器的输出 Y 就是所需要的 Z。电路连接如图解 5.4 所示。

表解 5.4 两位二进制数数值比较器的真值表

输 入				输出 Z
a <sub>1</sub>	a <sub>0</sub>	b <sub>1</sub>	b <sub>0</sub>	
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



图解 5.4

本题共 15 分,采用分段评分的办法。真值表、逻辑式、逻辑图各占 5 分。如果不经过列真值表直接写出逻辑式,则逻辑式占 10 分。若前面的步骤发生了笔误,而在此基础上继续做下去的方法和结果是对的,仍可得到后续步骤的分数。解题过程中每发生一处笔误扣 2 分。

五、电路的驱动方程为

$$\begin{cases} D_0 = Q_1 Q_2 \\ D_1 = Q_1 \oplus Q_2 \\ D_2 = Q_0' Q_2' \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_1 Q_2 \\ Q_1^* = Q_1 \oplus Q_2 \\ Q_2^* = Q_0' Q_2' \end{cases}$$

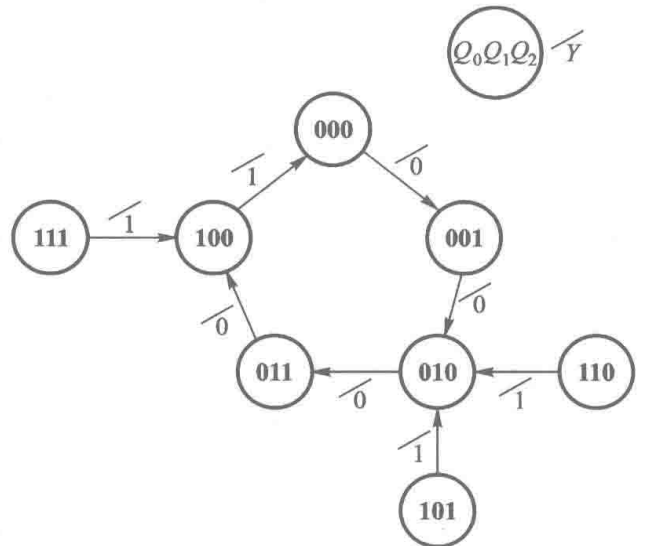
输出方程为

$$Y = Q_0$$

电路的状态转换表和状态转换图如表解 5.5 和图解 5.5。

表解 5.5 图 T5.5 电路的状态转换表

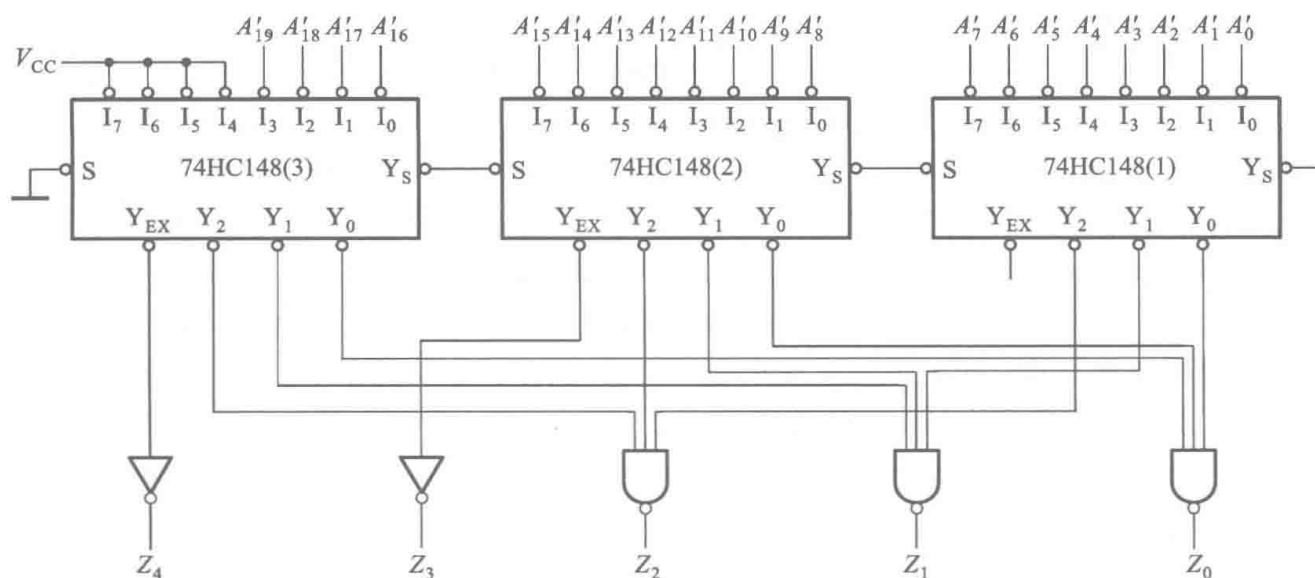
CLK	$Q_0$	$Q_1$	$Q_2$	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	0	0	0	0
0	1	0	1	1
1	0	1	0	0
0	1	1	0	1
1	0	1	0	0
0	1	1	1	1
1	1	0	0	1



图解 5.5

本题共 15 分,采用分段评分的办法(见上题中说明)。驱动方程和状态方程各占 3 分,其中每个式子 1 分。输出方程占 1 分。状态转换表和状态转换图各占 4 分。未考虑无效状态者扣 2 分,状态转换图中未标明输出者扣 2 分。

六、首先将三片 74HC148 按优先顺序串联起来(如图解 5.6),则第(1)片的优先权最低,第(3)片的优先权最高。每片内部的优先顺序已固定, $I'_0$  优先权最低, $I'_7$  优先权最高。



图解 5.6

由于每片 74HC148 只有 3 位输出代码,而且三片的输出代码都是  $000 \sim 111$ ,所以只能提供 5 位输出编码的低 3 位,因而必须利用各片的  $Y'_{EX}$  输出信号产生高两位代码,以便区分三片 74HC148。

按照题目要求,第(1)片工作时( $Y_{EX1} = 1, Y_{EX2} = Y_{EX3} = 0$ )输出代码应为  $Z_4Z_3Z_2Z_1Z_0 = 00000 \sim 00111$ ,所以  $Z_4Z_3$  应为  $00$ 。第(2)片工作时( $Y_{EX2} = 1, Y_{EX1} = Y_{EX3} = 0$ )输出代码应为  $Z_4Z_3Z_2Z_1Z_0 = 01000 \sim 01111$ ,所以  $Z_4Z_3$  应为  $01$ 。第(3)片工作时( $Y_{EX3} = 1, Y_{EX1} = Y_{EX2} = 0$ )输出代码应为  $Z_4Z_3Z_2Z_1Z_0 = 10000 \sim 10111$ ,所以  $Z_4Z_3$  应为  $10$ 。由此得到  $Z_4Z_3$  与  $Y_{EX1}, Y_{EX2}, Y_{EX3}$  关系的真值表,如表解 5.6 所示。

表解 5.6  $Z_4, Z_3$  的真值表

$Y_{EX3}$	$Y_{EX2}$	$Y_{EX1}$	$Z_4$	$Z_3$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0

由上表可以写出

$$Z_4 = Y_{EX3} Y'_{EX2} Y'_{EX1}$$

$$Z_3 = Y'_{EX3} Y_{EX2} Y'_{EX1}$$



因为  $Y_{EX3}$ 、 $Y_{EX2}$ 、 $Y_{EX1}$  是一组互相排斥的变量(即任何时候只能有一个为 **1**)，故可将上两式化简为

$$Z_4 = Y_{EX3}$$

$$Z_3 = Y_{EX2}$$

这样就可以画出图解 5.6 的电路连接图了。

本题共 15 分，三片 74HC148 之间的连接占 5 分， $Z_4$ 、 $Z_3$  的产生电路各占 3 分， $Z_2$ 、 $Z_1$ 、 $Z_0$  的产生电路共占 4 分。

七、当高位片计成 4、低位片计成 5，即计入  $16 \times 4 + 5 = 69$  个计数脉冲后，产生  $LD' = 0$  信号，第 70 个计数脉冲到来后将两个 74HC161 同时置成全零，所以是七十进计数器。

因两片 74HC161 之间是异步连接，所组成的七十进制计数器为异步计数器。

本题共 10 分。如果误按异步置数法作，得出六十九进制，扣 5 分。若误将 74HC161 当作十进计数器，得出四十六进制，扣 5 分。

八、在本书第二部分第八章数-模和模-数转换的难点释疑中曾经讲过，当我们将倒 T 形电阻网络 D/A 转换器的输出端接至负反馈求和放大器的输入端时， $V_{REF}$  与  $I_{out1}$  之间相当于一个可编程电阻  $R_{EQ}$ ，其值由本书式(8-2-5)给出

$$R_{EQ} = \frac{V_{REF}}{I_{\Sigma}} = \frac{2^n R}{D}$$

于是就可以写出图 T5.8 电路的电压放大倍数为

$$\begin{aligned} A_V &= -\frac{R_{EQ}}{R_1} \\ &= -\frac{2^n R}{10R \cdot D} \\ &= -\frac{1}{10} \times \frac{2^n}{D} \end{aligned}$$

当  $D=0$  时， $A_V = -\infty$ ；当  $D=2^n-1$  时，得到

$$\begin{aligned} A_V &= -\frac{1}{10} \times \frac{2^n}{2^n-1} \\ &= -\frac{1}{10} \times \frac{2^{10}}{2^{10}-1} \approx -0.1 \end{aligned}$$

因此，当  $D$  从最小(全 **0**)变到最大(全 **1**)时， $A_V$  的变化范围为  $-\infty$  到  $-0.1$ 。

本题共 10 分， $A_V$  的计算公式和  $A_V$  数值变化范围的计算各占 5 分。

## 试 卷 6

一、选择填空。从每一小题的四个选项中选出一个正确的答案,并将其编号填入该题后边的括号中。(20分)

1. 下列函数式中,是最小项之和形式的为( )

- A.  $Y_1(A, B, C) = A + B'C$ ;
- B.  $Y_2(A, B, C) = A'B'C' + AB'C + ABC'$ ;
- C.  $Y_3(A, B, C) = ABC + (A'BC)'$
- D.  $Y_4(A, B, C, D) = ACD + A'C'D + ABD'$ 。

2. 和 TTL 电路相比,CMOS 电路最突出的优势在于( )

- A. 可靠性高;      B. 抗干扰能力强;      C. 速度快;      D. 功耗低。

3. 可以将输出端直接并联实现线与逻辑的门电路是( )

- A. 三态输出的门电路;      B. 推拉式输出结构的 TTL 门电路;
- C. 互补输出结构的 CMOS 门电路;      D. 集电极开路输出的 TTL 门电路。

4. 在图 T6.4 的 TTL 门电路中,输出为高电平的是( )

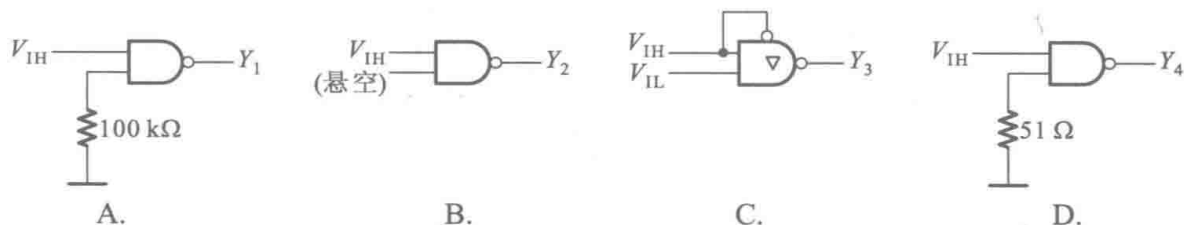


图 T6.4

5. 为了把串行输入的数据转换为并行输出的数据,可以使用( )

- A. 寄存器;      B. 移位寄存器;      C. 计数器;      D. 存储器。

6. 单稳态电路输出脉冲的宽度取决于( )

- A. 触发脉冲的宽度;      B. 触发脉冲的幅度;
- C. 电路本身的电阻、电容参数;      D. 电源电压的数值。

7. 为了提高对称式多谐振荡电路振荡频率的稳定性,

最有效的方法是( )

- A. 提高电阻、电容的精度;
- B. 提高电源的稳定度;
- C. 接入石英晶体;
- D. 保持环境温度不变。

8. 在图 T6.8 用 555 定时器接成的施密特触发电路中,

它的回差电压等于( )

- A. 8 V;      B. 3 V;
- C. 4 V;      D. 6 V。

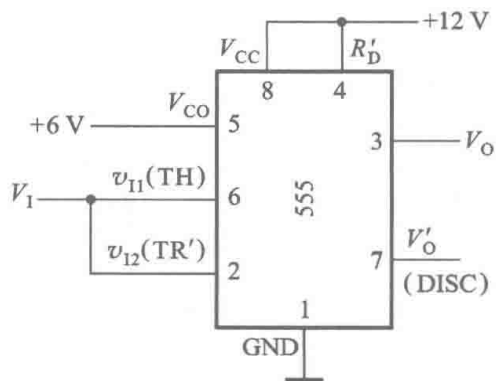


图 T6.8

9. 可编程逻辑器件的基本特征在于( )

- A. 通用性强; B. 它的逻辑功能可以由用户编程设定;  
C. 可靠性好; D. 集成度高。

10. 各种 A/D 转换器电路类型中转换速度最快的是( )

- A. 并联比较型; B. 逐次逼近型; C. 双积分型; D. V-F 变换型。

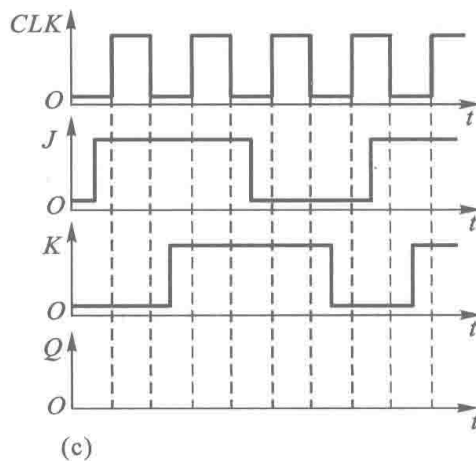
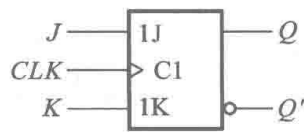
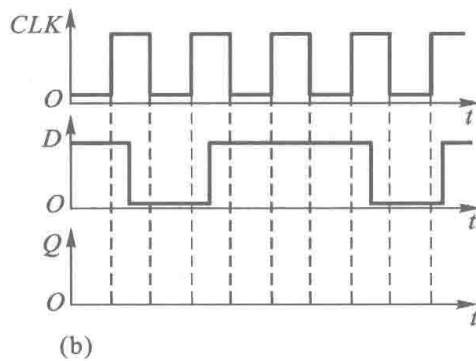
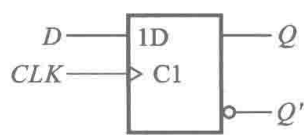
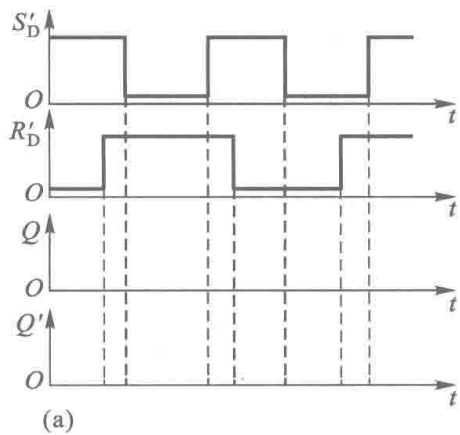
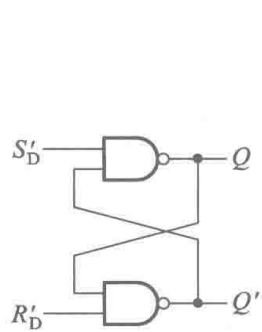
二、将下列逻辑函数式化为最简与-或形式,方法不限。

1.  $Y_1(A, B, C) = A'BC + (A+B')C$

2.  $Y_2(A, B, C, D) = ((AB')'C + C'D)' \cdot (AC + BD)$

3.  $Y_3(A, B, C, D) = A'B'D' + AB'C'D' + A'BD$ , 约束条件为  $AB + AC = 0$ 。 (15分)

三、画出图 T6.3 中各触发器输出端的电压波形。输入电压波形如图中所示。触发器的初始状态均为  $Q=0$ 。 (15分)



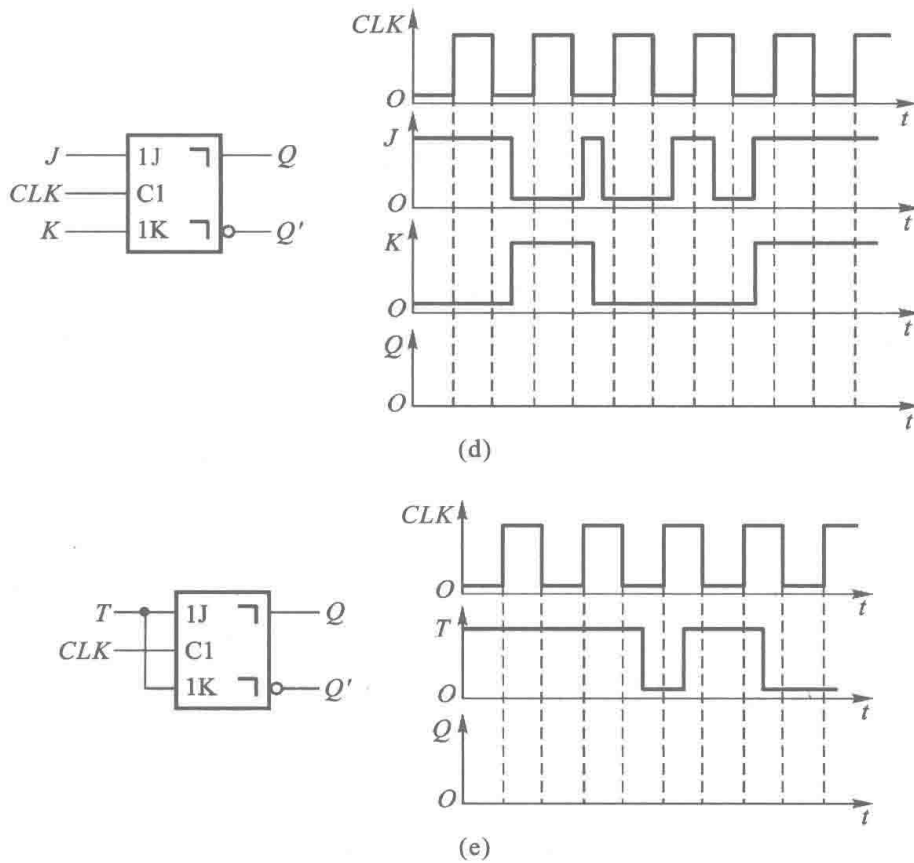


图 T6.3

- (a) SR 锁存器 (b) 边沿触发的 D 触发器 (c) 边沿触发的 JK 触发器  
 (d) 脉冲触发的 JK 触发器 (e) 用脉冲触发 JK 触发器接成的 T 触发器

四、用 1 024×8 位的 EPROM 设计一个多输出的组合逻辑电路,要求输出的逻辑函数式为

$$\begin{cases} Y_3(A, B, C, D) = B'D' + A'BD + BCD \\ Y_2(A, B, C, D) = ABC' + A'BD + B'C \\ Y_1(A, B, C, D) = A'D' + A'B'C' + BCD' + AB'CD \\ Y_0(A, B, C, D) = AB'C'D' + BD + CD \end{cases} \quad (T6.4)$$

请在 EPROM 的框图上标明所设计电路的输入端和输出端,并列出应写入 EPROM 的数据表。(10 分)

五、用同步十六进制计数器 74HC161 设计一个可变进制计数器,当控制信号  $M=1$  时为十进制,而  $M=0$  时为七进制。请标明计数输入端和进位输出端。可以附加必要的门电路。74HC161 的框图和功能表如图 T6.5 和表 T6.5。(10 分)

表 T6.5 74HC161 的功能表

CLK	$R'_D$	$LD'$	EP	ET	工作状态
×	0	×	×	×	置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 C=0)
	1	1	1	1	计数

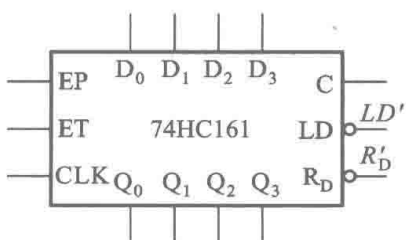


图 T6.5

六、用  $D$  触发器和门电路设计一个 3 位循环码计数器, 它的编码表及转换顺序如表 T6.6 所示。(15 分)

表 T6.6 三位循环码转换顺序表

计数顺序	计数器状态			进位输出 $Y$
	$Q_2$	$Q_1$	$Q_0$	
0	0	0	0	0
1	0	0	1	0
2	0	1	1	0
3	0	1	0	0
4	1	1	0	0
5	1	1	1	1
6	1	0	1	0
7	1	0	0	0
8	0	0	0	0

七、图 T6.7 是用 555 定时器和倒 T 形电阻网络 D/A 转换器构成的频率可编程多谐振荡电路, 电路参数如图中所标注。试求 D/A 转换器的输入  $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0$  为 **0000000000**、**1000000000** 和 **1111111111** 时振荡电路的振荡频率。求和放大器的反馈电阻  $2R$  与倒 T 形电阻网络中的  $2R$  电阻阻值相同。(15 分)

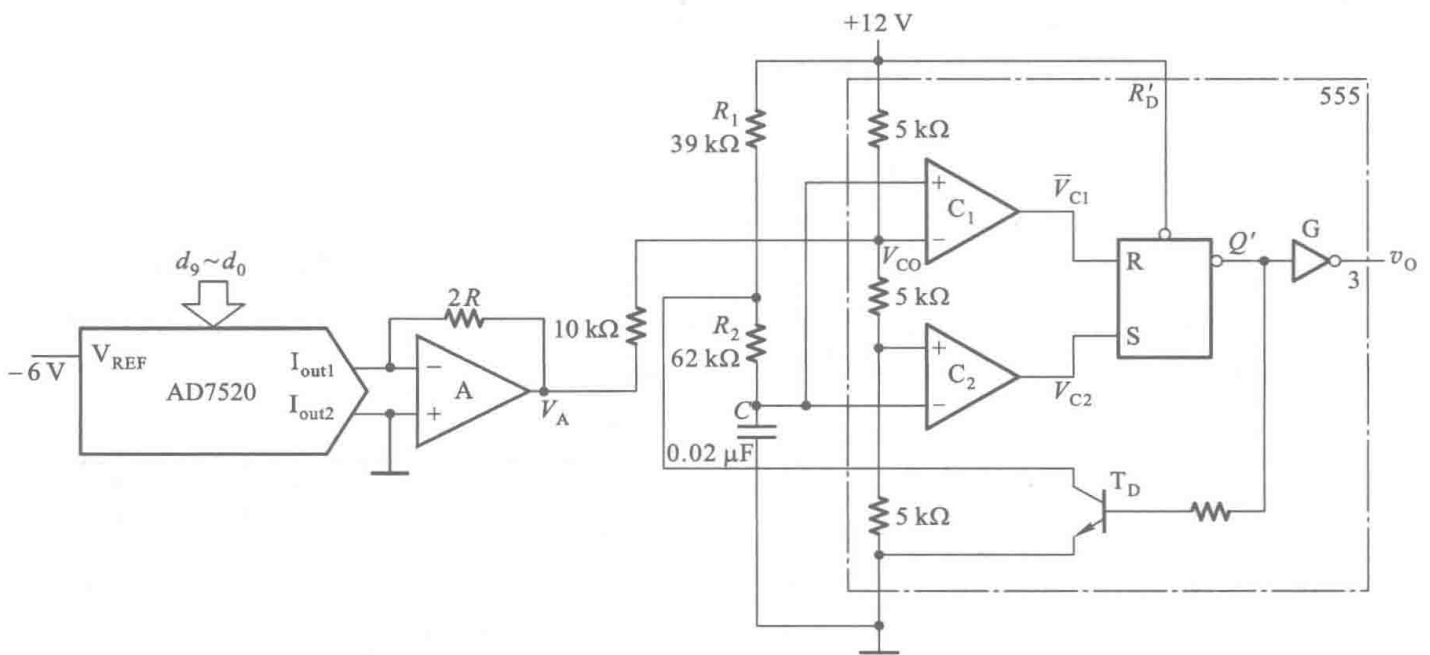


图 T6.7



### 试卷 6 答案

一、1. (B); 2. (D); 3. (D); 4. ( $Y_4$ ); 5. (B); 6. (C); 7. (C); 8. (B); 9. (B); 10. (A)。

本题共 20 分, 每个小题 2 分。

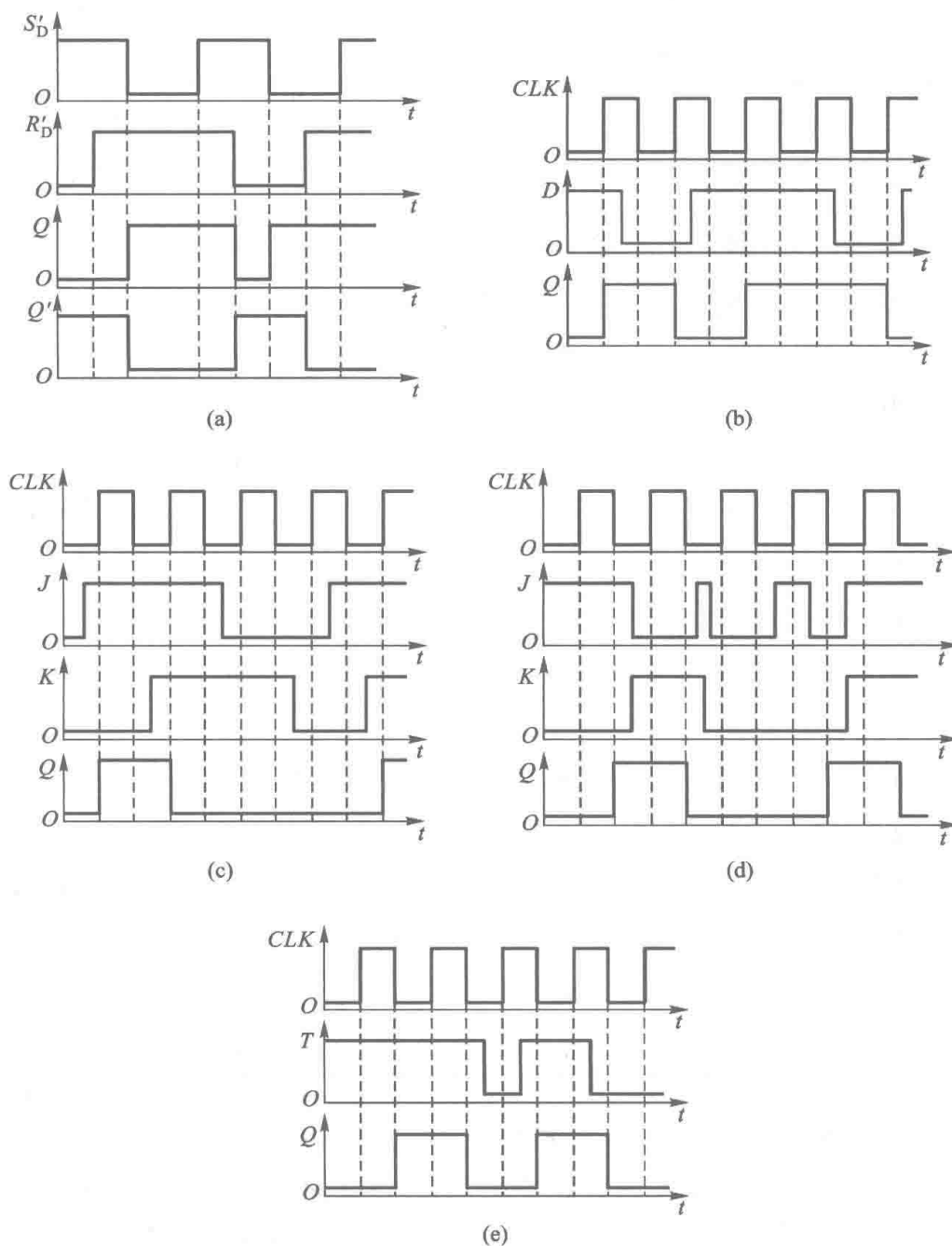
二、1.  $Y_1(A, B, C) = C$

2.  $Y_2(A, B, C, D) = AB'C$

3.  $Y_3(A, B, C, D) = B'D' + BD$

本题共 15 分, 每个小题占 5 分。笔误一处扣 2 分。第 3 小题未利用约束项化简者, 不给分。

三、见图解 6.3。



图解 6.3

本题共 15 分,每个小题 3 分。每个波形图中发生一处错误(其余部分是对的)扣 2 分。

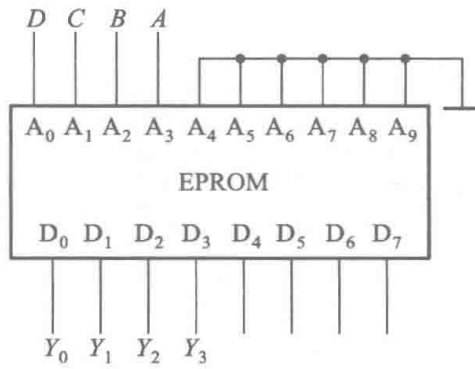
四、将式(T6.4)展开为最小项之和形式,并列出表 A6.4.1 的函数真值表。

$$\begin{cases}
 Y_3(A, B, C, D) = A'B'C'D' + A'B'CD' + A'BC'D + A'BCD + \\
 \quad AB'C'D' + AB'CD' + ABCD \\
 Y_2(A, B, C, D) = A'B'CD' + A'B'CD + A'BC'D + A'BCD + AB'CD' + \\
 \quad AB'CD + ABC'D' + ABC'D \\
 Y_1(A, B, C, D) = A'B'C'D' + A'B'C'D + A'B'CD' + A'BC'D' + \\
 \quad A'BCD' + AB'CD + ABCD' \\
 Y_0(A, B, C, D) = A'B'CD + A'BC'D + A'BCD + AB'C'D' + AB'CD + \\
 \quad ABC'D + ABCD
 \end{cases} \quad (\text{A6.4})$$

表解 6.4.1 式(A6.4)的真值表

输 入				输 出			
A	B	C	D	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	1	0	1	0
0	0	0	1	0	0	1	0
0	0	1	0	1	1	1	0
0	0	1	1	0	1	0	1
0	1	0	0	0	0	1	0
0	1	0	1	1	1	0	1
0	1	1	0	0	0	1	0
0	1	1	1	1	1	0	1
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	1	1	0	0
1	0	1	1	0	1	1	1
1	1	0	0	0	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	0	0	1	0
1	1	1	1	1	0	0	1

1 024×8 位 EPROM 有 10 位地址输入端和 8 位数据输出端,可取任意四个地址输入端为 A、B、C、D 的输入端,同时取任意四个数据输出端为  $Y_3$ 、 $Y_2$ 、 $Y_1$ 、 $Y_0$  的输出端。例如可以取  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  作为 A、B、C、D 的输入端,同时取  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$  作为  $Y_3$ 、 $Y_2$ 、 $Y_1$ 、 $Y_0$  的输出端,如图解 6.4。于是就可以根据表解 6.4.1 列出 EPROM 中应写入的数据表,如表解 6.4.2 所示。



图解 6.4

表解 6.4.2 EPROM 中的数据表

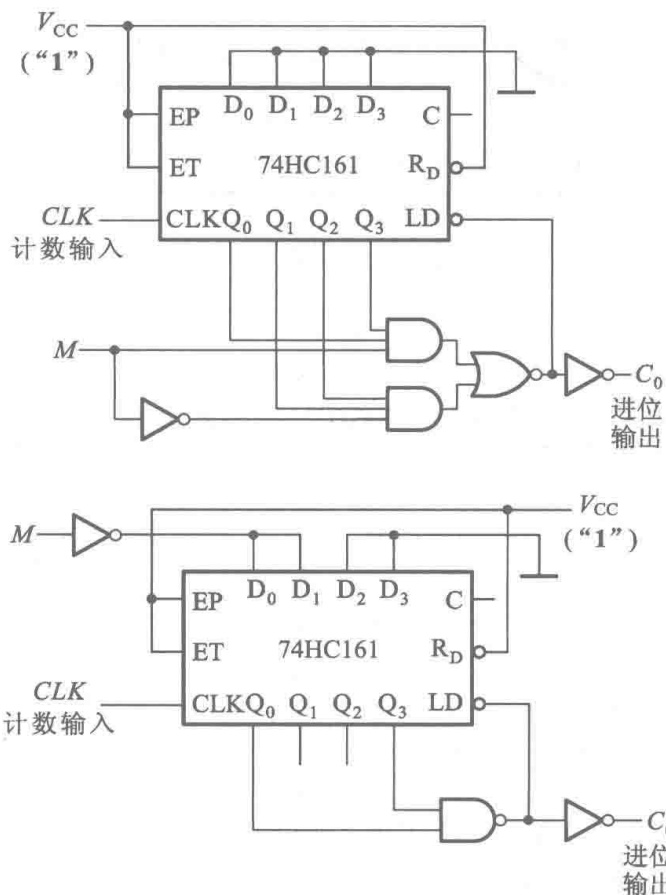
地 址										数 据							
$A_9$	$A_8$	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0	0	0	×	×	×	×	1	0	1	0
0	0	0	0	0	0	0	0	0	1	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	0	1	0	×	×	×	×	1	1	1	0
0	0	0	0	0	0	0	0	1	1	×	×	×	×	0	1	0	1
0	0	0	0	0	0	0	1	0	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	1	0	1	×	×	×	×	1	1	0	1
0	0	0	0	0	0	0	1	1	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	1	1	1	×	×	×	×	1	1	0	1
0	0	0	0	0	0	1	0	0	0	×	×	×	×	1	0	0	1
0	0	0	0	0	0	1	0	0	1	×	×	×	×	0	0	0	0
0	0	0	0	0	0	1	0	1	0	×	×	×	×	1	1	0	0
0	0	0	0	0	0	1	0	1	1	×	×	×	×	0	1	1	1
0	0	0	0	0	0	1	1	0	0	×	×	×	×	0	1	0	0
0	0	0	0	0	0	1	1	0	1	×	×	×	×	0	1	0	1
0	0	0	0	0	0	1	1	1	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	1	1	1	1	×	×	×	×	1	0	0	1
A B C D														$Y_3$	$Y_2$	$Y_1$	$Y_0$
输 入										输 出							

$A_4 \sim A_9$  也可接成其他的固定状态(0 和 1), 每个存储单元中的高 4 位( $D_7 \sim D_4$ )可写入任意数据。

本题共 10 分。能正确地列出函数真值表得 4 分, 能正确列出 EPROM 的数据表得 4 分, 能正确地标出输入端和输出端得 2 分。解题过程中出现笔误时, 每处扣 1 分。本题采用分段评分的办法(具体说明见第六题)。

五、本题为设计性题目, 可以有多种答案, 图解 6.5 给出的只是其中的两种。

本题共 10 分。 $EP$ 、 $ET$ 、 $R'_D$  应接高电平, 但悬空不扣分。进位输出信号接错或未接出, 扣 2 分。进位输出端的反相器可接可不接, 因为题目没有规定进位输出信号一定是正脉冲。七进制和十进制有一种接错扣 4 分。两种进制均未接对者, 得 0 分。



图解 6.5

六、根据表 T6.6 可以画出电路次态和输出的卡诺图,如图解 6.6.1(a)。为直观起见,还可以将它分解,单独画出  $Q_2^*$ 、 $Q_1^*$ 、 $Q_0^*$  和  $Y$  的卡诺图,如图解 6.6.1(b)、(c)、(d)、(e) 所示。

利用卡诺图化简,得到电路的状态方程和输出方程分别为

$$\begin{cases} Q_2^* = Q_2 Q_0 + Q_1 Q_0' \\ Q_1^* = Q_2' Q_0 + Q_1 Q_0' \\ Q_0^* = Q_2' Q_1' + Q_2 Q_1 \end{cases} \quad (\text{A6.6.1})$$

$$Y = Q_2 Q_1 Q_0 \quad (\text{A6.6.2})$$

因为  $D$  触发器的特性方程为  $Q^* = D$ , 所以驱动方程为

$$\begin{cases} D_2 = Q_2 Q_0 + Q_1 Q_0' \\ D_1 = Q_2' Q_0 + Q_1 Q_0' \\ D_0 = Q_2' Q_1' + Q_2 Q_1 \end{cases} \quad (\text{A6.6.3})$$

根据式 (A6.6.2) 和式 (A6.6.3) 画出的 3 位循环码计数器电路如图解 6.6.2 所示。

本题共 15 分。状态方程占 6 分(每个触发器的状态方程 2 分),输出方程占 1 分,驱动方程占 3 分(每个触发器的驱动方程 1 分),电路图占 5 分。采取分段评分的办法,即前面的步骤中发生笔误并已扣分的情况下,如果后续步骤的解法和结果是对的,后面的步骤仍可得分。写方程和画图过程中,发生一处笔误扣 2 分。

		$Q_1Q_0$			
		00	01	11	10
$Q_2$	0	001 /0	011 /0	010 /0	110 /0
	1	000 /0	100 /0	101 /1	111 /0

(a)  $Q_2^*Q_1^*Q_0^*/Y$

		$Q_1Q_0$			
		00	01	11	10
$Q_2$	0	0	0	0	1
	1	0	1	1	1

(b)  $Q_2^*$

		$Q_1Q_0$			
		00	01	11	10
$Q_2$	0	0	1	1	1
	1	0	0	0	1

(c)  $Q_1^*$

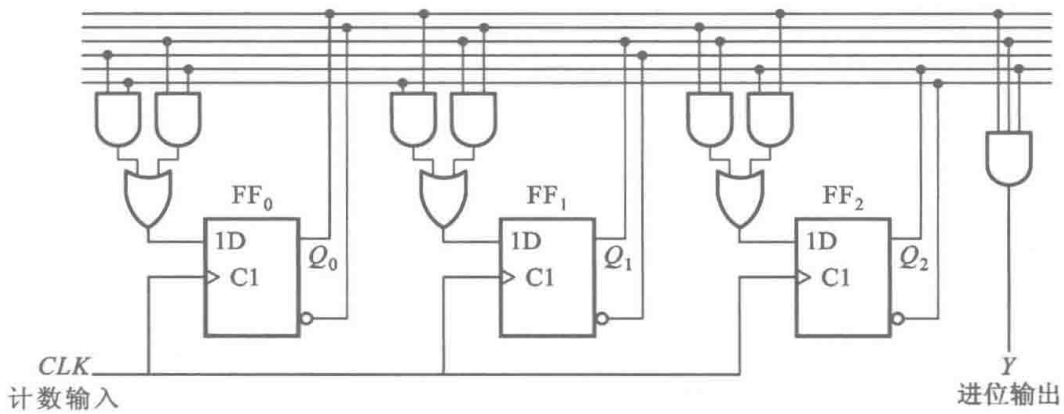
		$Q_1Q_0$			
		00	01	11	10
$Q_2$	0	1	1	0	0
	1	0	0	1	1

(d)  $Q_0^*$

		$Q_1Q_0$			
		00	01	11	10
$Q_2$	0	0	0	0	0
	1	0	0	1	0

(e)  $Y$

图解 6.6.1



图解 6.6.2

七、首先计算当 D/A 转换器的输入  $d_9 \sim d_0$  为 **0000000000**、**1000000000** 和 **1111111111** 时它的输出电压  $V_A$  的数值。已知  $V_A$  的计算公式为

$$\begin{aligned}
 V_A &= -\frac{V_{REF}R_F}{2^n R} \cdot D \\
 &= -\frac{-6 \times 2R}{2^{10} \cdot R} \cdot D
 \end{aligned}$$



$$= 6 \times \frac{D}{2^9}$$

由上式即可求得,当  $D=0$  时  $V_A=0\text{ V}$ ; 当  $D=100000000=2^9$  时  $V_A=6\text{ V}$ ; 当  $D=111111111=2^{10}-1$  时  $V_A \approx 12\text{ V}$ 。

其次计算  $V_A=V_{CO}$  为不同数值时多谐振荡电路的振荡频率。

当  $V_A=0\text{ V}$  时,555 定时器接成施密特触发电路时的正、负向阈值电压分别为  $V_{T+}=6\text{ V}$ 、 $V_{T-}=3\text{ V}$ 。将它们代入计算 555 组成的多谐振荡电路振荡周期的公式

$$\begin{aligned} T &= (R_1+R_2)C \ln \frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}} + R_2C \ln \frac{V_{T+}}{V_{T-}} \\ &= \left[ (39+62) \times 10^3 \times 0.02 \times 10^{-6} \ln \frac{12-3}{12-6} + 62 \times 10^3 \times 0.02 \times 10^{-6} \ln \frac{6}{3} \right] \text{ s} \\ &= (0.82+0.86) \text{ ms} \\ &= 1.68 \text{ ms} \\ f &= \frac{1}{T} = 0.6 \text{ kHz} \end{aligned}$$

当  $V_A=6\text{ V}$  时,  $V_{T+}=7.5\text{ V}$ 、 $V_{T-}=3.75\text{ V}$ , 代入周期计算公式后得到

$$\begin{aligned} T &= \left[ (39+62) \times 10^3 \times 0.02 \times 10^{-6} \ln \frac{12-3.75}{12-7.5} + \right. \\ &\quad \left. 62 \times 10^3 \times 0.02 \times 10^{-6} \times 0.69 \right] \text{ s} \\ &= (2.02 \times 10^{-3} \times 0.61 + 0.86 \times 10^{-3}) \text{ s} \\ &= 2.1 \text{ ms} \\ f &= \frac{1}{T} = 0.48 \text{ kHz} \end{aligned}$$

当  $V_A=12\text{ V}$  时,  $V_{T+}=9\text{ V}$ 、 $V_{T-}=4.5\text{ V}$ , 代入周期计算公式得到

$$\begin{aligned} T &= \left( 2.02 \times 10^{-3} \ln \frac{12-4.5}{12-9} + 0.86 \times 10^{-3} \right) \text{ s} \\ &= (1.85 \times 10^{-3} + 0.86 \times 10^{-3}) \text{ s} \\ &= 2.7 \text{ ms} \\ f &= \frac{1}{T} = 0.37 \text{ kHz} \end{aligned}$$

本题共 15 分。D/A 转换器输出电压计算占 6 分, 每个输入数字量的计算 2 分。多谐振荡电路振荡频率计算占 9 分, 每个  $V_A$  值下的频率计算占 3 分。

本题也采取分段评分办法(具体说明见上题)。

## 试 卷 7

一、画出图 T7.1 中各门电路输出电压的波形,输入信号的波形如图中所给出。(10 分)

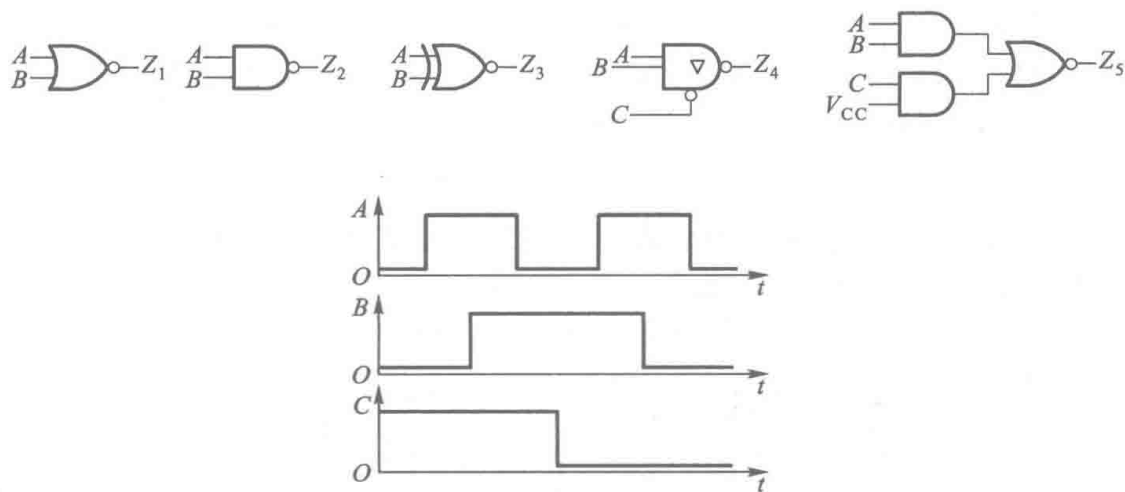


图 T7.1

二、用逻辑分析仪观测到某组合逻辑电路的输入和输出波形如图 T7.2 所示。试写出  $Y_1$ 、 $Y_2$  的逻辑函数式,并将它们化为最简与-或形式。(20 分)

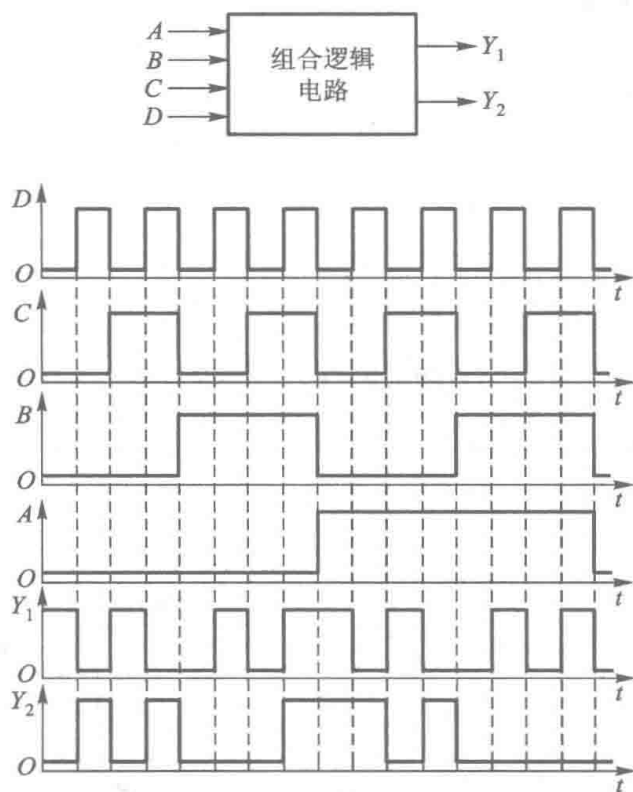


图 T7.2

三、试用两片二-十进制译码器 74HC42 组成 4 线-16 线的二进制译码器,标明输入端与输出端。可以附加必要的门电路,但应力求使电路简单。74HC42 没有附加的控制端,当输入  $DCBA = 1010 \sim 1111$  时,输出端  $Y'_0 \sim Y'_9$  皆为高电平,即没有输出信号。它的框图如图 T7.3,输出的逻辑式为

$$\begin{cases} Y'_0 = (D'C'B'A) & Y'_5 = (D'CB'A) \\ Y'_1 = (D'C'B'A) & Y'_6 = (D'CBA') \\ Y'_2 = (D'C'BA') & Y'_7 = (D'CB'A) \\ Y'_3 = (D'C'BA) & Y'_8 = (DC'B'A) \\ Y'_4 = (D'CB'A) & Y'_9 = (DC'B'A) \end{cases}$$

(10 分)

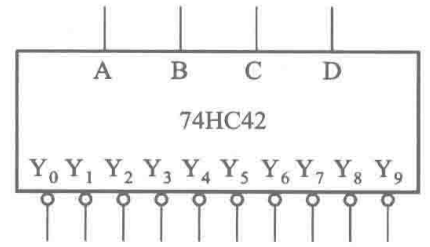


图 T7.3

四、分析图 T7.4 的逻辑电路,写出电路的驱动方程、状态方程和输出方程,列出电路的状态转换表,画出电路的状态转换图。(15 分)

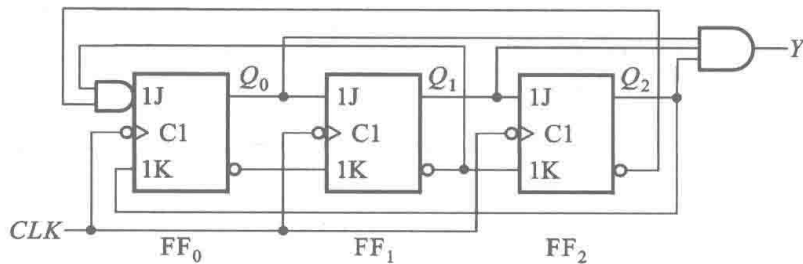


图 T7.4

五、图 T7.5 是用两片同步十进制加/减计数器 74LS190 组成的加/减计数器。74LS190 的功能表见表 T7.5。 $C/B$  端是进位/借位输出端。在加法计数状态下,当  $Q_3Q_2Q_1Q_0 = 1001$  时,  $C/B = 1$ , 否则为 0;在减法计数状态下,当  $Q_3Q_2Q_1Q_0 = 0000$  时,  $C/B = 1$ , 否则为 0。试分析在  $M = 1$  和  $M = 0$  两种情况下,图 T7.5 电路各为几进制计数器,各为加法计数器还是减法计数器,并说明在什么情况下输出  $Y$  等于 1。(10 分)

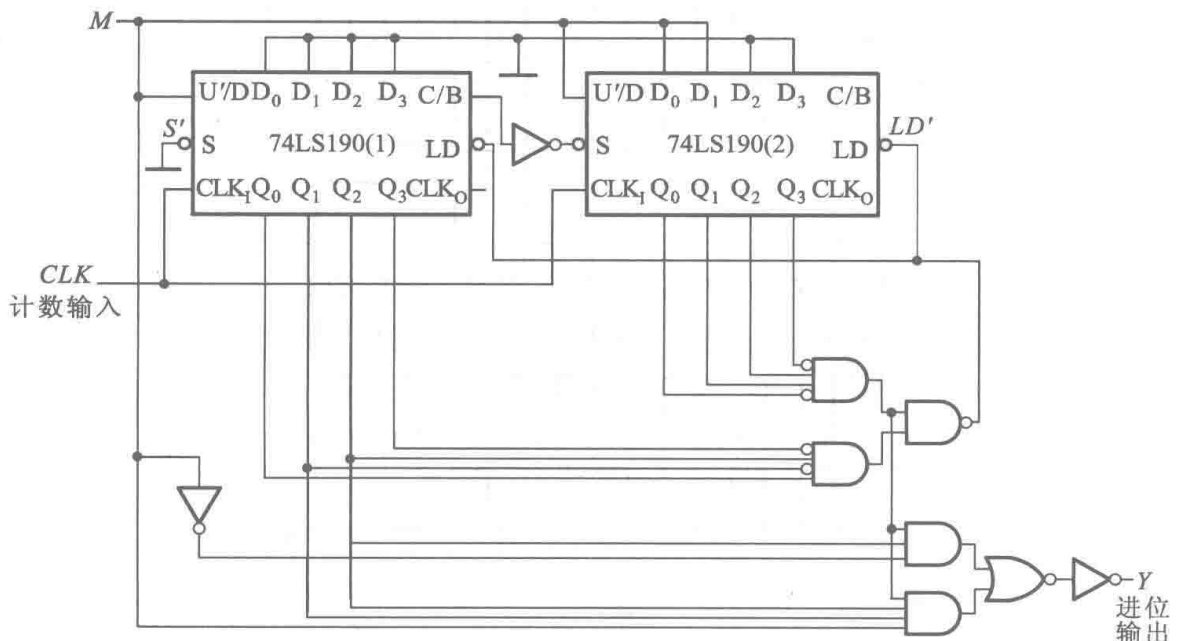




图 T7.5

表 T7.5 74LS190 的功能表

$CLK_1$	$S'$	$LD'$	$U'/D$	工作状态
×	1	1	×	保持
×	×	0	×	预置数
	0	1	0	加法计数
	0	1	1	减法计数

六、图 T7.6.1 是一个通用波形发生器电路。为了在输出端得到图 T7.6.2 中给出的电压波形,试写出 EPROM 中应当存有的数据表。AD7520 为 10 位倒 T 形电阻网络 D/A 转换器,它的参考电压为  $V_{REF} = -8\text{ V}$ 。如果需要调节输出电压波形的幅度和周期,应当调节电路中的哪些参数? 设触发器的初始状态为  $Q_0Q_1Q_2Q_3 = 0000$ 。(15 分)

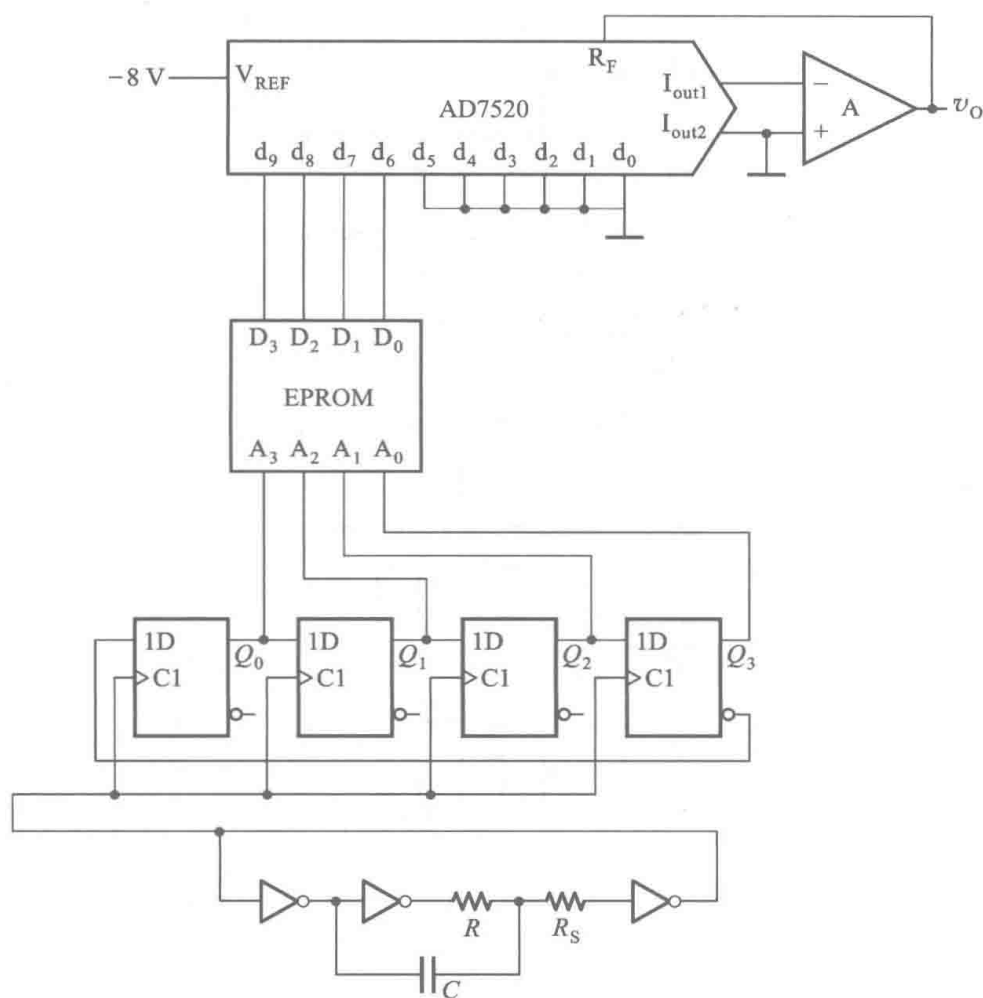


图 T7.6.1

七、在图 T7.7 的 TTL 电路中,  $G_1$  输出处于什么状态? 在开关 S 断开的情况下,用磁电式万用表的不同量程测量  $v_{o1}$  时,测得的数值不同,这是什么原因? 如果将开关 S 接通,则  $v_{o2}$  为高电平还是低电平? (10 分)

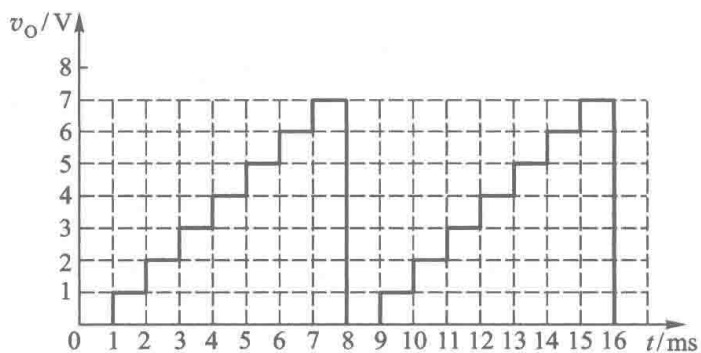


图 T7.6.2

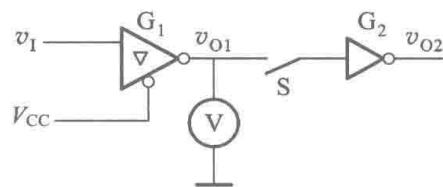
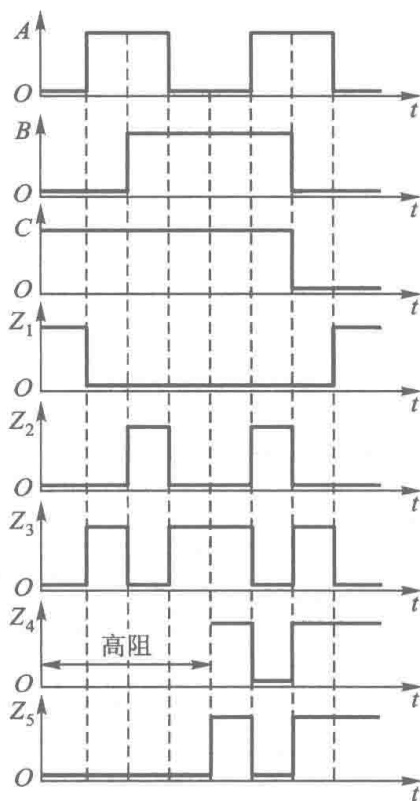


图 T7.7

### 试卷 7 答案

一、答案见图解 7.1。



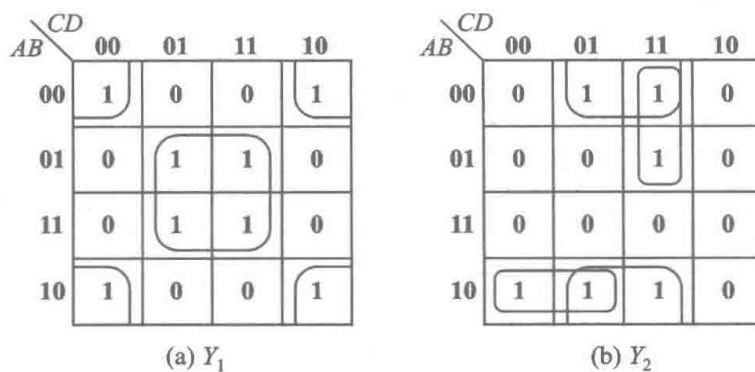
图解 7.1

本题共 10 分,每个波形图 2 分。发生一处错误扣 1 分。

二、根据图 T7.2 中给出的波形图可以列出  $Y_1$ 、 $Y_2$  的逻辑真值表,如表解 7.2 所示。从真值写出  $Y_1$ 、 $Y_2$  的逻辑函数式为

$$Y_1 = A'B'C'D' + A'B'CD' + A'BC'D + A'BCD + AB'C'D' + AB'CD' + ABC'D + ABCD$$

$$Y_2 = A'B'C'D + A'B'CD + A'BCD + AB'C'D' + AB'C'D + AB'CD$$



图解 7.2

表解 7.2 图 T7.2 组合逻辑电路的真值表

A	B	C	D	$Y_1$	$Y_2$
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	1	0

用卡诺图化简法化简  $Y_1$ 、 $Y_2$  (见图解 7.2) 得出

$$Y_1 = B'D' + BD$$

$$Y_2 = B'D + A'CD + AB'C'$$

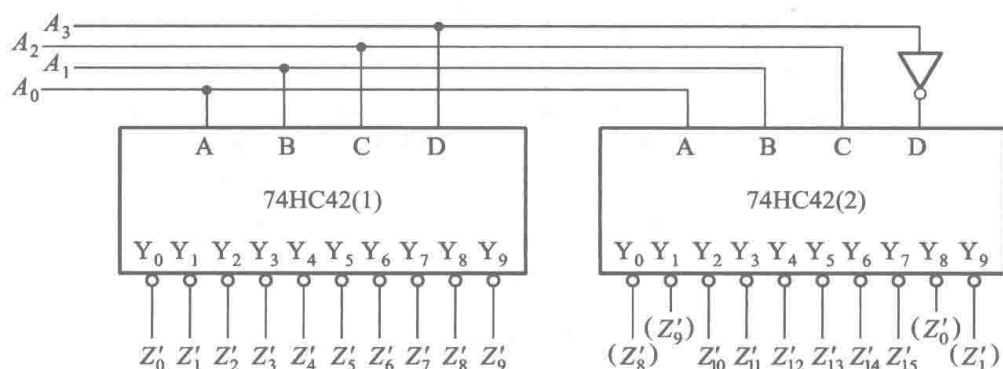
本题共 20 分。列出真值表得 8 分 ( $Y_1$ 、 $Y_2$  各占 4 分), 由真值表写出逻辑式占 4 分 ( $Y_1$ 、 $Y_2$  各占 2 分), 化简占 8 分 ( $Y_1$ 、 $Y_2$  各占 4 分)。采取分段评分的办法, 即前面的步骤中倘若发生笔误并已扣分, 而在此基础上继续做下去的方法和结果是对的, 则仍可得后续步骤的分数。

三、此题属于设计性题目, 答案不止一种。但最简单的接法为图解 7.3 所示。

$Z'_0$  输出端可以用第(1)片的  $Y'_0$ , 也可以用第(2)片的  $Y'_8$ ;



$Z'_1$  输出端可以用第(1)片的  $Y'_1$ , 也可以用第(2)片的  $Y'_9$ ;  
 $Z'_8$  输出端可以用第(1)片的  $Y'_8$ , 也可以用第(2)片的  $Y'_0$ ;  
 $Z'_9$  输出端可以用第(1)片的  $Y'_9$ , 也可以用第(2)片的  $Y'_1$ 。



图解 7.3

本题共 10 分。输出端标错一处扣 1 分。电路较图解 7.3 复杂者适当扣除 1~4 分。未用 74HC42 而用门电路搭接成译码器者不给分。

四、电路的驱动方程为

$$\begin{cases} J_0 = Q'_2 Q'_1; & K_0 = Q_2 \\ J_1 = Q_0; & K_1 = Q'_0 \\ J_2 = Q_1; & K_2 = Q'_1 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q'_2 Q'_1 Q'_0 + Q_2 Q_0 \\ Q_1^* = Q_0 Q'_1 + Q_0 Q_1 = Q_0 \\ Q_2^* = Q_1 Q'_2 + Q_1 Q_2 = Q_1 \end{cases}$$

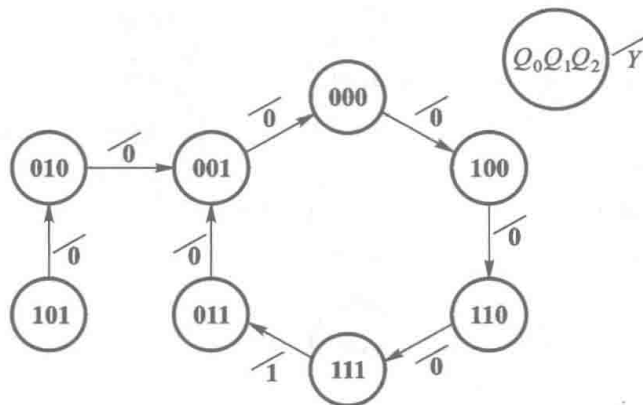
输出方程为

$$Y = Q_2 Q_1 Q_0$$

状态转换表和状态转换图分为表解 7.4 和图解 7.4。

表解 7.4 图 T7.4 电路的状态转换表

CLK	$Q_0$	$Q_1$	$Q_2$	Y
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	1
4	0	1	1	0
5	0	0	1	0
6	0	0	0	0
0	1	0	1	0
1	0	1	0	0
2	0	0	1	0



图解 7.4

本题共 15 分。驱动方程和状态方程各占 3 分,输出方程占 1 分,状态转换表和状态转换图占 8 分。采取分段评分的办法(具体说明见第二题)。状态转换表及状态转换图中未考虑无效状态者扣 2 分。状态转换图中未标明输出者扣 2 分。

五、1.  $M=0$  时为加法计数工作状态。当计成  $10 \times 6 + 5 = 65$  时,产生  $LD' = 0$  信号,立刻将两片 74LS190 同时置成全 0 状态。(请注意,74LS190 是异步置数, $LD' = 0$  信号一出现,便立即将  $D_3 \sim D_0$  的数据置入计数器中,而不需要等待下一个  $CLK$  脉冲到达。)故这时是六十五进制加法计数器。

2.  $M=1$  时为减法计数工作状态。当计成 65 时,产生  $LD' = 0$  信号,将第(1)片 74LS190 置成 0,第(2)片 74LS190 置成 3,即整个计数器置成 30 状态。从 30 减至 0 再从 99 减至 66,也是六十五进制,所以这时是六十五进制减法计数器。当加法计数计到 64 或减法计数计到 66 时, $Y=1$ 。

本题共 10 分,加、减计数进制的分析各占 5 分。

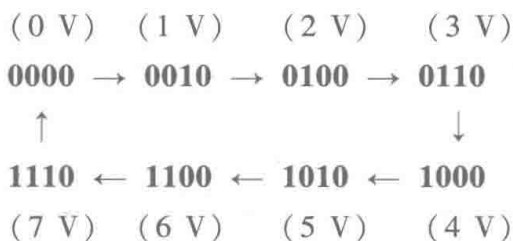
六、由图 T7.6.1 和图 T7.6.2 可知,只要将  $v_0$  波形上每段时间的幅度转换成一个数字量,存入 EPROM 中,然后周期性地顺序读取这些数据并加到 D/A 转换器的输入端,这样就可以在 D/A 转换器的输出端得到图 T7.6.2 所要求的电压波形了。

由 D/A 转换器输出电压的计算公式知

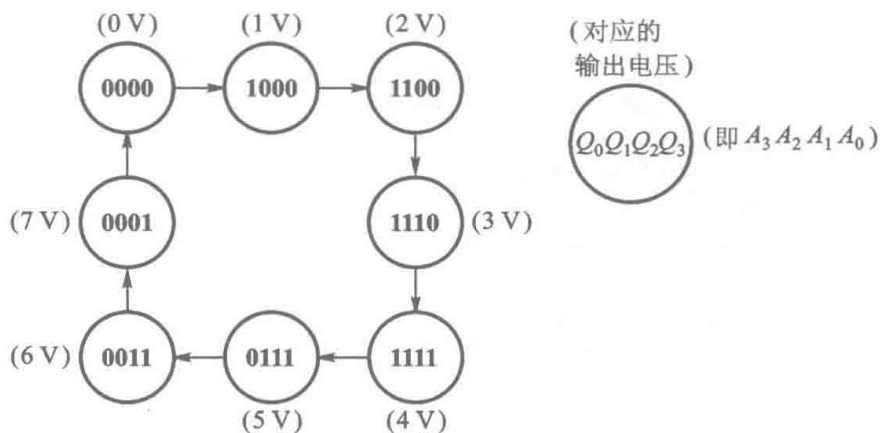
$$v_0 = -\frac{V_{REF}}{2^n} \cdot D$$

$$= \frac{8}{2^{10}} \cdot D$$

因此  $d_9 = 1(D_3 = 1)$ 、 $d_8 = 1(D_2 = 1)$ 、 $d_7 = 1(D_1 = 1)$ 、 $d_6 = 1(D_0 = 1)$  在输出端产生的电压分别等于 4 V、2 V、1 V、0.5 V。图 T7.6.2 波形上各点电压幅度对应的数字( $D_3D_2D_1D_0$ )序列就应当是



而从 EPROM 读出数据时是以移位寄存器的状态作为地址码的,所以还需要找出移位寄存器的状态循环,如图解 7.6 所示。



图解 7.6

将波形上各点幅度对应的数字序列依次存入图解 7.6 的顺序地址中,就得到了所求的 EPROM 数据表,如表解 7.6。

表解 7.6 图 T7.6 中 EPROM 的数据表

地 址				数 据			
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	0
0	0	1	0	×	×	×	×
0	0	1	1	1	1	0	0
0	1	0	0	×	×	×	×
0	1	0	1	×	×	×	×
0	1	1	0	×	×	×	×
0	1	1	1	1	0	1	0
1	0	0	0	0	0	1	0
1	0	0	1	×	×	×	×
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	0	1	0	0
1	1	0	1	×	×	×	×
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	0

如果需要调节输出电压波形的幅度,可以调节 D/A 转换器的参考电压  $V_{REF}$  的大小,也可以在求和放大器上改用外接反馈电阻,通过调节反馈电阻的阻值,改变输出电压波形的幅度。

# 数字电子技术考研《数字电子技术基础》考研复习笔记

## 第 1 章 数制和码制

### 1.1 复习笔记

本章作为《数字电子技术基础》的开篇文章，是数字电路学习的基础。本章介绍了与数制和码制相关的基本概念和术语，包括常用的数制和码制，最后给出了不同数制之间的转换方法和二进制算术运算的原理和步骤。本章重点内容为：不同数制之间的转换，原码、反码、补码的定义及相互转换，以及二进制的补码运算。

#### 一、概述

##### 1 数码的概念及其两种意义（见表 1-1-1）

表 1-1-1 数码的概念及其两种意义

要点	主要内容
数码的概念	数字电路中各种数字信号存在的形式
数码的意义	数量大小 不同的数码表示不同数量的大小，可以进行数量间的加、减、乘、除等算术运算
	事物代号 不同的数码表示不同事物或事物的不同状态，此时数码是不同事物的代号，不能进行算术运算

##### 2 数制和码制基本概念（见表 1-1-2）

表 1-1-2 数制和码制基本概念

要点	主要概念
数制	多位数码中每一位的构成方法和从低位到高位进位的规则
码制	编码时遵循的规则

#### 二、几种常用的数制

常用的数制有十进制、二进制、八进制和十六进制几种。任意 N 进制的展开形式为：

$$D = \sum k_i \times N^i$$

式中， $k_i$  是第  $i$  位的系数， $N$  为计数的基数， $N^i$  为第  $i$  位的权。

关于各种数制特征、展开形式、示例总结见表 1-1-3。

表 1-1-3 各种数制特征、展开式、示例总结

要点		主要内容
十进制	特征	①数码：0~9；②基数：10；③进位关系：“逢十进一”
	展开形式	$D = \sum k_i \times 10^i$ 。其中， $k_i$ 是第 $i$ 位的系数，可以是 0~9 十个数码中的任何一个
二进制	特征	①数码：0~1；②基数：2；③进位关系：“逢二进一”
	展开形式	$D = \sum k_i \times 2^i$ ，如： $(101.11)_2 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} = (5.75)_{10}$
八进制	特征	①数码：0~7；②基数：8；③进位关系：“逢八进一”
	展开形式	$D = \sum k_i \times 8^i$ ，如： $(12.4)_8 = 1 \times 8^1 + 2 \times 8^0 + 4 \times 8^{-1} = (10.5)_{10}$
十六进制	特征	①数码：0~9、A~F；②基数：16；③进位关系：“逢十六进一”
	展开形式	$D = \sum k_i \times 16^i$ ，如： $(2A.7F)_{16} = 2 \times 16^1 + 10 \times 16^0 + 7 \times 16^{-1} + 15 \times 16^{-2} = (42.4960937)_{10}$

### 三、不同数制间的转换

#### 1 二进制转换为十进制

转换时将二进制数的各项按  $D = \sum k_i \times 2^i$  展开成十进制数，然后相加，即可得到等值的十进制数。例如： $(1011.01)_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} = (11.25)_{10}$ 。

#### 2 十进制转换为二进制

(1) 整数部分的转换：将十进制数除以 2，取余数为  $k_0$ ；将其商再除以 2，取其余数为  $k_1$ ，……以此类推，直到所得商等于 0 为止，余数  $k_n \dots k_1 k_0$  (从下往上排) 即为二进制数。以 273.69 为例，如图 1-1-1 所示。

(2) 小数部分的转换：将十进制数乘以 2，取乘积的整数部分为  $k_{-1}$ ；将乘积的小数部分再乘以 2，取乘积的整数部分为  $k_{-2}$ ，……以此类推，直到求出要求的位数为止， $k_{-1}k_{-2}k_{-3}...$  (从上往下排) 即为二进制数。以 273.69 为例，如图 1-1-2 所示。

$$\begin{array}{r}
 2 \overline{) 273} \quad \dots\dots\dots \text{余数} = 1 = k_0 \\
 2 \overline{) 136} \quad \dots\dots\dots \text{余数} = 0 = k_1 \\
 2 \overline{) 68} \quad \dots\dots\dots \text{余数} = 0 = k_2 \\
 2 \overline{) 34} \quad \dots\dots\dots \text{余数} = 0 = k_3 \\
 2 \overline{) 17} \quad \dots\dots\dots \text{余数} = 1 = k_4 \\
 2 \overline{) 8} \quad \dots\dots\dots \text{余数} = 0 = k_5 \\
 2 \overline{) 4} \quad \dots\dots\dots \text{余数} = 0 = k_6 \\
 2 \overline{) 2} \quad \dots\dots\dots \text{余数} = 0 = k_7 \\
 2 \overline{) 1} \quad \dots\dots\dots \text{余数} = 1 = k_8 \\
 0
 \end{array}$$

图 1-1-1 十-二进制整数部分的转换

$$\begin{array}{r}
 0.69 \\
 \times 2 \\
 \hline
 1.38 \quad \dots\dots\dots \text{整数部分} = 1 = k_{-1} \\
 0.38 \\
 \times 2 \\
 \hline
 0.76 \quad \dots\dots\dots \text{整数部分} = 0 = k_{-2} \\
 0.76 \\
 \times 2 \\
 \hline
 1.52 \quad \dots\dots\dots \text{整数部分} = 1 = k_{-3} \\
 0.52 \\
 \times 2 \\
 \hline
 1.04 \quad \dots\dots\dots \text{整数部分} = 1 = k_{-4}
 \end{array}$$

图 1-1-2 十-二进制小数部分的转换

所以  $(273.69)_{10} = (100010001.1011)_2$ 。

### 3 二进制与十六进制的转换



(1) 二-十六：整数部分从低位到高位每 4 位二进制数分为一组，小数部分从高位到低位每 4 位数分为一组，并将各组代之以等值的十六进制数。例如：

$$\begin{array}{cccc} (0101 & 1110. & 1011 & 0010)_2 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ = (5 & E. & B & 2)_{16} \end{array}$$

(2) 十六-二：将十六进制数的每一位数代替为一组等值的 4 位二进制数即可。例如：

$$\begin{array}{ccccc} (8 & F & A. & C & 6)_{16} \\ \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ = (1000 & 1111 & 1010. & 1100 & 0110)_2 \end{array}$$

#### 4 八进制与二进制的转换

将二进制数转换为八进制数时，将二进制数的整数部分从低位到高位每 3 位分为一组，小数部分从高位到低位每 3 位分为一组，并将各组代之以等值的八进制数。在方法上与二-十六转换和十六-二转换的方法基本相同。例如：

$$\begin{array}{cccc} (011 & 110. & 010 & 111)_2 & (5 & 2. & 4 & 3)_8 \\ \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ = (3 & 6. & 2 & 7)_8 & = (101 & 010. & 100 & 011)_2 \end{array}$$

二-八转换 八-二转换

#### 5 十六进制与十进制的转换

将十六进制数转换为十进制数时，根据  $D = \sum k_i \times 16^i$  将各位按权展开后相加求得。  
将十进制数转换为十六进制数时，可以先转换为二进制数，然后再将得到的二进制数转换为等值的十六进制数。

### 四、二进制算术运算

二进制算术运算中，利用原码、反码、补码及补码运算法则，可将加、减、乘、除运算全部用“移位”和“相加”两种操作实现。

#### 1 原码、反码、补码之间的转换（见表 1-1-4）

表 1-1-4 原码、反码、补码之间的转换

要点		主要内容
原码	概念	在原二进制数前增加一个符号位，用符号位的 0 表示正数，符号位的 1 表示负数
	由补码求原码	将负数的补码再求补码，即得原码
反码	正数	正数的反码与原码相同
	负数	将原码的符号位不变，数值位逐位取反，即得反码
补码	正数	正数的补码与原码相同
	负数	在反码的最低位加 1 即得补码

## 2 二进制补码运算

在二进制算数运算中，将两个二进制数相减运算用这两个二进制数的补码的加法运算代替。方法为先将两个带符号数写成补码形式，将这两补码按二进制加法相加即得运算结果的补码，再将该结果求原码即得结果。

## 五、几种常用的编码

几种常用的编码总结如表 1-1-5 所示。

表 1-1-5 常用编码总结

编码名称	主要内容
十进制代码	用至少四位的二进制代码表示十进制数的 0~9 十个状态。常见的十进制代码有 8421 (BCD) 码、余 3 码、2421 码、5211 码、余 3 循环码
格雷码	格雷码：每一位数按照一定的规则循环变化。例：0000、0110、00111100、000011111110000，即每一位状态循环中连续的 0、1 数目增加一倍
ASCII 码	ASCII 码是国际标准化组织 (ISO) 认定的国际通用标准代码。ASCII 码包括 128 个 7 位二进制代码，用来表示 52 个大小写英文字母、32 个符号以及 34 个控制码

## 数字电子技术基础期末试题

一、选择题（本大题共 12 个小题，每小题 2 分，共 24 分。在每小题给出的四个选项中，只有一项是符合题目要求的，请将所选的答案标号填在题后的括号中内。）

1、逻辑函数  $F(A, B, C) = A \odot B + \bar{A} \bar{C}$  的最小项表达式为 ( )

- A、 $F = \sum m(0, 2, 5, 7)$                       B、 $F = ABC + \bar{A} C$   
 C、 $F = \sum m(1, 3, 6)$                       D、 $F = \sum m(0, 1, 2, 6, 7)$

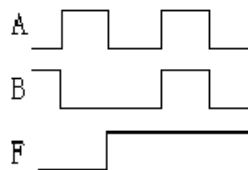
2、逻辑函数  $F(A, B, C, D) = \sum m(1, 4, 5, 9, 13) + \sum d(12, 14, 15)$  的最简与或式为 ( )

- A、 $F = AB + \bar{C} D$                               B、 $F = B \bar{C} + \bar{C} D$   
 C、 $F = C \bar{D} + \bar{B} C$                             D、 $F = A \bar{C} + \bar{C} D$

3、逻辑函数  $F = \overline{\overline{BC} + C(D+A)}$  的反函数是 ( )

- A、 $\bar{F} = \overline{(B+C) \cdot (\bar{C} + \bar{D}\bar{A})}$                       B、 $\bar{F} = \overline{\overline{B+C} \cdot (C+DA)}$   
 C、 $\bar{F} = \overline{\overline{BC} + \bar{C} \cdot (\bar{D} + \bar{A})}$                       D、 $\bar{F} = \overline{\overline{B+C} \cdot \bar{C} + \bar{D}\bar{A}}$

4、已知逻辑变量 A、B、F 的波形图如图 4 所示，F 与 A、B 的逻辑关系是 ( )



- A、 $F = AB$                                       B、 $F = A \oplus B$   
 C、 $F = A \odot B$                                   D、 $F = A + B$

图 4

5、已知逻辑函数 F 的卡诺图如图 5 所示，能实现该函数功能的电路是 ( )

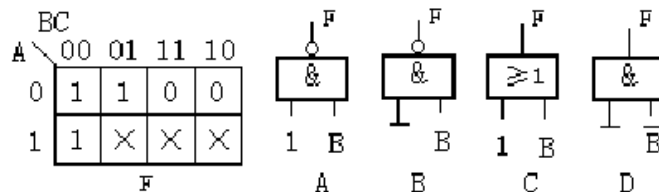


图 5

6、三态门电路如图 6 所示，输出 F 为 ( )

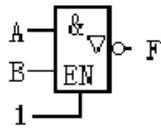


图 6

- A、低阻            B、高阻  
C、 $\overline{AB}$             D、1

7、OC 门电路图如图 7 所示，该电路可完成的功能是 ( )

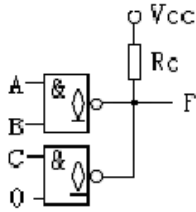


图 7

- A、 $F = \overline{AB}$     B、 $F = \overline{AB} + \overline{C}$   
C、 $F = 1$         D、 $F = \overline{AB} \cdot \overline{C}$

8、一个十六选一的数据选择器，其地址输入端的个数为 ( )

- A、2 个            B、3 个            C、4 个            D、5 个

9、下列逻辑电路中，属于组合逻辑电路的是 ( )

- A、计数器        B、触发器        C、寄存器        D、译码器

10、只有暂稳态的电路是 ( )

- A、单稳态触发器    B、多谐振荡器    C、施密特触发器    D、定时器

11、由 n 个触发器构成的移位寄存器，组成扭环形计数器时，其进位模为 ( )

- A、n            B、2n            C、 $n^2$             D、 $2^n$

12、ROM 中的内容，当电源掉电后又接通，存储器中的内容 ( )

- A、全部改变    B、全部为 0    C、全部为 1    D、保持不变

**二、填空题 (本大题共 8 个小题，每空 1 分，共 16 分。)**

13、二进制数  $(1011.1001)_2$  转换为八进制数为\_\_\_\_\_，转换为十六进制数为\_\_\_\_\_。

14、在八位 D/A 转换电路中，设  $V_{REF} = -5V$ ，输入数字量  $d_7 \sim d_0$  为全 1 时对应的输出电压值  $v_o =$ \_\_\_\_\_， $d_7 \sim d_0$  为 10001000 时  $v_o =$ \_\_\_\_\_。

15、已知逻辑函数  $F=A \oplus B$ ，它的或-与表达式为\_\_\_\_\_，与非-与非表达式为\_\_\_\_\_。

16、RS 触发器的特征方程是\_\_\_\_\_，约束条件是\_\_\_\_\_。

17、在图 17 所示可编程阵列逻辑 (PAL) 电路中， $Y_1=_____$ ， $Y_3=_____$ 。

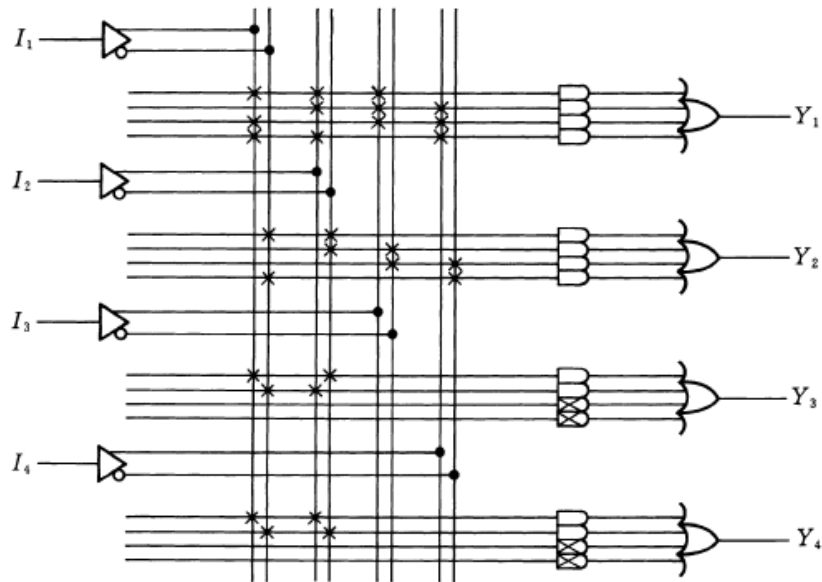


图 17

18、TTL 与非门空载时，输出高电平  $U_{OH}$  约为\_\_\_\_\_V，输出低电平  $U_{OL}$  约为\_\_\_\_\_V。

19、555 定时器构成的施密特触发器，若电源电压  $V_{CC}=12V$ ，电压控制端经  $0.01\mu F$  电容接地，则上触发电平  $U_{T+}=_____V$ ，下触发电平  $U_{T-}=_____V$ 。

20、若 ROM 具有 10 条地址线和 8 条数据线，则存储容量为\_\_\_\_\_，可以存储\_\_\_\_\_个字。

三、分析、计算题 (每小题 5 分，共 30 分)

21. 写出图 21 三态门电路 F 的函数表达式

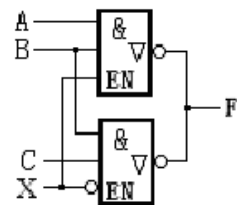


图 21

22. 化简逻辑函数:  $F = A\bar{B} + \bar{A}B + B\bar{C} + \bar{B}C$  (方法不限)

23. 分析由图 23 所示 4 选 1 数据选择器 74LS153 组成的组合逻辑电路, 写出  $F(A,B)$  的函数表达式。74LS153 的功能表如表 23 所示。

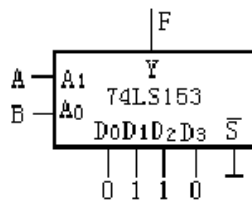


图 23

表 23

$\bar{S}$	$A_1$	$A_0$	$Y$
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$
1	×	×	0

24. 分析图 24 所示时序逻辑电路的功能, 写出驱动方程、状态方程, 列出状态转换表, 画出状态转换图, 说明电路能否自启动。

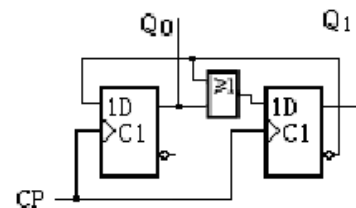


图 24



25. 图 25 电路是一个防盗报警电路, a,b 端被细铜丝接通, 此铜丝置于盗窃者必经之处。当盗窃者闯入室内将铜丝碰断后, 扬声器即发出报警声。试问:

- (1) 555 定时器接成何种电路?
- (2) 简单说明本电路的工作原理
- (3) 计算报警声音的频率

555 定时器的功能表如表 25 所示。

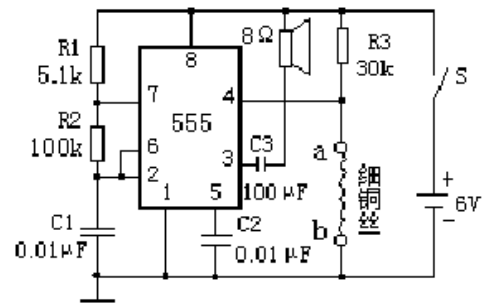


图 25

表 25

输 入			输 出	
阈值 (6 脚)	触发 (2 脚)	复位 (4 脚)	输出 (3 脚)	放电 $T_D$ (7 脚)
×	×	0	0	导 通
$> 2/3 V_{cc}$	$> 1/3 V_{cc}$	1	0	导 通
$< 2/3 V_{cc}$	$< 1/3 V_{cc}$	1	1	截 止
$< 2/3 V_{cc}$	$> 1/3 V_{cc}$	1	保持	保 持
$> 2/3 V_{cc}$	$< 1/3 V_{cc}$	1	0	导 通

26. 用图 26 所示 ROM 阵列逻辑图实现半加器功能。设地址输入端  $A_1$ 、 $A_0$  分别为 2 个加数, 用  $D_1$ 、 $D_0$  分别表示  $A_1$ 、 $A_0$  之“和”以及“向高位的进位”, 画出或阵列的点阵图。

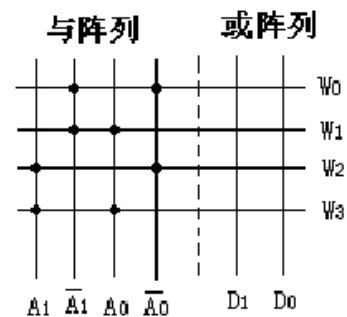


图 26

#### 四、设计题（每小题 10 分，共 30 分）

27. 用门电路设计一个 1 位数值比较器电路，其实现框图如图 27 所示，要求当输入  $A > B$  时， $Y_1=1$ ； $A < B$  时， $Y_2=1$ ； $A=B$  时， $Y_3=1$ 。列出真值表，用适当的门电路实现。

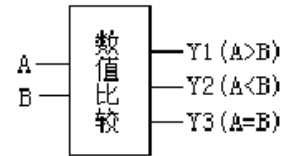
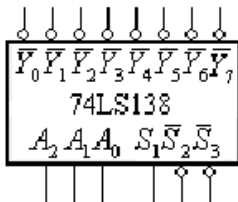


图 27

28. 用 3 线/8 线译码器 74LS138 和一个与非门设计一个三变量奇偶校验器，要求当输入信号有奇数个 1 时，输出信号 F 为“1”，否则为“0”。74LS138 逻辑符号如图 28 所示，其功能是：当使能端  $S_1\bar{S}_2\bar{S}_3 = 100$  时，输出  $\bar{Y}_0 = \bar{A}_2\bar{A}_1\bar{A}_0$ ， $\bar{Y}_1 = \bar{A}_2\bar{A}_1A_0$ ， $\bar{Y}_2 = \bar{A}_2A_1\bar{A}_0$ ， $\bar{Y}_3 = \bar{A}_2A_1A_0$ ， $\bar{Y}_4 = A_2\bar{A}_1\bar{A}_0$ ， $\bar{Y}_5 = A_2\bar{A}_1A_0$ ， $\bar{Y}_6 = A_2A_1\bar{A}_0$ ， $\bar{Y}_7 = A_2A_1A_0$ ；否则输出全为 1。



29. 用下降沿触发的 JK 触发器设计一个四进制加法计数器，写出状态转换表、状态方程、驱动方程，画出电路图。

### 答案

一、D、B、D、C、A、C、A、C、D、B、B、D

二、13.  $(13.44)_8$   $(B.9)_{16}$

14. 4.961V, 2.656V

15.  $(\bar{A} + \bar{B})(A + B)$ ,  $\overline{\overline{AB} \cdot \overline{AB}}$

16.  $Q^{n+1} = S + \bar{R}Q^n$ ,  $SR = 0$

17.  $Y_1 = \bar{I}_1 \bar{I}_2 \bar{I}_3 + \bar{I}_2 \bar{I}_3 \bar{I}_4 + \bar{I}_1 \bar{I}_3 \bar{I}_4 + \bar{I}_1 \bar{I}_2 \bar{I}_4, Y_3 = \bar{I}_1 I_2 + I_1 \bar{I}_2$

18. 3.6V, 0.3V

19. 8V, 4V

20.  $1024 \times 8, 1024$

三、21.  $F = \overline{AB} \cdot X + \overline{BC} \cdot \bar{X}$

22. 用卡诺图化简  $F = \bar{A}B + \bar{B}C + A\bar{C}$  或  $F = A\bar{B} + B\bar{C} + \bar{A}C$

23.  $F = \bar{A}B + A\bar{B} = A \oplus B$

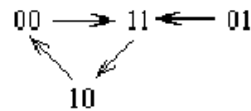
24. 驱动方程:  $D_0 = \bar{Q}_1^n, D_1 = \bar{Q}_1^n + Q_0^n$ ;

状态方程:  $Q_0^{n+1} = D_0 = \bar{Q}_1^n, Q_1^{n+1} = D_1 = \bar{Q}_1^n + Q_0^n$ ;

状态转换表:

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$
0 0	1 1
1 1	1 0
1 0	0 0
0 1	1 1

状态转换图:



由状态转换图可知: 该电路是三进制计数器, 可以自启动。

25.

(1) 该电路接成多谐振荡器。

(2) 铜丝未碰断时, 555 的 4 脚接地, 多谐振荡器处于复位状态, 扬声器不发声。铜丝碰断后, 555 的 4 脚为高电平, 多谐振荡器工作, 扬声器即发出报警声。

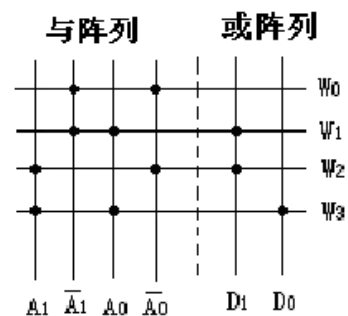
(3)  $f = 0.7(R_1 + 2R_2)C = 0.7(5.1 + 2 \times 100) \times 10^3 \times 0.01 \times 10^{-6} = 700\text{Hz}$

26. 由题意列真值表

由真值表画出点阵

$A_1 A_0$	$D_1 D_0$
0 0	0 0
0 1	1 0
1 0	1 0
1 1	0 1

图



27.

由题意列真值表

由真值表写出逻辑表达式

$$Y_1 = A\bar{B}$$

$$Y_2 = \bar{A}B$$

$$Y_3 = \bar{A}\bar{B} + AB = \overline{Y_1 + Y_2}$$

逻辑电路图略

A	B	$Y_1$	$Y_2$	$Y_3$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	1	1

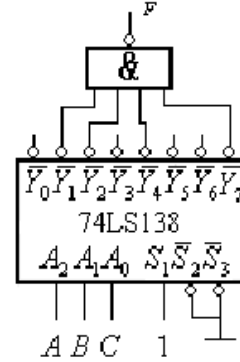
28.

由题意列真值表

由真值表写出逻辑表达式

对应画出接线图

ABC	F
000	0
001	1
010	1
011	0
100	1
101	0
110	0
111	1



$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = m_1 + m_2 + m_4 + m_7 = \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7}$$

29.

状态转换表

状态方程:

$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

$$Q_1^{n+1} = \bar{Q}_0^n Q_1^n + Q_0^n \bar{Q}_1^n$$

$$Q_0^{n+1} = \bar{Q}_1^n \cdot \bar{Q}_0^n + Q_1^n \bar{Q}_0^n = 1\bar{Q}_0^n + 0Q_0^n$$

分别与特性方程  $Q_1^{n+1} = J_1 \bar{Q}_1^n + K_1 Q_1^n$

$$Q_0^{n+1} = J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n$$

对比得到:

$$\begin{cases} J_1 = Q_0^n \\ K_1 = Q_0^n \end{cases} \quad \begin{cases} J_0 = 1 \\ K_0 = 1 \end{cases} \quad Y = Q_1^n Q_0^n$$

电路图略

数字电子技术基础试题（一）

一、填空题：（每空 1 分，共 10 分）

1.  $(30.25)_{10} = (11110.01)_2 = (1E.4)_{16}$  。
2. 逻辑函数  $L = \overline{A} \overline{B} \overline{C} \overline{D} + A + B + C + D = 1$  。
3. 三态门输出的三种状态分别为：\_\_\_\_\_、\_\_\_\_\_ 和 \_\_\_\_\_ 。
4. 主从型 JK 触发器的特性方程  $Q^{n+1} =$ \_\_\_\_\_ 。
5. 用 4 个触发器可以存储 \_\_\_\_\_ 位二进制数。
6. 存储容量为  $4K \times 8$  位的 RAM 存储器，其地址线为 \_\_\_\_\_ 条、数据线为 \_\_\_\_\_ 条。

1.  $(30.25)_{10} = (11110.01)_2 = (1E.4)_{16}$  。

2. 1 。

3. 高电平、低电平和高阻态。

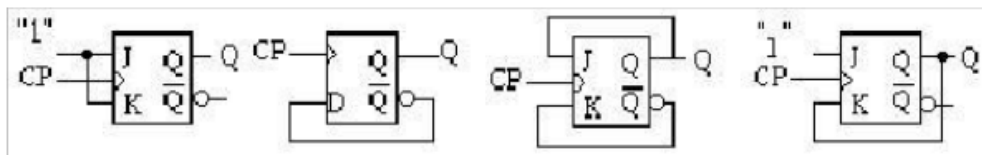
4.  $Q^{n+1} = \overline{K}Q^n + J\overline{Q}^n$  。

5. 四。

6. 12 、 8

二、选择题：（选择一个正确的答案填入括号内，每题 3 分，共 30 分）

1. 设下图中所有触发器的初始状态皆为 0，找出图中触发器在时钟信号作用下，输出电压波形恒为 0 的是：（ C ）图。



A

B

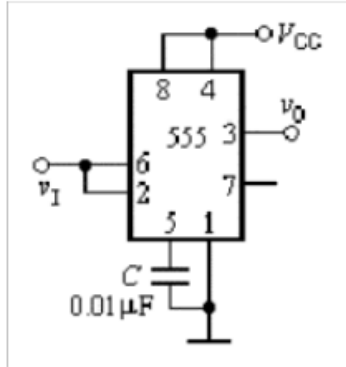
C

D

2. 下列几种 TTL 电路中，输出端可实现线与功能的电路是 ( D )。

A、或非门 B、与非门 C、异或门 D、OC门

3. 对 CMOS 与非门电路，其多余输入端正确的处理方法是 ( D )。



A、通过大电阻接地 (  $>1.5K$  ) B、悬空 C、通过小电阻接地 (  $<1K$  )  
D、通过电阻接  $V_{CC}$

4. 图 2 所示电路为由 555 定时器构成的 ( A )。

A、施密特触发器 B、多谐振荡器 C、单稳态触发器 D、T 触发器

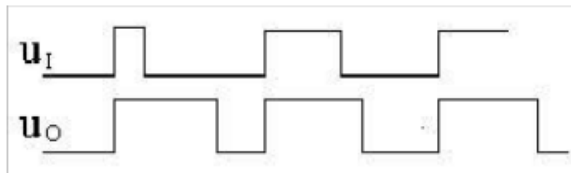
5. 请判断以下哪个电路不是时序逻辑电路 ( C )。

A、计数器 B、寄存器 C、译码器 D、触发器

6. 下列几种 A/D 转换器中，转换速度最快的是 ( A )。

A、并行 A/D 转换器 B、计数型 A/D 转换器 C、逐次渐进型 A/D 转换器  
D、双积分 A/D 转换器

7. 某电路的输入波形  $u_I$  和输出波形  $u_O$  如下图所示，则该电路为 ( C )。



A、施密特触发器 B、反相器 C、单稳态触发器 D、JK 触发器

8. 要将方波脉冲的周期扩展 10 倍，可采用 ( C )。

A、10 级施密特触发器 B、10 位二进制计数器 C、十进制计数器  
D、10 位 D/A 转换器



9、已知逻辑函数  $Y = AB + \bar{A}C + \bar{B}C$  与其相等的函数为 ( D )。

A、  $\bar{A}B$  B、  $\bar{A}B + \bar{A}C$  C、  $\bar{A}B + \bar{B}C$  D、  $\bar{A}B + C$

10、一个数据选择器的地址输入端有 3 个时，最多可以有 ( C ) 个数据信号输出。

A、 4 B、 6 C、 8 D、 16

三、逻辑函数化简 (每题 5 分，共 10 分)

1、用代数法化简为最简与或式

$$Y = A + \overline{\bar{B} + \bar{C}D} + \overline{\bar{A}D} \cdot \bar{B}$$

2、用卡诺图法化简为最简与或式

$$Y = \bar{A}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}D, \text{ 约束条件: } A\bar{B}C\bar{D} + A\bar{B}CD + AB = 0$$

四、分析下列电路。(每题 6 分，共 12 分)

1、写出如图 1 所示电路的真值表及最简逻辑表达式。

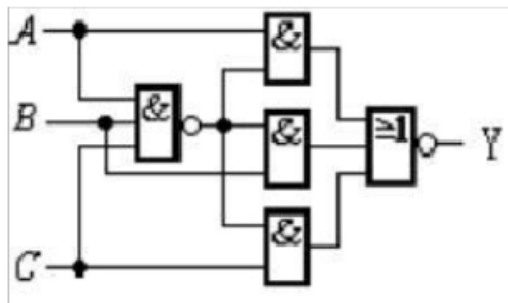


图 1

2、写出如图 2 所示电路的最简逻辑表达式。

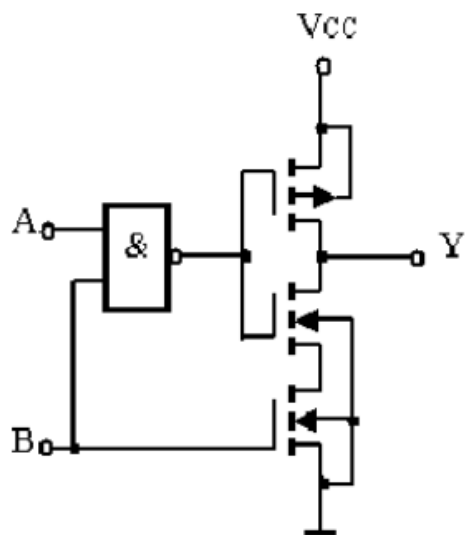
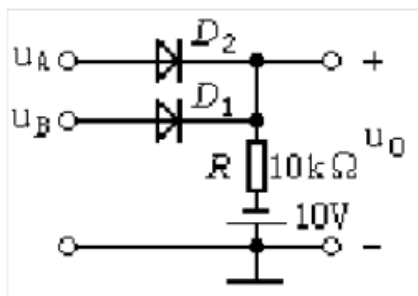


图 2



五、判断如图 3 所示电路的逻辑功能。若已知  $u_B = -20V$ ，设二极管为理想二极管，试根据  $u_A$  输入波形，画出  $u_0$  的输出波形（8分）

t

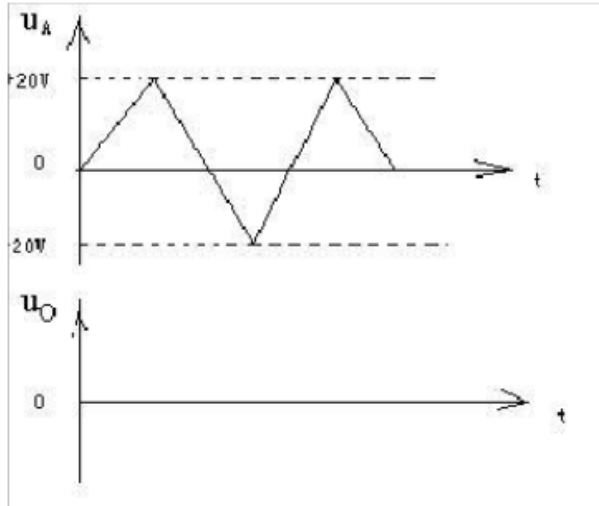


图 3

六、用如图 4 所示的 8 选 1 数据选择器 CT74LS151实现下列函数。（ 8 分）

$$Y(A,B,C,D) = m(1,5,6,7,9,11,12,13,14)$$

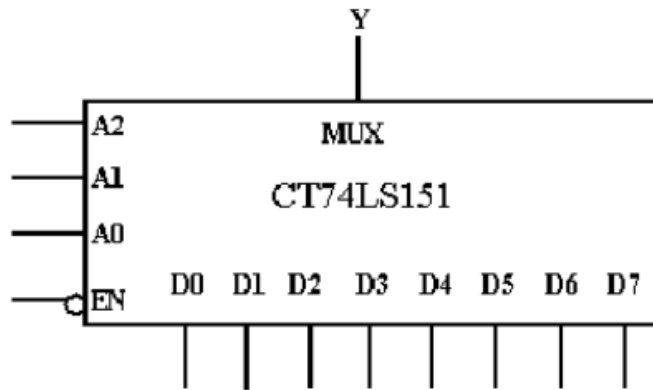


图 4

七、用 4 位二进制计数集成芯片 CT74LS161采用两种方法实现模值为 10 的计数器，要求画出接线图和全状态转换图。（ CT74LS161如图 5 所示，其 LD端为同步置数端，CR为异步复位端）。（ 10 分）

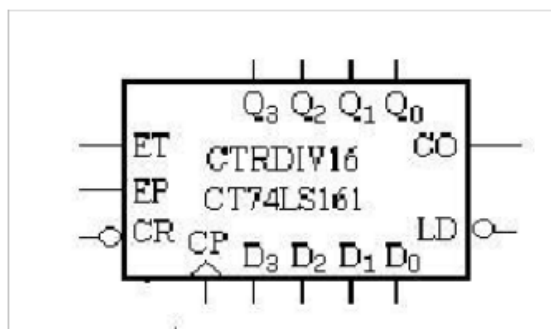
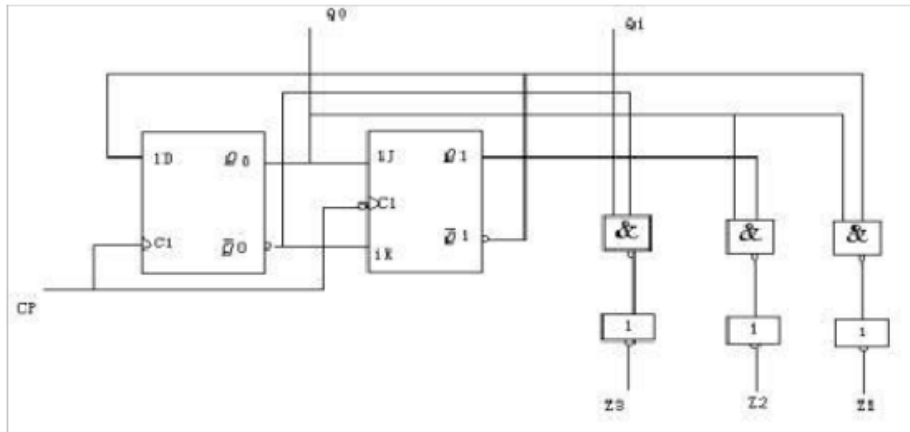


图 5

八、电路如图 6 所示，试写出电路的激励方程， 状态转移方程， 求出 Z1、Z2、Z3 的输出逻辑表达式，并画出在 CP 脉冲作用下，Q0、Q1、Z1、Z2、Z3 的输出波形。

(设 Q0、Q1 的初态为 0。) (12 分)



数字电子技术基础试题（一）参考答案

一、填空题：

1.  $(30.25)_{10} = (11110.01)_2 = (1E.4)_{16}$ 。

2. 1。

3. 高电平、低电平和高阻态。

4.  $Q^{n+1} = \bar{K}Q^n + J\bar{Q}^n$ 。

5. 四。

6. 12、8

二、选择题：

1.C 2.D 3.D 4.A 5.C 6.A 7.C 8.C 9.D 10.C

三、逻辑函数化简

1、 $Y=A+B$

2、用卡诺图圈 0 的方法可得： $Y = (\bar{A} + D)(A + \bar{D})(\bar{B} + \bar{C})$

四、1、 $Y = \bar{A}\bar{B}\bar{C} + ABC$  该电路为三变量判一致电路，当三个变量都相同时输出为 1，否则输出为 0。

2、 $B = 1, Y = A$ ，

$B = 0$  Y 呈高阻态。

五、 $u_0 = u_A \cdot u_B$ ，输出波形  $u_0$  如图 10 所示：

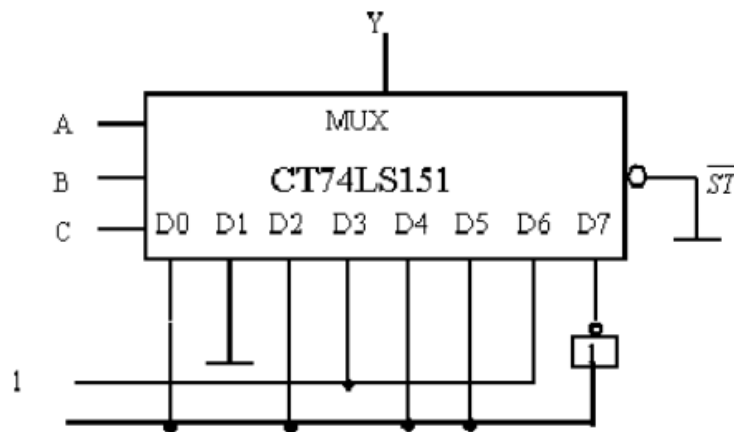
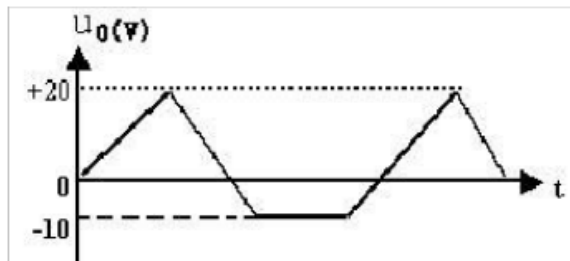


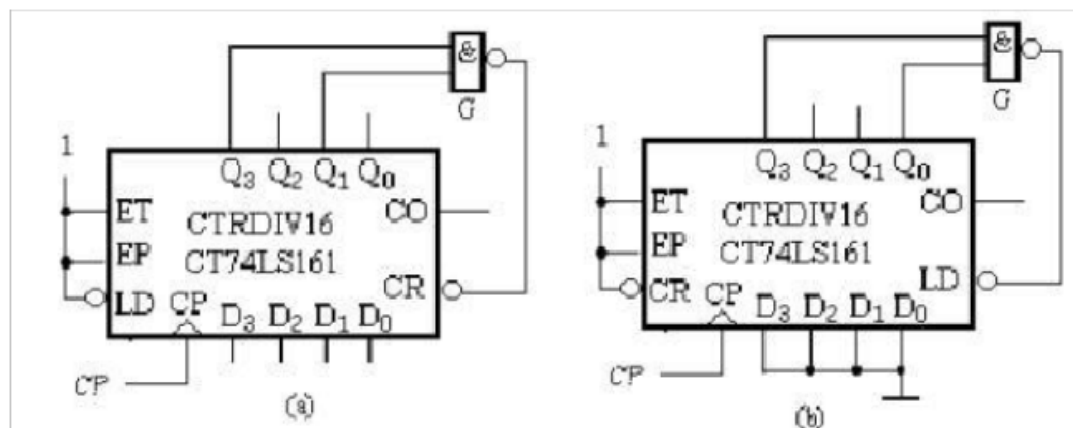
图 10

六、如图 11 所示：

D

图 11

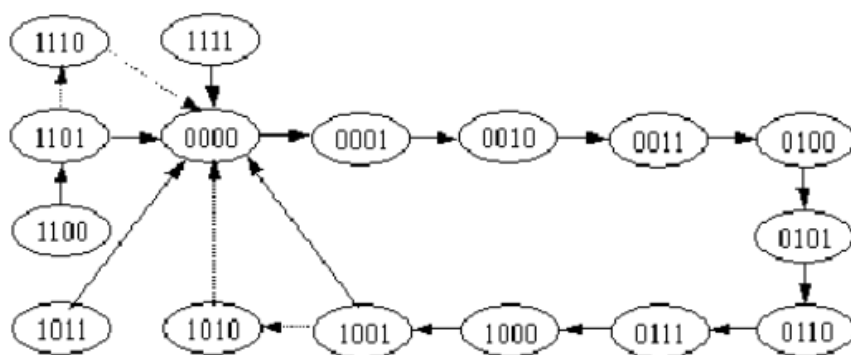
七、接线如图 12 所示：



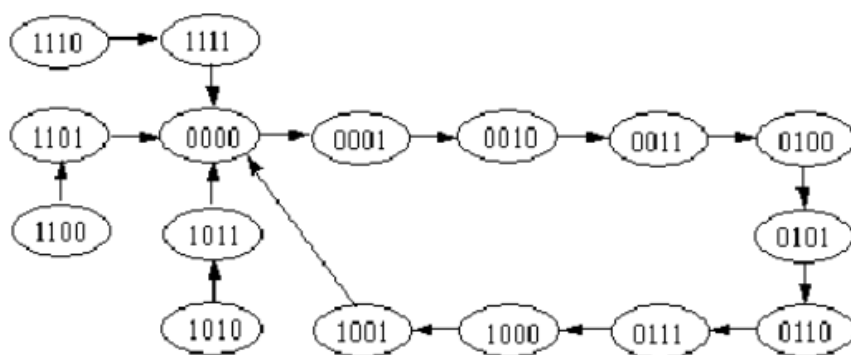
图

12

全状态转换图如图 13 所示：



( a )



( b )



图 13

八、  $Z_1 = Q_0 \bar{Q}_1$  ,  $Z_2 = Q_0 Q_1$  ,  $Z_3 = \bar{Q}_0 Q_1$  波形如图 14 所示 :

