

## 数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											

本题得分

## 一、(8分) 填空和选择填空 (每空 1分)

注  
意  
行  
为  
规  
范1. 函数式  $F(A,B,C,D) = A + \bar{D} + B \oplus C$  写成最大项之积的形式为\_\_\_\_\_。2. 函数式  $F(A,B,C) = \sum m(3,5,6,7)$  化成最简与或式为\_\_\_\_\_。

3. 在下列门电路中, 输出端不可以并联使用的是\_\_\_\_\_。

A. 集电极开路门

B. 三态门

C. CMOS 传输门

D. 具有推挽式输出结构的 TTL 门电路

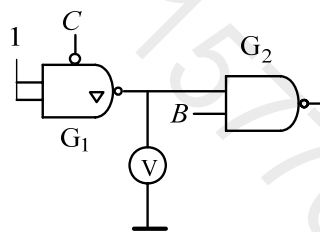
4. 某 TTL 门电路的输入短路电流  $I_S=1.4\text{mA}$ , 高电平输入漏电流  $I_R=0.02\text{mA}$ , 最大灌电流  $I_{OL\text{Max}}=15\text{mA}$ , 最大拉电流  $I_{OH\text{Max}}=0.4\text{mA}$ , 其扇出系数  $N_0=_____$ 。5. 电路如图 1 所示,  $G_1$  为 TTL 三态门,  $G_2$  为 TTL 与非门,  $C=1$ 。若  $B$  端悬空, 则万用表的读数近似为\_\_\_\_\_V; 若  $B$  端改接至 0.3V, 则万用表的读数近似为\_\_\_\_\_V。

图 1

6. 逐次逼近型 A/D 转换器属\_\_\_\_\_ (直接型, 间接型) A/D 转换器。

7. 需要\_\_\_\_\_片  $1\text{K} \times 4\text{bit}$  的 RAM 存储器才能扩展成  $4\text{K} \times 8\text{bit}$  的存储器。主管  
领导  
审核  
签字

本题得分

二、(8分) 图2所示电路由同步十六进制计数器74LS161、四位加法器74LS283和与非门组成， $C_0$ 为来自低位的进位信号，回答下面问题：

1. 74LS161和与非门构成多少进制计数器？
2. 按着 $Q_DQ_CQ_BQ_A$ 的顺序，74LS161输出是什么编码？
3. 若要求从 $S_4S_3S_2S_1$ 输出为BCD8421码，则 $B_4B_3B_2B_1$ 及 $C_0$ 应如何连接？

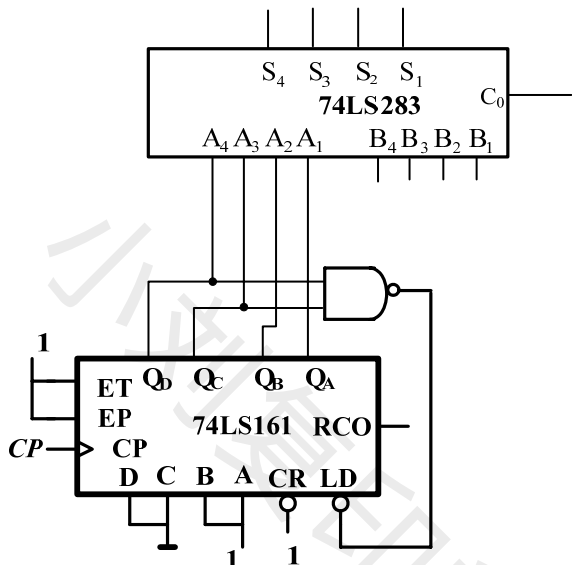


图2

本题得分

三、(6分) 由一片8位二进制加法计数器和一片8位D/A转换器构成的电路如图3所示。设 $CP$ 的频率为1kHz；计数器为异步清零方式；D/A转换器的最大输出电压为5.1V。回答下面问题：

1. 计数器是多少进制计数器？
2. 计算输出信号 $Y$ 的最大输出电压值和周期。

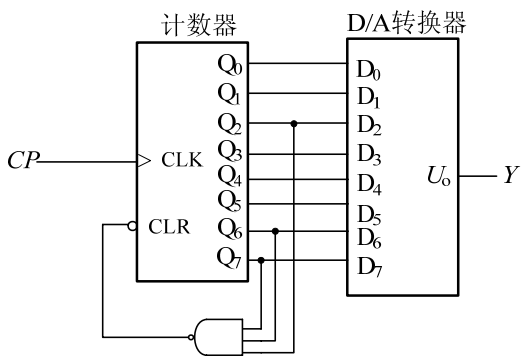


图3

本题得分

四、(6分)用 ROM 实现  $Z = X^2Y$  的计算, 其中  $X$ 、 $Y$  均为两位二进制数,  $Z$  为多位二进制数, 列出真值表, 完成图 4 中阵列图的绘制。

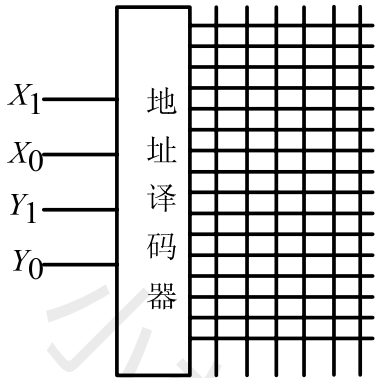


图 4

本题得分

五、(4分)用图 5 中的 74LS138 译码器作地址译码器, 地址信号为  $A_7 \sim A_0$ ,  $A_7$  为最高位, 要求 8 位地址为  $C0H \sim C7H$  时, 译码器依次输出有效信号, 则译码器的输入应如何连接? 连接时可以使用必要的逻辑门, 品种不限。

- $A_0$  —
- $A_1$  —
- $A_2$  —
- $A_3$  —
- $A_4$  —
- $A_5$  —
- $A_6$  —
- $A_7$  —

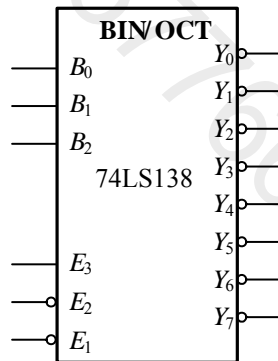


图 5

本题得分

六、(14分) 电路如图 6 所示, 电容  $C=0.0022\mu\text{F}$ 。试求:

1. 如果想使 555 定时器输出频率为 50kHz, 占空比为 60% 的矩形波, 则电阻  $R_A$  和  $R_B$  的电阻值分别为多大?
2. 说明  $Q_1$  对  $CP$  几分频?
3. 初始时  $Q_1Q_0=00$ , 画出在  $CP$  作用下  $Y_D$ 、 $Y_C$ 、 $Y_B$ 、 $Y_A$  的波形; 根据波形, 说明该电路的功能?

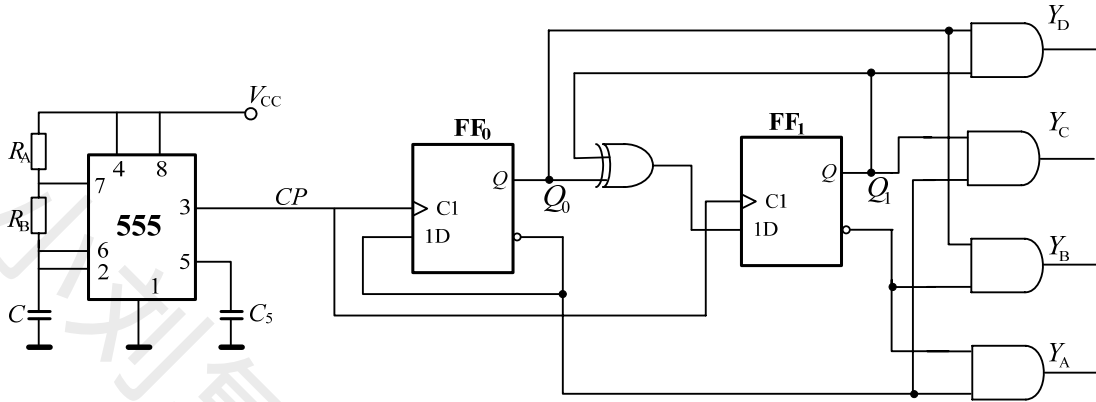


图 6(a)



图 6(b)

本题得分

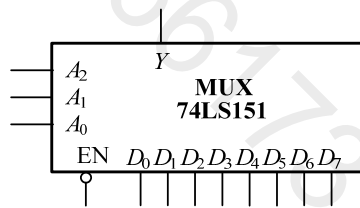
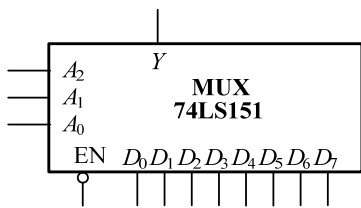
七、(12分) 多功能组合逻辑电路如图 7 所示,  $AB$  为控制输入,  $CD$  为两位二进制数输入,  $Y_2Y_1$  为输出。当  $AB=00$  时, 对  $CD$  做加 1 运算; 当  $AB=01$  时, 对  $CD$  做减 1 运算; 当  $AB=10$  时, 对  $CD$  做加 0 运算; 当  $AB=11$  时, 为禁止状态。回答下面问题:

面问题:

1. 列真值表, 分别写出  $Y_1$  和  $Y_2$  的逻辑表达式, 并指出约束条件是什么?
2. 试用两片 8 选 1 数据选择器 74LS151 和必要的非门实现该电路。



图 7



试题:

班号:

姓名:

本题得分

八、(12分) 阅读程序, 并回答下列问题。

1. 根据下面一段 Verilog HDL 语言的描述, 说明所描述电路的逻辑功能。

```
module dig1(W,Y,z);
input [3:0] W;
output reg [1:0] Y;
output reg z;

always @(W)
begin
z=1;
case(W)
4'b1xxx: Y=3;
4'b01xx: Y=2;
4'b001x: Y=1;
4'b0001: Y=0;
default: begin
z=0;
Y=2'bx;
end
endcase
end
endmodule
```

2. 根据下面一段 Verilog HDL 语言的描述, 说明所描述电路的逻辑功能, 并画出相应的逻辑电路图。

```
module dig2(q2,d,clk);
input clk,d;
output q2;
reg q2,q1,q0;
always @(posedge clk)
begin
q2<=q1;
q1<=q0;
q0<=d;
end
endmodule
```

试题:

班号:

姓名:

---

3. 在题 2 电路的基础上, 添加适当的逻辑门, 设计一个序列脉冲发生器, 使之在  $clk$  信号作用下, 在  $q_2$  端循环地产生 01011100 这样一组 8 位序列脉冲, 要求给出设计过程, 并画出该序列脉冲发生器完整的逻辑电路图。

小刘复印社

15776617328

# 数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

本题得分

一、(10分)填空和选择填空（每空1分）

注意  
行为  
规范

- 根据反演规则, 若  $Y = \overline{\overline{AB} + C} + D + C$ , 则  $\overline{Y} =$  \_\_\_\_\_。
- 图1所示门电路均为TTL门, 则电路输出  $P_1 =$  \_\_\_\_\_;  $P_2 =$  \_\_\_\_\_。

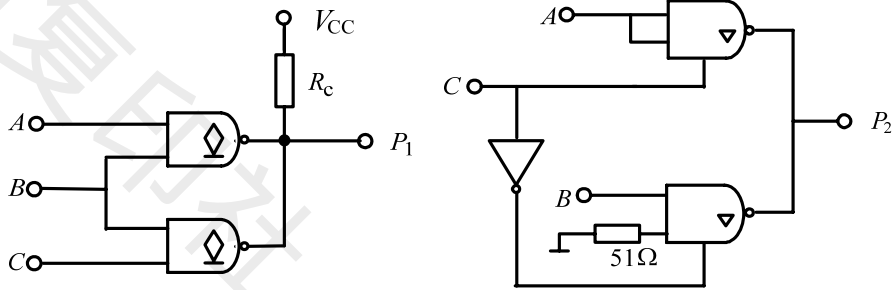


图1

- 由TTL门组成的电路如图2所示, 已知它们的输入短路电流为  $I_S = 1.6\text{mA}$ , 高电平输入漏电流  $I_R = 40\mu\text{A}$ 。试问: 当  $A=B=1$  时,  $G_1$  的 \_\_\_\_\_ (拉, 灌) 电流为 \_\_\_\_\_;  $A=0$  时,  $G_1$  的 \_\_\_\_\_ (拉, 灌) 电流为 \_\_\_\_\_。

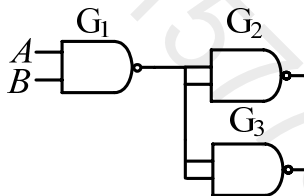


图2

- 3位扭环形计数器的计数长度为 \_\_\_\_\_。
- 某EPROM有8条数据线, 13条地址线, 则存储容量为 \_\_\_\_\_ Kbit。
- 某512位串行输入串行输出右移寄存器, 已知时钟频率为  $4\text{MHz}$ , 数据从输入端到达输出端被延迟 \_\_\_\_\_  $\mu\text{s}$ 。

主管  
领导  
审核  
签字

--



本题得分

二、(6分)  $F(A,B,C,D) = \sum m(0,2,3,4,5,6,7,11,12) + \sum d(8,9,10,13,15)$ , 用两片 74LS138 和最少的二输入与门实现  $F$ 。

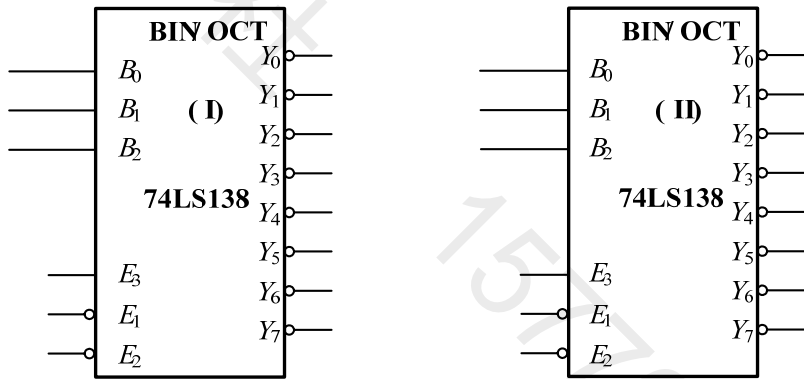


图 3

试题:

班号:

姓名:

本题得分

三、(6分) 已知图4中AD7524为8位D/A转换器,当 $D_6=1$ ,其它各位均为“0”时, $U_O=-1V$ 。74LS90为2/5分频异步加法计数器,时钟CP的频率为10kHz。

1. 74LS90构成几进制计数器;
2. 计算 $|U_O|$ 的最大值及其频率;

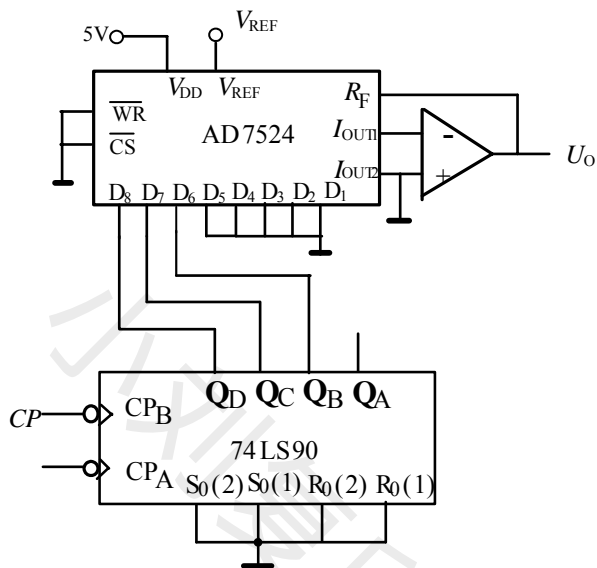


图4

本题得分

四、(6分) 根据下面二段 Verilog HDL 语言的描述,说明所描述电路的逻辑功能。

```
module test1 (a,b,s,y);
    input a,b;
    input s;
    output y;
    assign y = (s==0)? a : b;
endmodule
```

```
module test2(clk,clr,out);
    input clk,clr;
    output[3:0] out;
    reg[3:0] out;
    always @(posedge clk or negedge clr)
    begin
        if (!clr) out<= 4'h0;
        else
            begin
                out<=(out>> 1);
            end
    end
```

试题:

班号:

姓名:

```

out[3]<= ~out[0];
end
end
endmodule
    
```

本题得分

五、(14分) 电路如图 5 所示，时钟脉冲 CP 的频率为 12kHz。

- (1) 画出 74LS161 构成电路的完整状态转换图；
- (2) 分析由触发器 FF<sub>1</sub>、FF<sub>2</sub> 构成的计数器，画出完整的状态转换图、说明为几进制计数器；
- (3) 指出 Q<sub>d</sub>、Q<sub>2</sub> 的频率和占空比。
- (4) CP 频率不变，使 Q<sub>d</sub> 的频率降为现在的  $\frac{1}{2}$ ，应如何改变 74LS161 的接线？(不允许增加器件。)

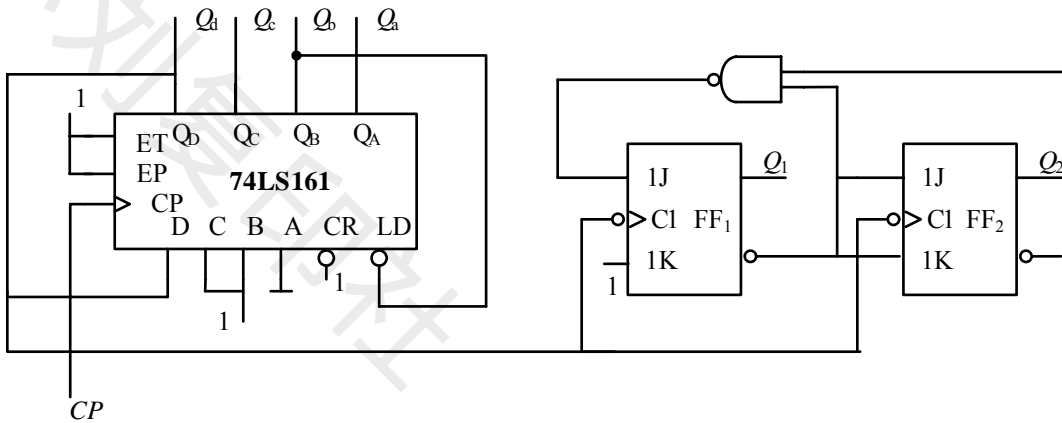


图 5

本题得分

六、(10分) 由 555 定时器构成的电路如图 6 所示, 设输出高电平为 5V, 输出低电平为 0V; VD 为理想二极管。试问:

1. 当开关 S 断开时, 两个 555 定时器各构成什么电路? 计算输出信号  $u_{o1}$ 、 $u_{o2}$  的频率  $f_1$  和  $f_2$ 。
2. 当开关 S 闭合时, 定性画出  $u_{o1}$ 、 $u_{o2}$  的波形。
3. 电容  $C_2$  和  $C_5$  的作用分别是什么?

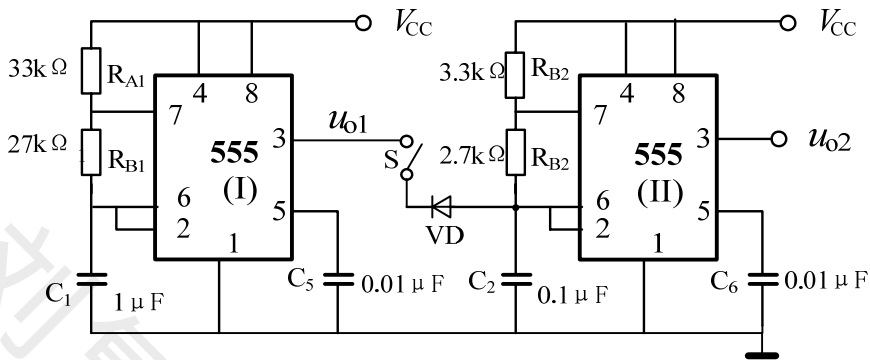


图 6

本题得分

七、(10分) 图 7 (a) 中,  $P_1 = \overline{AD} + C\overline{D}$ ,  $P_2 = \overline{A}\overline{B} + BC$ ,

1. 写出 P 的逻辑函数表达式。
2. 在图 7 (b) 中可外接必要的非门实现图 7 (a) 所示电路 (输入 A、B、C、D, 输出 P)。

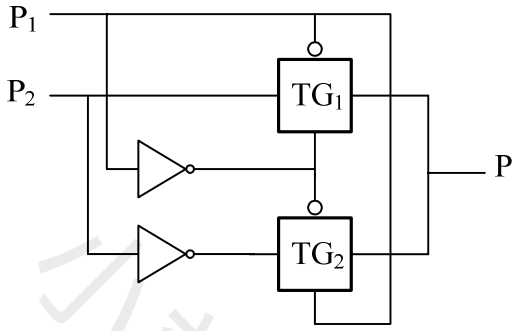


图 7 (a)

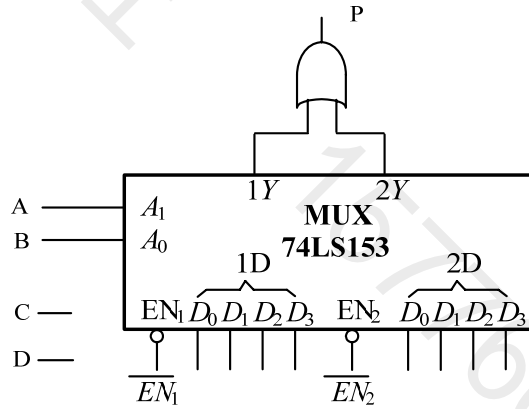


图 7 (b)

本题得分

八、(8分)用 ROM 和两个 D 触发器设计能够进行加法计数和减法计数的二进制同步可逆计数器。当输入  $X=0$  时, 进行加法计数; 当  $X=1$  时, 进行减法计数。输出  $Y$  为进位/借位信号。当计数器加法计数加到 11, 进位信号输出正脉冲, 当计数器减法计数减到 00, 借位信号输出正脉冲。工作时序图如图 8(a)所示, 假设  $Q_2Q_1$  初始状态为 00。

- 1) 完整填写表 1 中的内容。
- 2) 求状态方程和输出方程。
- 3) 在图 8(b)中完成电路设计, 不允许使用 D 触发器的  $\bar{Q}$  端。(只需在图中连线, 不允许增加其它的门电路)。

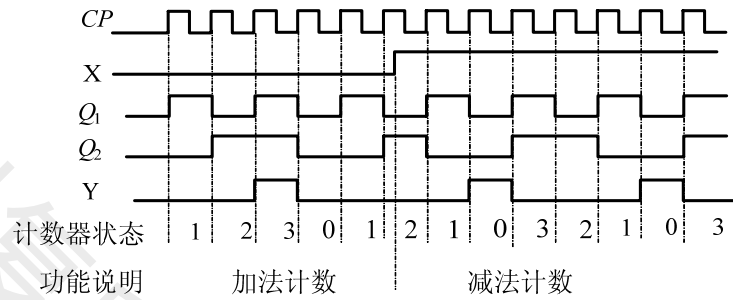


图 8(a)

表 1 可逆计数器的真值表

$X$	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Y$

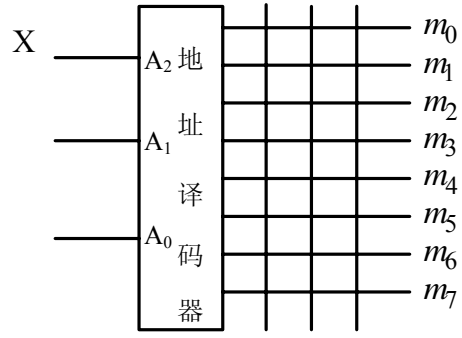
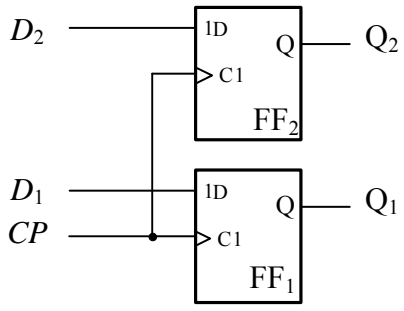


图 8(b)

小刘复印社

15776617328

## 数字电子技术基础(A)试 题

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											

注  
意  
行  
为  
规  
范

遵  
守  
考  
场  
纪  
律

主  
管  
领  
导  
审  
核  
签  
字

本题得分

一、(12分)填空和选择(每空1分)

- (1) 进制为一千的计数器至少应使用\_\_\_\_\_个触发器实现。
- (2) 集电极开路门使用时应注意在输出端接\_\_\_\_\_。
- (3) 32选1数据选择器有\_\_\_\_\_个选择变量。
- (4) 函数式  $Y = AB + \overline{BCD}$ , 写出其对偶式  $Y' =$ \_\_\_\_\_。
- (5) 相同供电电源的 CMOS 门电路与 TTL 门电路相比, \_\_\_\_\_门的噪声容限更大; \_\_\_\_\_门的静态功耗更低。
- (6) 模数转换时, 要求能分辨 ADC 输入满量程 0.1% 的变化, 则至少需要使用\_\_\_\_\_位的 ADC。若信号频率为 20kHz, 则要求该 ADC 采样频率至少为\_\_\_\_\_ kHz。
- (7) 由与非门构成的基本 RS 触发器, 其约束条件是\_\_\_\_\_。
- (8) 下列器件的信号一定不能和其他输出信号接在一起的是\_\_\_\_\_。
- (a) RAM 的数据信号;
- (b) ROM 的数据信号;
- (c) 74LS138 的输出信号。
- (9) 下列说法正确的是\_\_\_\_\_。
- (a) 输入悬空时, TTL 门电路的输入端相当于接低电平;
- (b) 输入悬空时, CMOS 门电路的输入端相当于接低电平;
- (c) 输入悬空时, CMOS 门电路的输入端相当于接高电平;
- (d) 实际应用中, 门电路的输入端应尽量避免悬空。
- (10) 用万用表测量一个标准 TTL 门电路的输出信号, 发现其值为 1.5V, 可能的情况有(多选): \_\_\_\_\_。
- (a) 输出端处于高阻态;
- (b) 两输出信号短接;
- (c) 输出为脉冲信号;
- (d) 驱动门过载。



本题得分

二、(8分)简答题。

(1) 画出函数  $F_1$  和  $F_2$  的卡诺图, 并求出  $F_1$  和  $\overline{F_2}$  的最简与或式。

$$F_1(A, B, C, D) = \overline{A} \overline{B} D + \overline{A} B + A \overline{B} + ABC$$

$$F_2(A, B, C, D) = \sum m(0, 1, 2, 7, 11, 14, 15) + \sum d(8, 9, 10)$$

(2) 图 2 中门电路  $G_1$  和  $G_2$  为 TTL 门电路, 并假设传输门导通电阻可忽略, 分别填写  $C_1$  和  $C_2$  不同电平下电压表  $V_1$  和  $V_2$  电压值 (TTL 门电路输出高电平 3.6V, 输出低电平 0.3V):

$C_1$  为高电平,  $C_2$  为低电平时,  $V_1 = \underline{\hspace{2cm}}$  V,  $V_2 = \underline{\hspace{2cm}}$  V;

$C_1$  为低电平,  $C_2$  为高电平时,  $V_1 = \underline{\hspace{2cm}}$  V,  $V_2 = \underline{\hspace{2cm}}$  V。

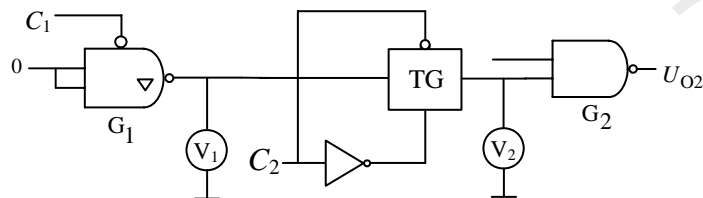


图 2

本题得分

三、(8分) 设计一个故障显示电路。要求为:

当只有电机 A 发生故障时, 故障指示灯 F 以 4Hz 的频率闪烁; 当只有电机 B 发生故障时, 故障指示灯 F 以 2Hz 的频率闪烁; 当电机 A、B 同时发生故障时, 故障指示灯 F 常亮; 当电机 A、B 均无故障时, 故障指示灯 F 灭。

已知时钟信号为 8Hz; 用变量 A、B 表示电机状态, “1” 表示电机发生故障; 用变量 F 表示指示灯状态, “1” 表示灯亮。试求:

- (1) 在图 3 中利用 8Hz 时钟和 2 个 D 触发器得到 4Hz 和 2Hz 的时钟信号;
- (2) 继续在图 3 中将上述故障显示电路设计实现。

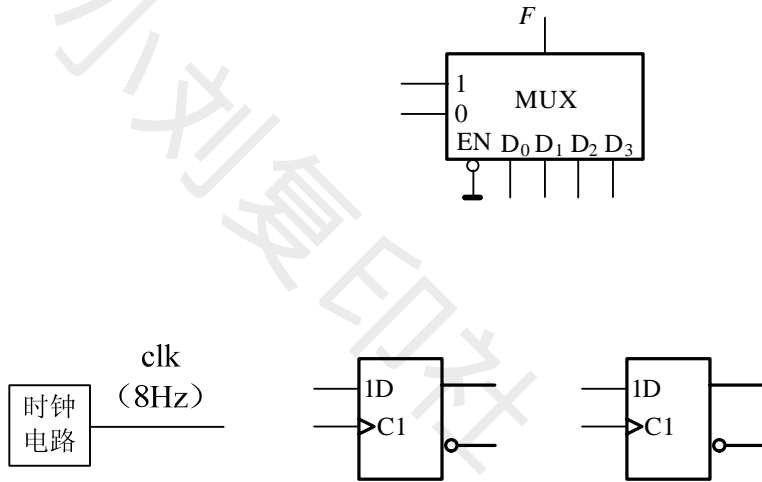


图 3

本题得分

## 四、(8分) 简答题

(1) 要实现异步清零的 12 进制计数器, 更正下列 verilog 程序的错误。

```
module Cnt0 ( clk, rst, Q );
input clk, rst;
output [2:0] Q;
reg [2:0] Q;

always@( posedge clk)
begin
    if ( !rst )
        Q = 0;
    else
        Q = Q + 1'b1;
        if ( Q >= 12 )
            Q = 0;
    end
endmodule
```

(2) 根据下列程序画出完整的状态转换图 (要求按照 Q[2]、Q[1]、Q[0]的顺序表示输出状态)

```
module Cnt1 (clk, rst, Q);
input clk, rst;
output [2:0] Q;
reg [2:0] Q;
always@( posedge clk )
    if( !rst )
        Q <= 3'b000;
    else
        begin
            Q[0] <= ~Q[0];
            Q[1] <= Q[0]^Q[1];
            Q[2] <= Q[0]^Q[1];
        end
endmodule
```

本题得分

五、(8分) 由 16 进制同步加法计数器 74LS161 和存储器构成的电路如图 5 所示。

(1) 将  $D_0$ 、 $D_3$  用  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$  的最小项表示 (按  $A_3A_2A_1A_0$  的顺序确定最小项编号);

(2) 画出  $Q_D$ 、 $Q_C$ 、 $Q_B$ 、 $Q_A$  完整的状态转换图;

(3) 在正常计数循环内,  $D_1$ 、 $D_2$  平时输出低电平, 当计数器输出为最小值时,  $D_1$  输出高电平; 当计数达到最大值时,  $D_2$  输出高电平, 为实现该功能, 请直接在图上画出  $D_1$ 、 $D_2$  的阵列。

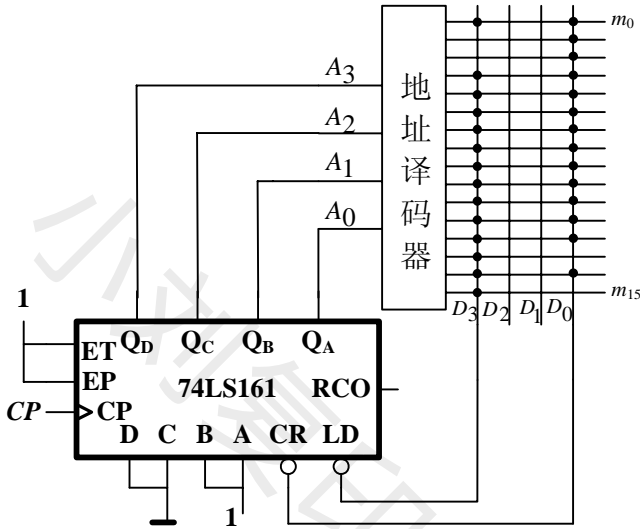


图 5

本题得分

六、(8分) 由 2-8 分频异步加法计数器 74LS93 和 555 定时器构成电路如图 6(a)所示:

- (1) 写出虚线框内电路的名称;
- (2)  $CP$  时钟信号频率为 20kHz, 假设计数器初态为 0, 在图 6(b)中画出  $u_i$ 、 $u_o$  的波形。

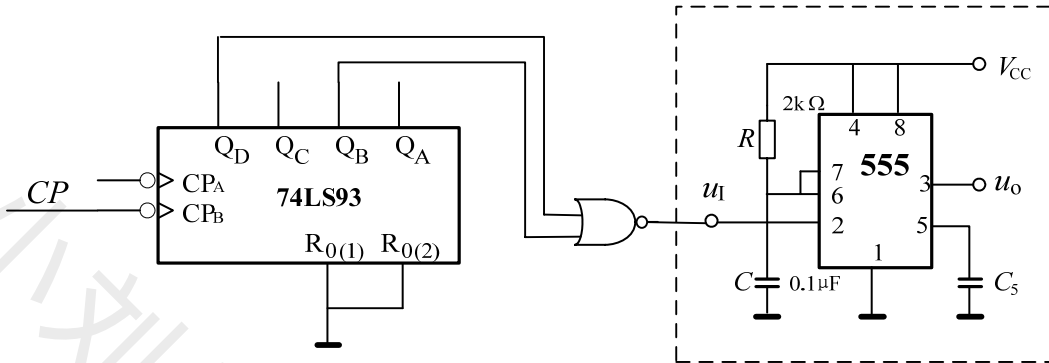


图 6(a)

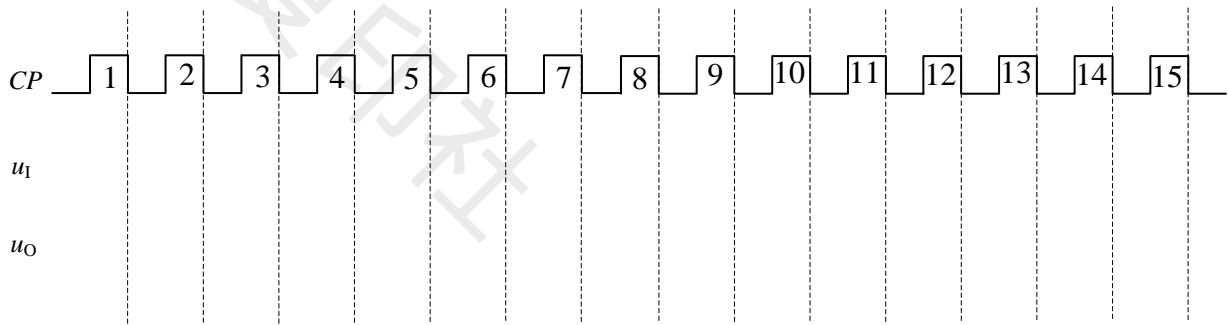


图 6(b)

本题得分

七、(10分) 由触发器、74LS138及DAC芯片构成的电路如图7所示。

(1) 写出图7(a)中各触发器的状态方程;

(2) 按 $Q_2Q_1Q_0$ 的顺序画出完整的状态转换图, 指出其计数进制和计数方向;

(3) 在图7(b)中, 已知当DAC的输入只有最低有效位为1时, 输出模拟电压为10mV, 试画出计数器一个计数循环内D/A转换器的输出电压波形, 必须标注电压值。

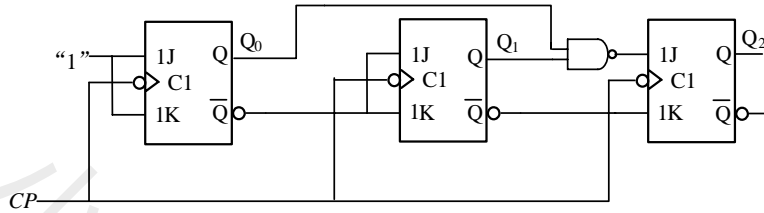


图 7(a)

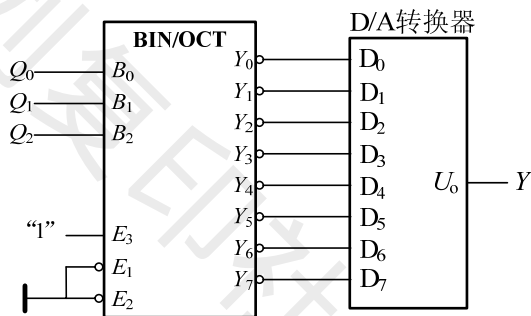
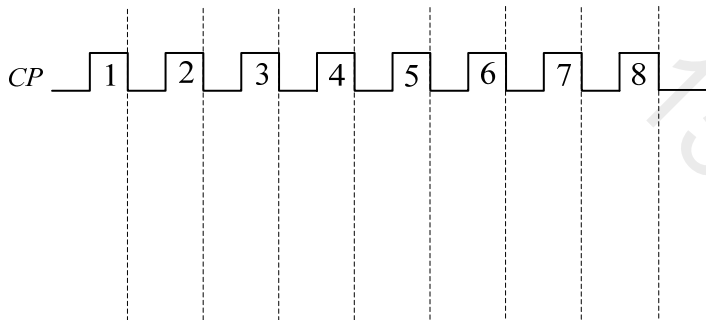


图 7(b)



本题得分

八、(8分) 某移位寄存器型计数器如图 8(a)所示。已知该计数器的计数循环中并不包含所有的 8 个输出状态, 如果上电后计数器的初始状态位于计数循环之外, 该计数器能够实现自启动。该计数器在某 3 次不同的上电启动过程 (用 A、B、C 标记) 的初始阶段, 恰好观测到  $Q_2$  输出如下序列:

A) 00011100111001110011100111001110011 .....  
 B) 01001110011100111001110011100111001 .....  
 C) 10111001110011100111001110011100111 .....  
 (1) 请指出该计数器的进制数是多少;  
 (2) 在表 A、B、C 中将上述三次上电启动过程最初 10 个周期的计数器状态转换表补充完整;  
 (3) 画出计数器输出  $Q_2Q_1Q_0$  的完整状态转换图;  
 (4) 在图 8(b)所示的电路的基础上, 用必要的逻辑门实现图 8(a)中的反馈逻辑电路, 使计数器实现上述功能。(注意不能改变其移位寄存器型计数器的属性, 即不能改动图 8(b)中的已有连接)

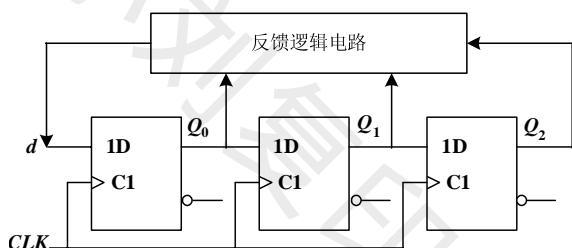


图 8(a)

表 A 过程 A 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			0
1			0
2			0
3			1
4			1
5			1
6			0
7			0
8			1
9			1

表 B 过程 B 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			0
1			1
2			0
3			0
4			1
5			1
6			1
7			0
8			0
9			1

表 C 过程 C 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0			1
1			0
2			1
3			1
4			1
5			0
6			0
7			1
8			1
9			1

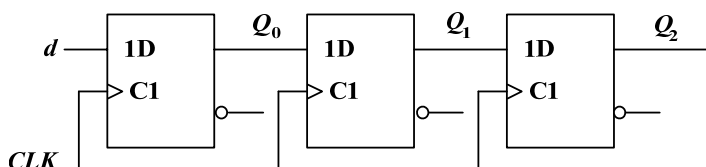


图 8(b)

# 数字电子技术基础试题 (A)

班号	
学号	
姓名	

题号	一	二	三	四	五	六	七	八	总分
分数									

得分

一、选择与填空 (共 9 分)

1. 函数表达式  $Y = \overline{\overline{AB} + C} + D + C$ , 则其对偶式为 (不必化简):

$Y' =$  \_\_\_\_\_。

2. 图 1-2 为 CMOS 工艺数字逻辑电路, 写出  $F$  的表达式:  $F =$  \_\_\_\_\_。

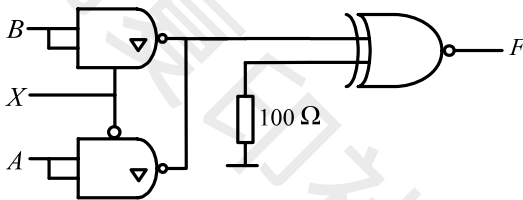


图 1-2

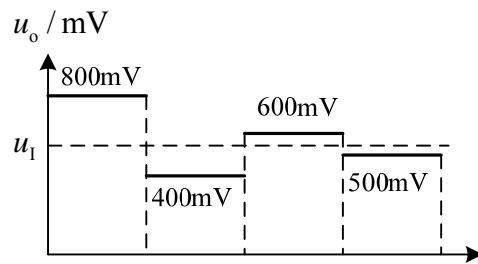


图 1-3

3. 图 1-3 为 \_\_\_\_\_ (逐次逼近型、双积分型、流水线型) A/D 转换器的转换示意图, 转换结果为 \_\_\_\_\_。

4. 对于一个 8 位 D/A 转换器, 若最小输出电压增量为 0.01V, 当输入代码为 01001101 时, 输出电压  $u_o =$  \_\_\_\_\_ V, 分辨率 = \_\_\_\_\_。

5. 已知时钟脉冲频率为  $f_{cp}$ , 欲得到频率为  $0.25f_{cp}$  的矩形波, 哪种电路一定无法实现该功能 ( )

- A. 四进制计数器;
- B. 四位二进制计数器;
- C. 单稳态触发器;
- D. 施密特触发器。

6. 用 555 定时器构成的单稳态触发器, 在 3 管脚  $OUT$  端获得稳态输出时, 电路内部与 7 管脚连接的放电管 VT 工作在 \_\_\_\_\_ 区。

- A. 放大;
- B. 饱和;
- C. 截止

7. 某 EPROM 有 8 条数据线, 10 条地址线, 其存储容量为 \_\_\_\_\_ 字节。

主管  
领导  
审核  
签字



得分

二、简答题。

1. 电路如图 2-1 所示。  $V_{CC} = 5V$ ， $R$  取值合适，写出  $F$  的表达式（不必化简）。

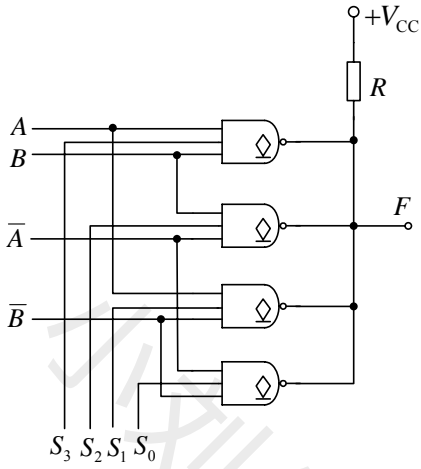


图 2-1

2. 卡诺图化简:  $P(A, B, C, D) = \sum m(0, 1, 2, 3, 5, 8)$ ,  $(ABD + BCD + A\bar{B}C = 0)$

试题:

班号:

姓名:

3. 在图 2-3 中, 用一片 74LS160 和一片 74LS161, 配合必要的逻辑门电路, 构成 128 进制计数器。要求: 使用置数方式, 且 74LS160 为低位芯片, 74LS161 为高位芯片。

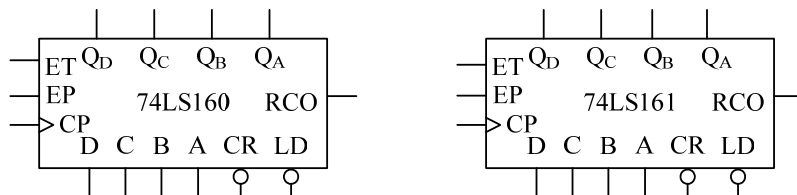


图 2-3

得分
----

三、(10 分)一个保险箱有 3 个按键, 当 3 个键都不按下时, 保险箱关闭, 不报警; 当只有一个按键按下时, 保险箱仍关闭, 但报警; 当有 2 个按键按下时, 保险箱打开, 不报警; 当三个按键同时按下时, 保险箱打开, 但要报警。试设计此逻辑电路。

要求: 输入变量为  $A$ 、 $B$ 、 $C$ , 按键按下取值为“1”, 否则取值为“0”。输出变量分别为保险箱开锁信号  $X$  和报警信号  $Y$ , 保险箱打开时  $X=1$ , 关闭时  $X=0$ ; 报警时  $Y=1$ , 不报警时  $Y=0$ 。

1. 列写真值表, 并用输入变量  $A, B, C$  最小项和的形式分别表示输出  $X$  和  $Y$ ;
2. 在图 3(a)中, 用最小项译码器 74LS138 和与门实现该逻辑电路;
3. 在图 3(b)中, 用双 4 选 1 数据选择器 74LS153 和非门实现该逻辑电路 (要求变量  $A, B$  接入选择变量输入端)。

小刘复印社

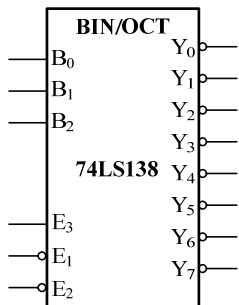


图 3(a)

13796658362

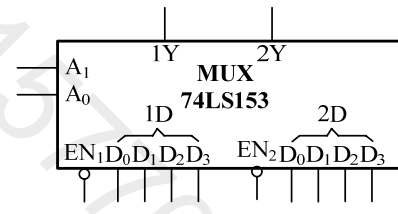


图 3(b)

试题:

班号:

姓名:

得分

四、(7分)电路如图4所示,设电路均为TTL工艺,74LS85为四位数码比较器。其中 $A_4$ 和 $B_4$ 为高位;当 $[A_4A_3A_2A_1]=[B_4B_3B_2B_1]$ 时, $Y_{A=B}=1$ ,否则 $Y_{A=B}=0$ 。

1. 说明虚线框中电路作为独立电路模块时的功能;

2. 若希望以 $[Q_4Q_3Q_2Q_1]$ 作为输出,电路构成七进制计数器,则 $[I_4I_3I_2I_1]$ 应取多少?并画出完整的状态转换图,判断电路能否自启动。

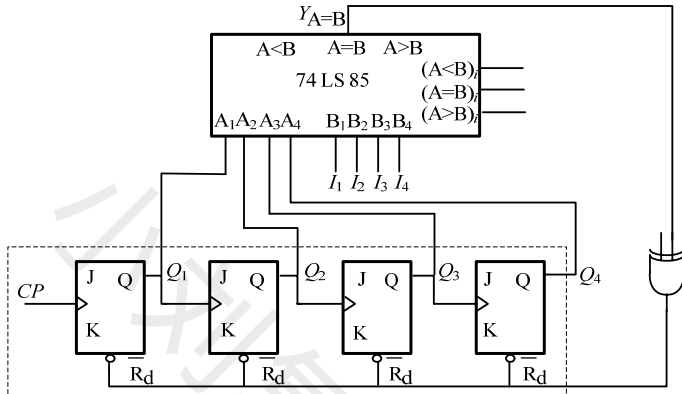


图 4

试题:

班号:

姓名:

得分	五、由中规模 16 进制加法计数器 74LS163 和 2/8 分频异步计数器 74LS93 构成的电路如图 5 所示。(11 分)
----	--

1. 给出虚线框内电路中 74LS163 的输出 $[Q_d Q_c Q_b Q_a]$ 的完整状态转换表和完整状态转换图, 并说明构成几进制计数器;
2. 用 D 触发器和必要的门电路实现虚框内的电路功能, 给出驱动方程即可, 不必画出电路图;
3. 若图中时钟  $CP$  的频率为 1792Hz, 计算 74LS163 的输出  $Q_d$  的频率和占空比;
4. 分别计算图中 74LS93 的输出  $Q_D$  和  $Q_A$  的频率。

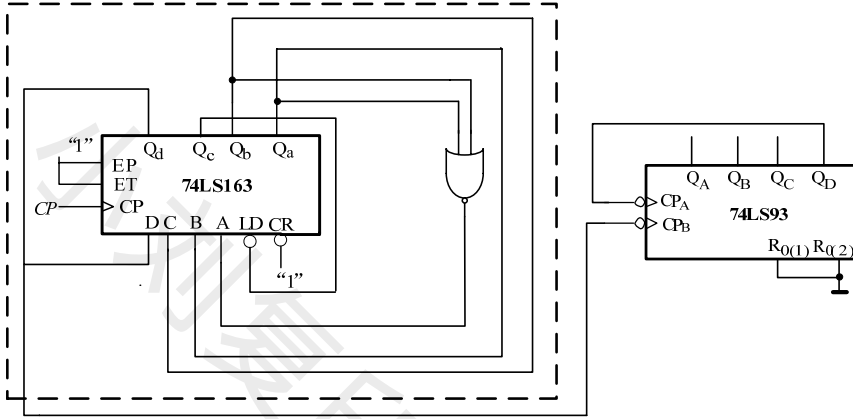


图 5

得分

六、(12分)由2/5分频异步计数器74LS90和存储器构成的电路如图6(a)所示。

1. 画出 $[Q_D Q_C Q_B Q_A]$ 的状态转换图(画出技术循环内的状态即可);

2. 设初始时刻 $[Q_D Q_C Q_B Q_A]=[0 0 0 0]$ , 给定时钟 $CP$ ,  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 的波形如图6(b)所示。请用 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 的与或标准型分别表示 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ (按 $A_3 A_2 A_1 A_0$ 的顺序确定最小项编号), 并在图6(a)中画出ROM阵列中的存储内容。

3. 图6(a)中检测电路的输入如图6(b)所示,  $D_3$ 与 $D_2$ ,  $D_1$ 与 $D_0$ 分别为两组方波信号, 试设计该检测电路, 要求当 $X$ 接 $D_0$ 、 $Y$ 接 $D_1$ 时,  $Z$ 稳定后输出为1; 当 $X$ 接 $D_2$ 、 $Y$ 接 $D_3$ 时,  $Z$ 稳定后输出为0。

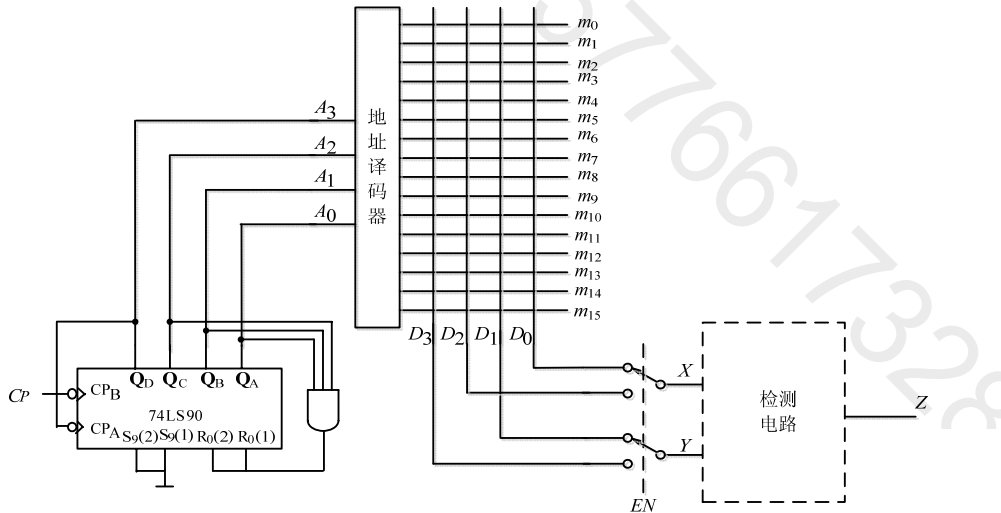


图 6(a)

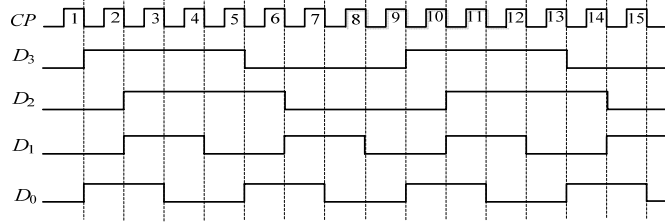


图 6(b)

小刘复印社

15776617328

得分

七、(6分)

1. 下列 Verilog 语言描述的逻辑电路图程序缺少三条语句, 请根据图 7-1 所示的电路图将程序补充完整。(3分)

```

module circuit1(clk, Dsr, Q, Qsr);
input clk, Dsr;
output Qsr;
output[4:1] Q;
reg [4:1] Q;
reg Qsr;
always @(posedge clk)
begin

```

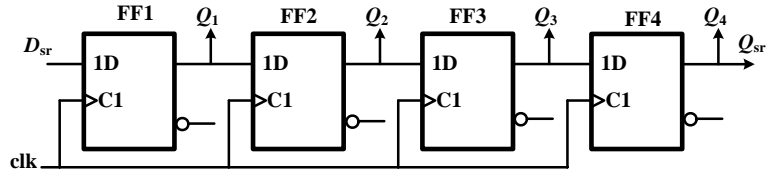


图 7-1

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

```

end
endmodule

```

2. 根据下面的 Verilog 语言描述的电路功能, 在图 7-2 中画出 Q 的波形 (设起始时刻 Q 为高电平)。(3分)

```

module circuit2(Q, clk, rst);
input rst, clk;
output Q;
reg Q;
always @(negedge clk)
begin
if(rst)
Q<=0;
else
Q<=~Q;
end
endmodule

```

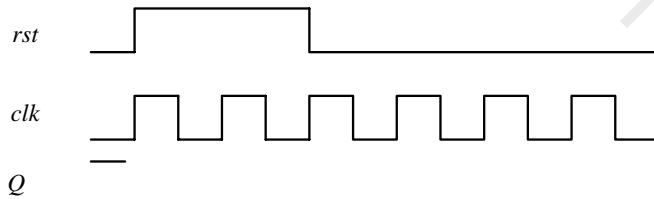


图 7-2



试题:

班号:

姓名:

得分

八、(6分) 图8所示是一个时钟发生电路。设触发器的初始状态  $Q=0$ 。

1. 分析该电路中虚线框内为何种电路，并指出二极管  $D_1$  和  $D_2$  的作用；
2. 画出图中  $u_1$ 、 $u_2$  及  $u_3$  的波形；
3. 计算  $u_1$ 、 $u_2$  及  $u_3$  的时钟频率。

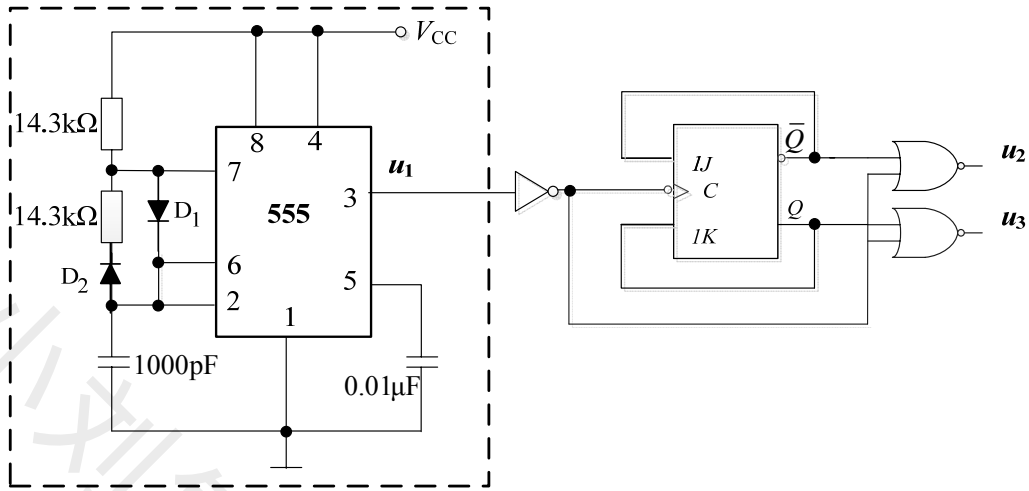


图8

哈尔滨工业大学 2014 学年 秋 季学期

# 数字电子技术基础 试 题

主管 领导 审核 签字
----------------------

题号	一	二	三	四	五	六	七	八	总分
得分									
阅卷人									

得分

一、填空与选择 (17 分)

- 根据对偶规则, 若  $F = A + B + \overline{CD} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$ , 则  $F' =$ \_\_\_\_\_。
- 判断下述说法是否正确, 正确者在其后( )内打√, 反之打×。
  - 全部最大项之积恒等于“0”。( )
  - 基本 RS 触发器可以构成移位寄存器。( )
  - 已知  $A \oplus B = \overline{A \odot B}$ , 因而  $A \oplus B \oplus C = \overline{A \odot B \odot C}$ 。( )
- 在下列门电路中, \_\_\_\_\_ 能实现“线与”逻辑功能; \_\_\_\_\_ 能用于总线结构的数据传输; \_\_\_\_\_ 能实现模拟信号的双向传输。  
A. 异或门; B. OC 门; C. 三态门; D. 传输门。
- 已知某组合逻辑电路的工作波形如图 1-1 所示, A、B 是输入信号, F 是输出信号, 则由波形可知 F 的逻辑表达式为\_\_\_\_\_。

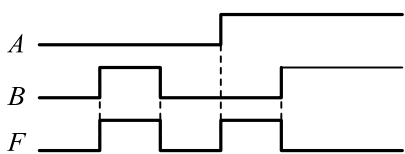


图 1-1

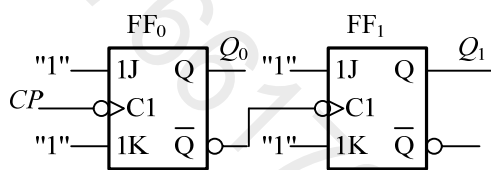


图 1-2

- 图 1-2 所示电路的逻辑功能为异步\_\_\_\_\_进制\_\_\_\_\_法计数器。
- 图 1-3 所示电路为\_\_\_\_\_型计数器, 具有\_\_\_\_\_个有效状态。

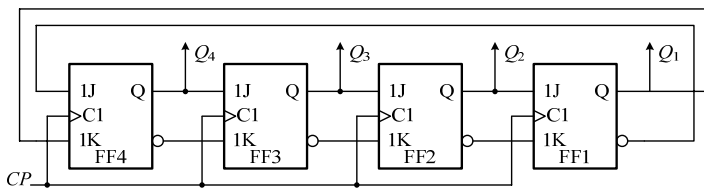


图 1-3

- 已知函数  $Y = \overline{A}C + A\overline{B}$ , 可能存在\_\_\_\_\_态冒险。

姓名

学号

院系

密

封

线

8. 由 TTL 门组成的电路如图 1-4 所示，设逻辑门的输出  $U_{OH}=3.6V$ ， $U_{OL}=0.3V$ ，电压表内阻为  $20k\Omega/V$ 。当输入  $ABC = 001$ ，用万用表测出  $U_1=$ \_\_\_\_\_， $U_2=$ \_\_\_\_\_；当输入  $ABC = 100$ ，测得  $U_1=$ \_\_\_\_\_， $U_2=$ \_\_\_\_\_。

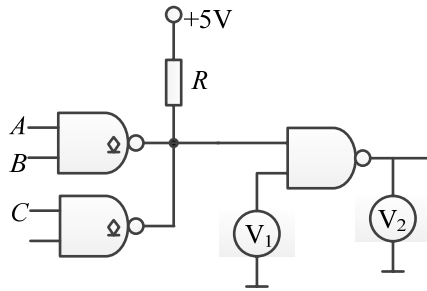


图 1-4

得分
----

二、简答题：(8分)

1. 电路如图 2-1(a)所示，设各触发器的初态为“0”。已知电路的输入波形如图 2-1(b)所示，试画出  $Q_1$ 、 $Q_2$  端的波形。

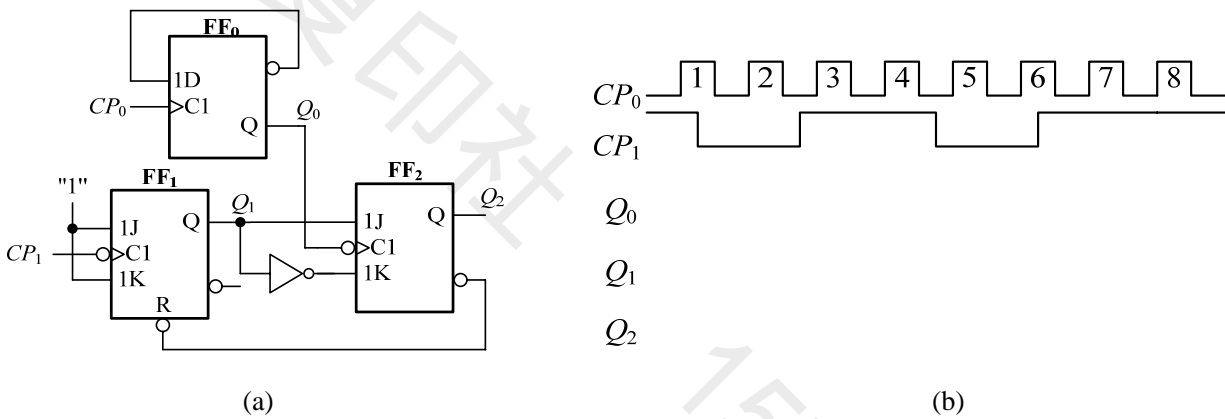


图 2-1

2. 已知某时序逻辑电路的状态转换如图 2-2(a)所示，设以  $Q_3$  为最高位， $Q_1$  为最低位。将  $Q_3Q_2Q_1$  连接到如图 2-2(b)所示的 ROM 的地址输入端，请在 ROM 矩阵中实现特定的逻辑电路，使得电路输出  $\overline{Y}_0 \sim \overline{Y}_7$  上获得顺序脉冲（在  $\overline{Y}_0 \sim \overline{Y}_7$  上依次产生一个低电平脉冲信号，每个低电平信号占一个时钟周期）。

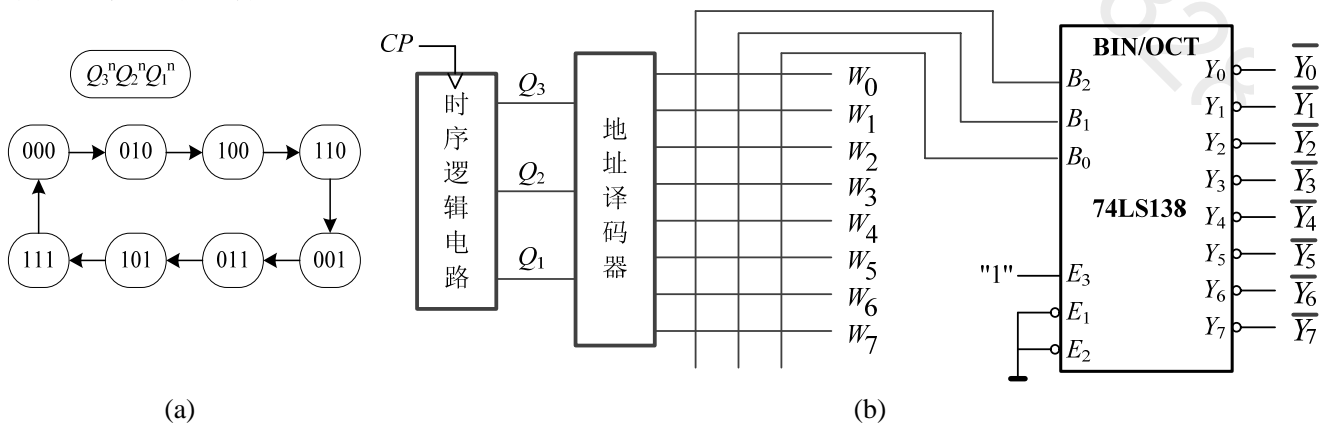


图 2-2

得分

三、已知电路如图 3 所示。试求：(7 分)

1. 指出虚线框内为何种逻辑电路的图形符号？
2. 写出虚线框内输出  $S_0$  和  $C_0$  的逻辑函数表达式；
3. 写出在  $G_1G_0$  的不同取值情况下，电路的输出  $F=?$

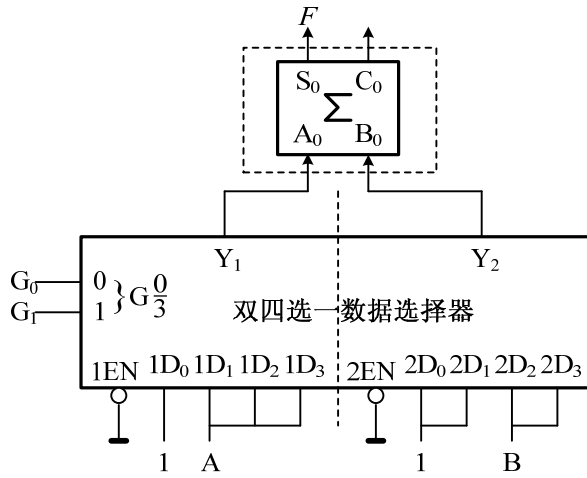


图 3

得分

四、请利用如图 4 所示的集成异步计数器 74LS90 构成具有可靠清零功能的 41 进制计数器，允许添加适当的门电路。(6 分)

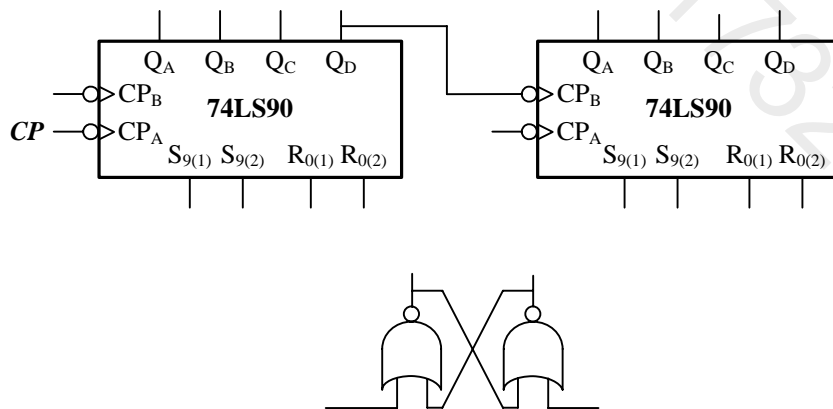


图 4

姓名

学号

院系

密 封 线

得分

五、用下降沿触发的 JK 触发器和门电路实现图 5(a)所示的状态转换图，X 为输入信号，Z 为电路的输出信号。试求：(10 分)

1. 说明当 X=1 时电路的逻辑功能；
2. 请画出该电路的次态卡诺图和输出函数 Z 的卡诺图；
3. 写出电路的驱动方程和输出方程，并在图 5(b)中画出电路图。

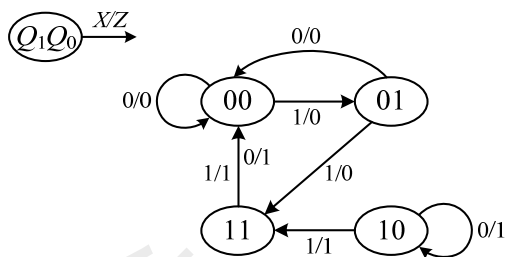


图 5(a)

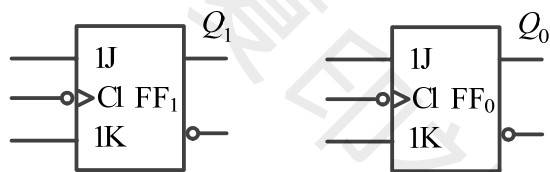


图 5(b)

15776617328

得分

六、某 AD 转换电路如图 6 所示，已知时钟脉冲  $CP$  的频率为  $100\text{kHz}$ ， $C = 1\mu\text{F}$ ， $-V_{\text{REF}} = -5\text{V}$ 。请分析电路的工作原理，回答下列问题。(6 分)

1. 写出电路的数字量输出  $D$  与  $u_1$  的关系表达式。
2. 若已知计数器  $n$  为 8 位， $R_1 = 10\text{k}\Omega$ ， $R_2 = 10\text{k}\Omega$ 。当输入  $u_1 = 2.5\text{V}$  时，则完成转换后输出的数字量  $D$  是多少？完成转换所需要的时间是多少？
3. 如果被转换的输入信号  $u_1$  的最大值是  $10\text{V}$ ，且电路能够完成正确的 AD 转换，那么要求  $R_1$  与  $R_2$  满足何种关系？

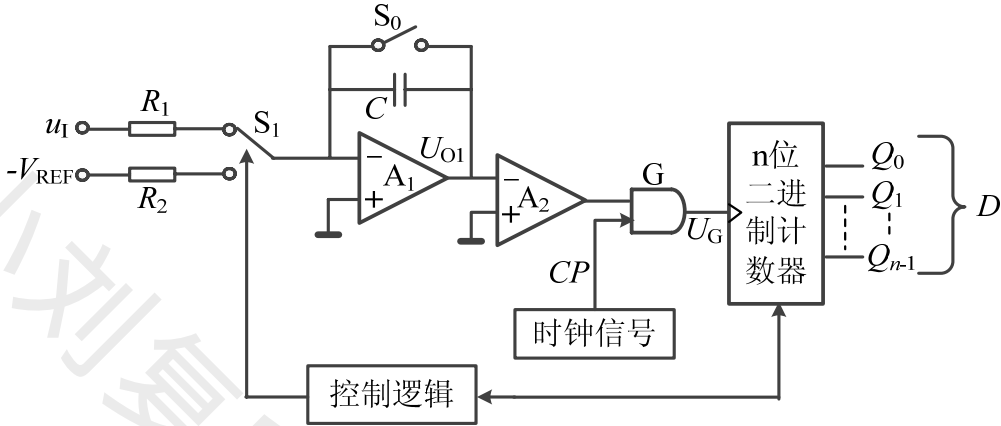


图 6

姓名

学号

院系

密  
封  
线

得分

七、由 555 定时器构成的电路如图 7(a)所示，设输出高电平为 5V，输出低电平为 0V。试问：(10 分)

1. 写出虚线框 I 内 555 定时器所构成电路的功能；
2. 分析虚线框 II 内电路构成几进制计数器，并画出其完整状态转换图(要求以  $Q_d$  为高位)；
3. 计算  $Q_a$  和  $Q_b$  的频率；
4. 设电路输出  $u_{o2}$  的初始状态为 0，请在图 7(b)中画出  $Q_a$ 、 $Q_b$  和  $u_{o2}$  的波形。

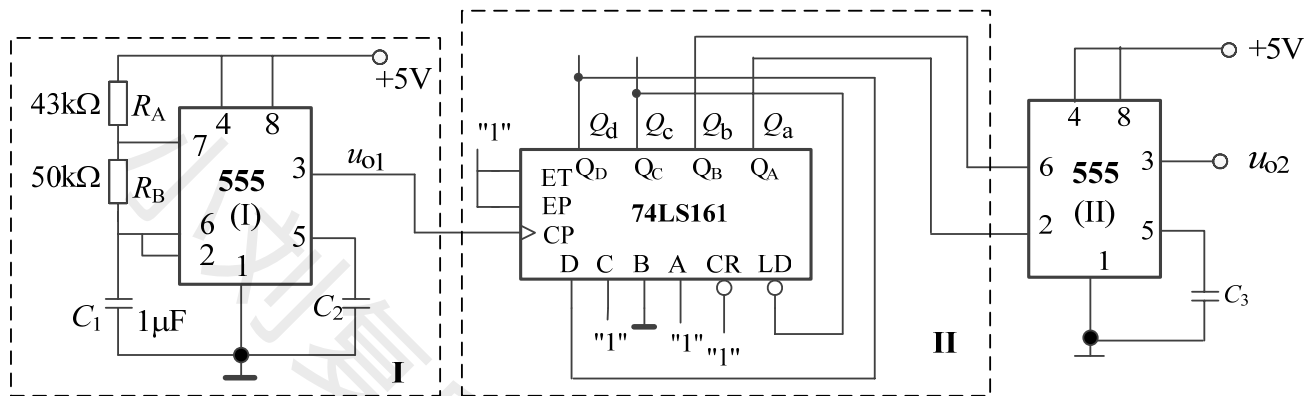


图 7(a)

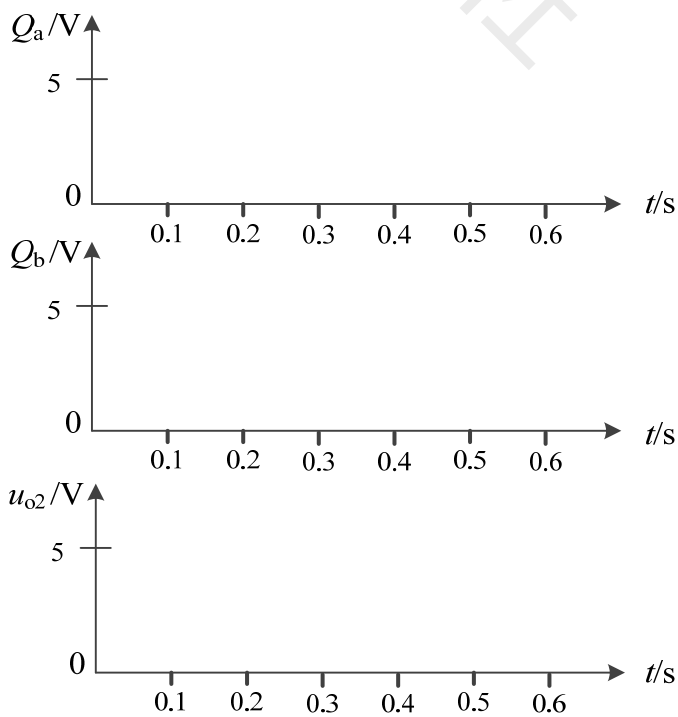


图 7(b)

得分

八、根据下面 Verilog HDL 语言的描述，回答下列问题：(6 分)

1. 题 8-1 中硬件描述语言实现的电路逻辑功能是什么？该电路能否自启动，如果不能，请修改(a), (b), (c), (d)中的某一条语句，使其能够自启动。

```

module Test1(Clk, Dataout);
input  Clk ;
output[3:0]  Dataout ;
wire[3:0]  Dataout ;
reg  Q1,Q2,Q3,Q4 ;
assign Dataout = {Q4,Q3,Q2,Q1};
always @(posedge Clk)
begin
    Q2 <= Q3;  //----- (a)
    Q3 <= Q4;  //----- (b)
    Q1 <= Q2;  //----- (c)
    Q4 <= ~Q1; //----- (d)
end
endmodule

```

题 8-1

提示：Verilog HDL 语言中位运算操作符为“与运算(&)”、“或运算(|)”、“非运算(~)”。

姓名

学号

院系

密

封

线



2. 题 8-2 中硬件描述语言实现的电路逻辑功能是什么？可选答案为：

(a) 双稳态触发器；(b) 可重触发单稳态触发器；(c) 不可重触发单稳态触发器；(d) 多谐振荡器。

```
module Test2(Clk,nRst,iTRIG,oTRIG);
input Clk,nRst,iTRIG;
output oTRIG;
reg[7:0] cnt;
reg DY1;
parameter DY_time = 8'H09;
always@( posedge Clk or negedge nRst)
begin
    if (!nRst)
        DY1 = 0;
    else if (iTRIG )
        DY1 = 1;
    else if (cnt >= DY_time)
        DY1 = 0;
end
always@( posedge Clk or negedge nRst)
begin
    if (!nRst)
        cnt <=0;
    else if (DY1 == 1 )
        cnt <= cnt + 1;
    else
        cnt <=0;
end
assign oTRIG =DY1;
endmodule
```

题 8-2

数字电子技术基础 试题答案

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											

本题得分

一、(8分) 填空和选择填空 (每空 1分)

注  
意  
行  
为  
规  
范

1. 函数式  $F(A,B,C,D) = A + \bar{D} + B \oplus C$  写成最大项之积的形式为  $M_1 \cdot M_7$ 。

2. 函数式  $F(A,B,C) = \sum m(3,5,6,7)$  化成最简与或式为  $BC + AC + CB$ 。

3. 在下列门电路中, 输出端不可以并联使用的是 D。

- A. 集电极开路门
- B. 三态门
- C. CMOS 传输门
- D. 具有推挽式输出结构的 TTL 门电路

4. 某 TTL 门电路的输入短路电流  $I_S=1.4mA$ , 高电平输入漏电流  $I_R=0.02mA$ , 最大灌电流  $I_{OLMax}=15 mA$ , 最大拉电流  $I_{OHMax}=0.4mA$ , 其扇出系数  $N_0=$  10。

5. 电路如图 1 所示,  $G_1$  为 TTL 三态门,  $G_2$  为 TTL 与非门,  $C=1$ 。若  $B$  端悬空, 则万用表的读数近似为 1.4 V; 若  $B$  端改接至 0.3V, 则万用表的读数近似为 0.3 V。

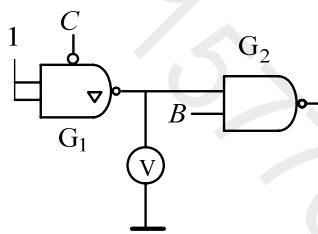


图 1

6. 逐次逼近型 A/D 转换器属 直接型 (直接型, 间接型) A/D 转换器。

7. 需要 8 片  $1K \times 4bit$  的 RAM 存储器才能扩展成  $4K \times 8bit$  的存储器。

主管  
领导  
审核  
签字

--

本题得分

二、(8分) 图2所示电路由同步十六进制计数器 74LS161、四位加法器 74LS283 和与非门组成,  $C_0$  为来自低位的进位信号, 回答下面问题:

1. 74LS161 和与非门构成多少进制计数器?
2. 按着  $Q_D Q_C Q_B Q_A$  的顺序, 74LS161 输出是什么编码?
3. 若要求从  $S_4 S_3 S_2 S_1$  输出为 BCD8421 码, 则  $B_4 B_3 B_2 B_1$  及  $C_0$  应如何连接?

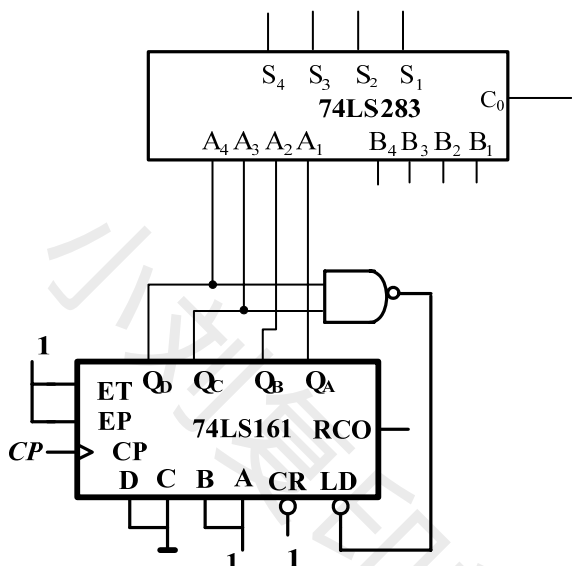


图2

解:

1. 10 进制 (0011→1100) (3分)
2. 余三码 (2分)
3.  $B_4 B_3 B_2 B_1$  及  $C_0$  接 1101 和 0 或 1100 和 1 (3分)

本题得分

三、(6分) 由一片 8 位二进制加法计数器和一片 8 位 D/A 转换器构成的电路如图3所示。设  $CP$  的频率为 1kHz; 计数器为异步清零方式; D/A 转换器的最大输出电压为 5.1V。回答下面问题:

1. 计数器是多少进制计数器?
2. 计算输出信号  $Y$  的最大输出电压值和周期。

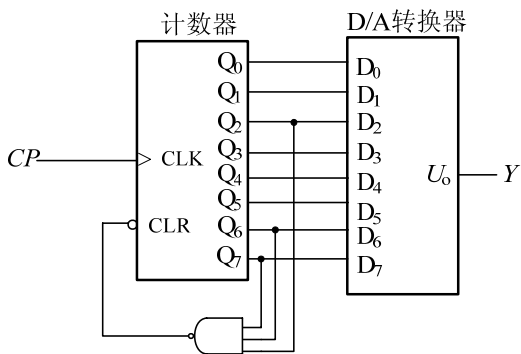


图3

试题:

班号:

姓名:

解:

1. 196 进制 (2 分)

$$2. U_{om} = \frac{5.1V}{255} \times 195 = 3.9V \quad (2 \text{ 分})$$

$$T = 196ms \quad (2 \text{ 分})$$

本题得分

四、(6 分)用 ROM 实现  $Z = X^2Y$  的计算, 其中  $X$ 、 $Y$  均为两位二进制数,  $Z$  为多位二进制数, 列出真值表, 完成图 4 中阵列图的绘制。

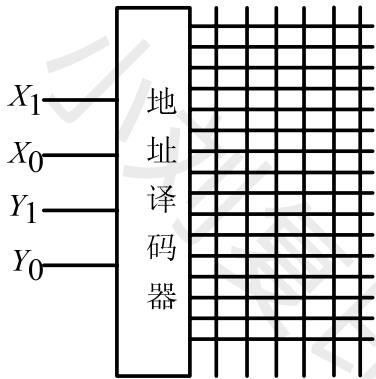
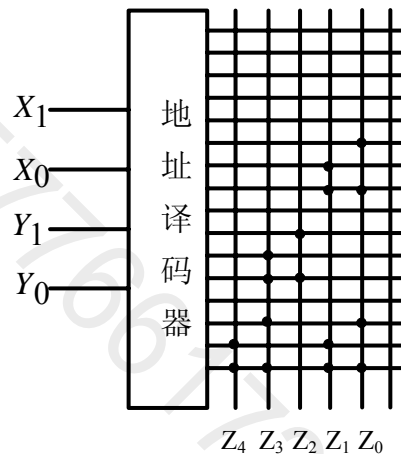


图 4

解:

$X_1$	$X_0$	$Y_1$	$Y_0$	$Z_4$	$Z_3$	$Z_2$	$Z_1$	$Z_0$
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	1
0	1	1	0	0	0	0	1	0
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0
1	0	1	0	0	1	0	0	0
1	0	1	1	0	1	1	0	0
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	0	0	1	0
1	1	1	1	1	1	0	1	1

(3 分)



(3 分)

本题得分

五、(4分)用图 5 中的 74LS138 译码器作地址译码器,地址信号为  $A_7 \sim A_0$ ,  $A_7$  为最高位,要求 8 位地址为  $C0H \sim C7H$  时,译码器依次输出有效信号,则译码器的输入应如何连接?连接时可以使用必要的逻辑门,品种不限。

$A_0$  —  
 $A_1$  —  
 $A_2$  —  
 $A_3$  —  
 $A_4$  —  
 $A_5$  —  
 $A_6$  —  
 $A_7$  —

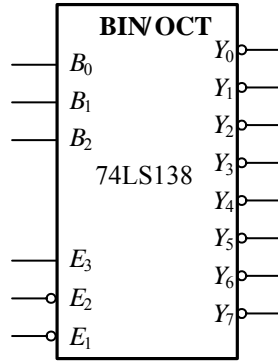
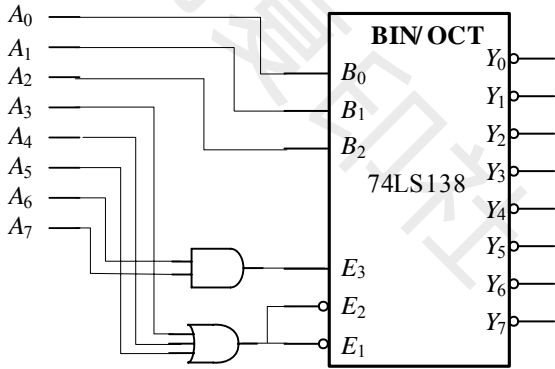


图 5

解:



(4分)

本题得分

六、(14分)电路如图 6 所示,电容  $C=0.0022\mu F$ 。试求:

1. 如果想使 555 定时器输出频率为 50kHz, 占空比为 60%的矩形波, 则电阻  $R_A$  和  $R_B$  的电阻值分别为多大?
2. 说明  $Q_1$  对  $CP$  几分频?
3. 初始时  $Q_1Q_0 = 00$ , 画出在  $CP$  作用下  $Y_D$ 、 $Y_C$ 、 $Y_B$ 、 $Y_A$  的波形; 根据波形, 说明该电路的功能?

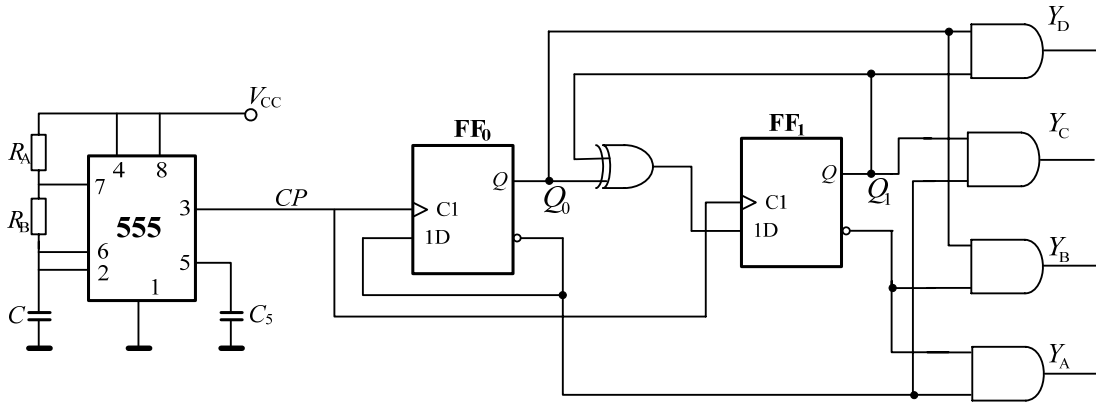


图 6(a)



图 6(b)

1. 由  $0.7(R_A + 2R_B)C = 1/(50 \times 10^3)$ ,  $\frac{R_A + R_B}{R_A + 2R_B} = 0.6$  得  $R_A = 2.6k\Omega$ ,  $R_B = 5.2k\Omega$  (4分)

2. 根据逻辑电路图, 可知各函数表达式为  $Q_0^{n+1} = \overline{Q_0^n}$ ;  $Q_1^{n+1} = Q_1^n \oplus Q_0^n$ ; 画出波形 (或列状态转换表) 可知,  $Q_1$  对  $CP$  四分频。(4分)

3.  $Y_A = \overline{Q_1^n} \overline{Q_0^n}$ ;  $Y_B = \overline{Q_1^n} Q_0^n$ ;  $Y_C = Q_1^n \overline{Q_0^n}$ ;  $Y_D = Q_1^n Q_0^n$ 。

在时钟  $CP$  作用下, 电路输出波形为图 6(c)所示: (4分)

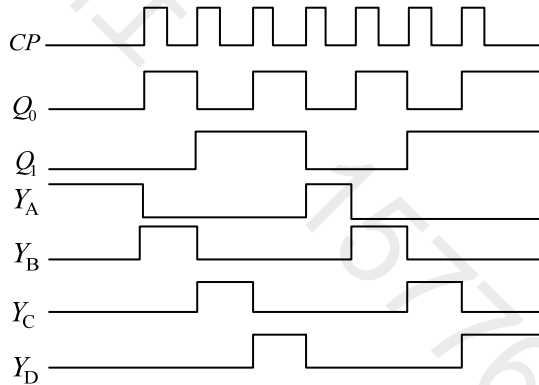


图 6(c)

根据波形可知, 该电路的功能为顺序脉冲发生器 (或环形计数器、脉冲分配器、四进制计数器、序列脉冲发生器, 任选其一)。(2分)

本题得分

七、(12分) 多功能组合逻辑电路如图7所示,  $AB$  为控制输入,  $CD$  为两位二进制数输入,  $Y_2Y_1$  为输出。当  $AB=00$  时, 对  $CD$  做加 1 运算; 当  $AB=01$  时, 对  $CD$  做减 1 运算; 当  $AB=10$  时, 对  $CD$  做加 0 运算; 当  $AB=11$  时, 为禁止状态。回答下面问题:

下面问题:

1. 列真值表, 分别写出  $Y_1$  和  $Y_2$  的逻辑表达式, 并指出约束条件是什么?
2. 试用两片 8 选 1 数据选择器 74LS151 和必要的非门实现该电路。

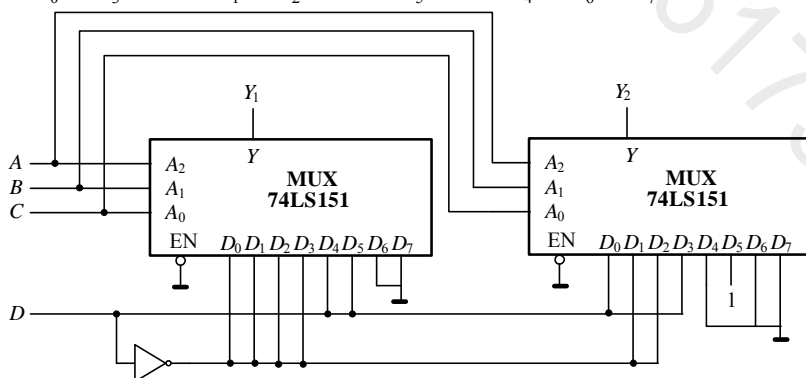


图 7

1. 真值表如下:  $Y_1 = \sum m(0,2,4,6,9,11)$ ,  $Y_2 = \sum m(1,2,4,7,10,11)$ , 约束条件为  $AB=0$ 。(6分)

A	B	C	D	$Y_2$	$Y_1$
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	1	1
1	1	0	0	x	x
1	1	0	1	x	x
1	1	1	0	x	x
1	1	1	1	x	x

2. 以  $ABC$  作为选择变量, 得  $Y_1$  的数据输入为:  $D_0 = D_1 = D_2 = D_3 = \bar{D}$ ,  $D_4 = D_5 = D$ ,  $D_6 = D_7 = 0$ 。  
 $Y_2$  的数据输入为:  $D_0 = D_3 = D$ ,  $D_1 = D_2 = \bar{D}$ ,  $D_5 = 1$ ,  $D_4 = D_6 = D_7 = 0$ 。(6分)



试题:

班号:

姓名:

本题得分

八、(12分) 阅读程序, 并回答下列问题。

1. 根据下面一段 Verilog HDL 语言的描述, 说明所描述电路的逻辑功能。

```

module dig1(W,Y,z);
input [3:0] W;
output reg [1:0] Y;
output reg z;
always @(W)
begin
z=1;
case(W)
4'b1xxx: Y=3;
4'b01xx: Y=2;
4'b001x: Y=1;
4'b0001: Y=0;
default: begin
z=0;
Y=2'bx;
end
endcase
end
endmodule

```

优先编码器 (2分)

2. 根据下面一段 Verilog HDL 语言的描述, 说明所描述电路的逻辑功能, 并画出相应的逻辑电路图。

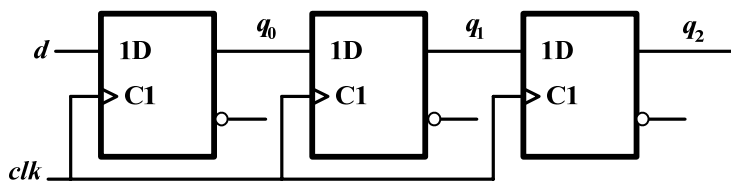
```

module dig2(q2,d,clk);
input clk,d;
output q2;
reg q2,q1,q0;
always @(posedge clk)
begin
q2<=q1;
q1<=q0;
q0<=d;
end
endmodule

```

移位寄存器 (2分)

逻辑电路图为: (2分)





试题:

班号:

姓名:

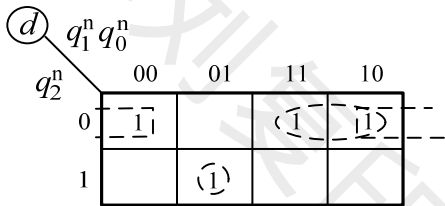
3. 在题 2 电路的基础上, 添加适当的逻辑门, 设计一个序列脉冲发生器, 使之在  $clk$  信号作用下, 在  $q_2$  端循环地产生 01011100 这样一组 8 位序列脉冲, 要求给出设计过程, 并画出该序列脉冲发生器完整的逻辑电路图。

解:

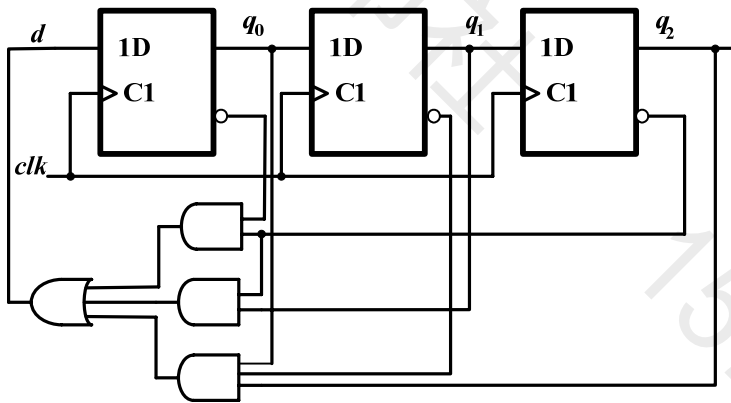
状态转换表如下表所示。:

$clk$	$q_2$	$q_1$	$q_0$	$d$
0	0	1	0	1
1	1	0	1	1
2	0	1	1	1
3	1	1	1	0
4	1	1	0	0
5	1	0	0	0
6	0	0	0	1
7	0	0	1	0
8	0	1	0	1

以  $d$  作为输出, 画出卡诺图得到:  $d = q_2\bar{q}_1q_0 + \bar{q}_2q_1 + \bar{q}_2\bar{q}_0$



完整的逻辑电路图:



(6分)

# 数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

本题得分

一、(10分) 填空和选择填空 (每空 1分)

注  
意  
行  
为  
规  
范

遵  
守  
考  
场  
纪  
律

- 根据反演规则, 若  $Y = \overline{\overline{AB} + C + D} + C$ , 则  $\overline{Y} = \underline{(\overline{AB} + C + D) \times \overline{C}}$ 。
- 图 1 所示门电路均为 TTL 门, 则电路输出  $P_1 = \underline{AB \cdot BC(AB + BC)}$ ;  $P_2 = \underline{\overline{AC} + \overline{C}(\overline{A} + \overline{C})}$ 。

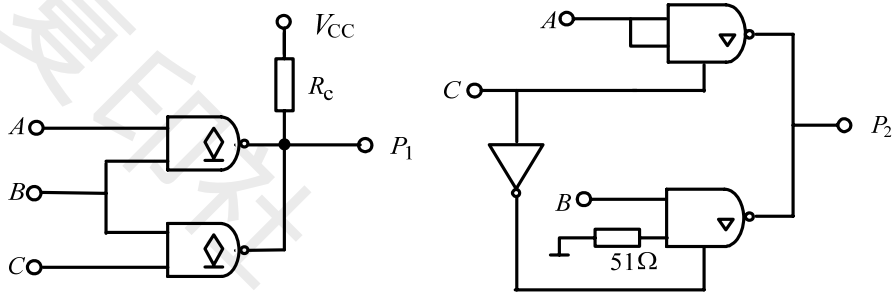


图 1

- 由 TTL 门组成的电路如图 2 所示, 已知它们的输入短路电流为  $I_S = 1.6\text{mA}$ , 高电平输入漏电流  $I_R = 40\mu\text{A}$ 。试问: 当  $A=B=1$  时,  $G_1$  的 灌 (拉, 灌) 电流为 3.2mA;  $A=0$  时,  $G_1$  的 拉 (拉, 灌) 电流为 160μA。

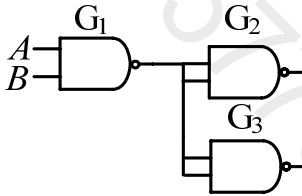


图 2

- 3 位扭环形计数器的计数长度为 6。
- 某 EPROM 有 8 条数据线, 13 条地址线, 则存储容量为 64 kbit。
- 某 512 位串行输入串行输出右移寄存器, 已知时钟频率为  $4\text{MHz}$ , 数据从输入端到达输出端被延迟 128  $\mu\text{s}$ 。

主管  
领导  
审核  
签字

本题得分

二、(6分)  $F(A,B,C,D) = \sum m(0,2,3,4,5,6,7,11,12) + \sum d(8,9,10,13,15)$ , 用两片 74LS138 和最少的二输入与门实现  $F$ 。

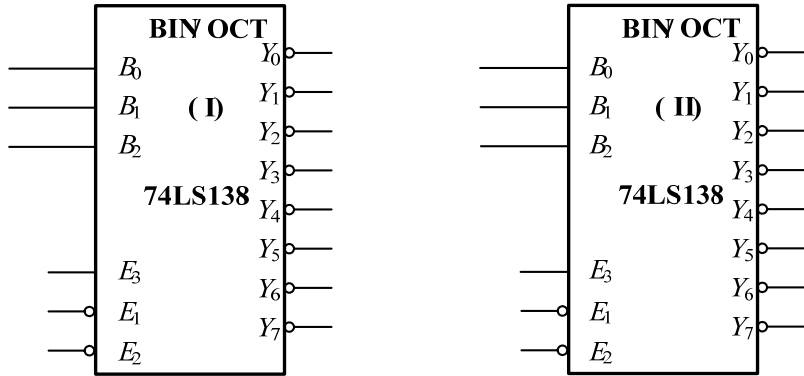
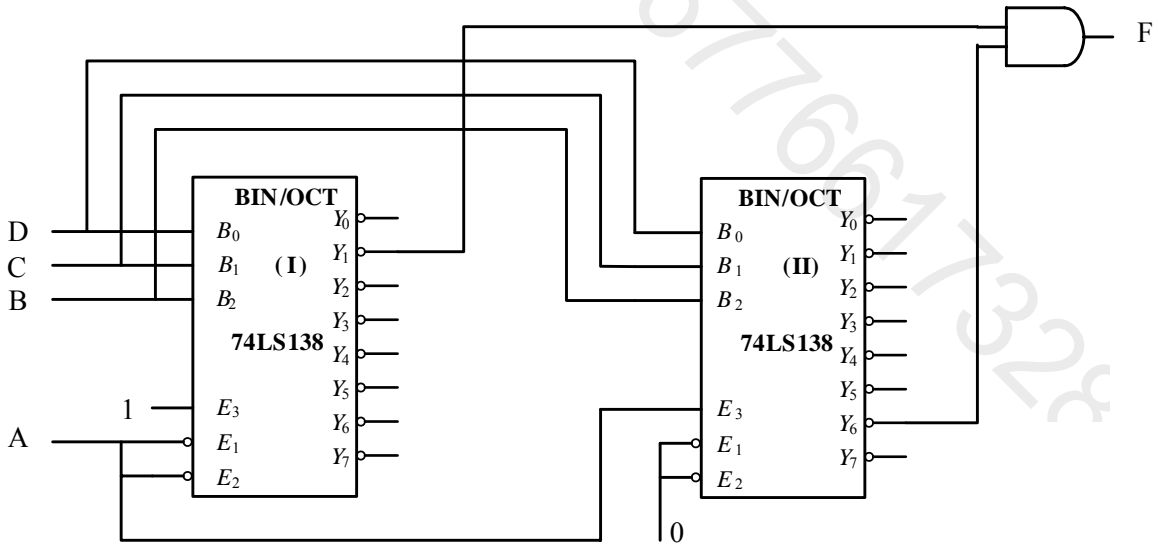


图 3

解:

F	CD	00	01	11	10
		AB	00	01	11
00	00	1		1	1
01	01	1	1	1	1
11	11	1	x	x	
10	10	x	x	1	x

$$F = \overline{m_1} + \overline{m_{14}} = \overline{m_1 m_{14}}$$



试题:

班号:

姓名:

本题得分

三、(6分) 已知图4中AD7524为8位D/A转换器, 当 $D_6=1$ , 其它各位均为“0”时,  $U_O=-1V$ 。74LS90为2/5分频异步加法计数器, 时钟CP的频率为10kHz。

1. 74LS90构成几进制计数器;
2. 计算 $|U_O|$ 的最大值及其频率;

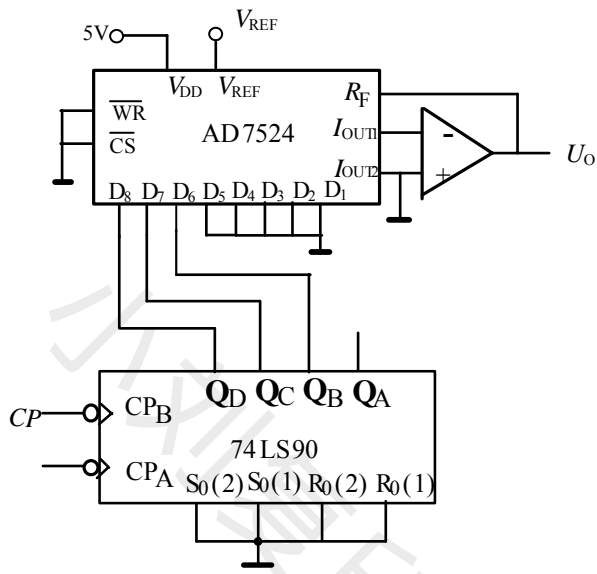


图4

解: 1. 5进制;

$$2. |U_O|_{\max} = -4V; f_{U_O} = \frac{1}{5} f_{CP} = 2\text{KHz}$$

本题得分

四、(6分) 根据下面二段 Verilog HDL 语言的描述, 说明所描述电路的逻辑功能。

```
module test1 (a,b,s,y);
  input a,b;
  input s;
  output y;
  assign y = (s==0)? a : b;
endmodule
```

```
module test2(clk,clr,out);
  input clk,clr;
  output[3:0] out;
  reg[3:0] out;
  always @(posedge clk or negedge clr)
  begin
```

试题:

班号:

姓名:

```

if (!clr) out <= 4'h0;
else
begin
out <= (out >> 1);
out[3] <= ~out[0];
end
end
endmodule
    
```

解: test1: 2选1数据选择器;  
test2: 扭环型计数器。

本题得分

五、(14分) 电路如图5所示, 时钟脉冲 CP 的频率为 12kHz。

- 画出 74LS161 构成电路的完整状态转换图;
- 分析由触发器 FF<sub>1</sub>、FF<sub>2</sub> 构成的计数器, 画出完整的状态转换图、说明为几进制计数器;
- 指出 Q<sub>d</sub>、Q<sub>2</sub> 的频率和占空比。
- CP 频率不变, 使 Q<sub>d</sub> 的频率降为现在的  $\frac{1}{2}$ , 应如何改变 74LS161 的接线? (不允许增加器件。)

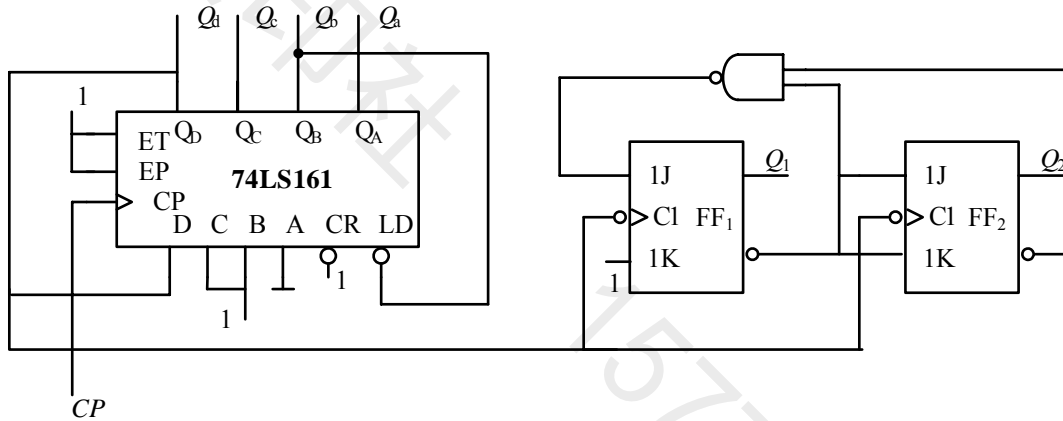


图 5

解: 1. 74LS161 构成 6 进制计数器, 电路的状态转换表为:

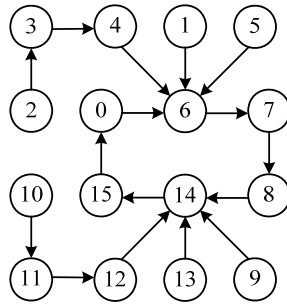
CP	D	C	B	A
0	0	0	0	0
1	0	1	1	0
2	0	1	1	1
3	1	0	0	0
4	1	1	1	0
5	1	1	1	1
6	0	0	0	0

试题:

班号:

姓名:

完整的状态转换图如图为:



2. 驱动方程:  $J_1 = Q_1^n + \overline{Q_2^n}$      $K_1 = 1$

$J_2 = K_2 = Q_1^n$

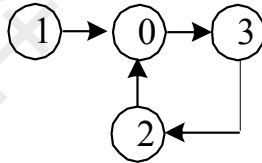
状态方程:  $Q_1^{n+1} = \overline{Q_2^n} Q_1^n$

$Q_2^{n+1} = Q_1^n \odot Q_2^n$

状态转换表:

状态转换图:

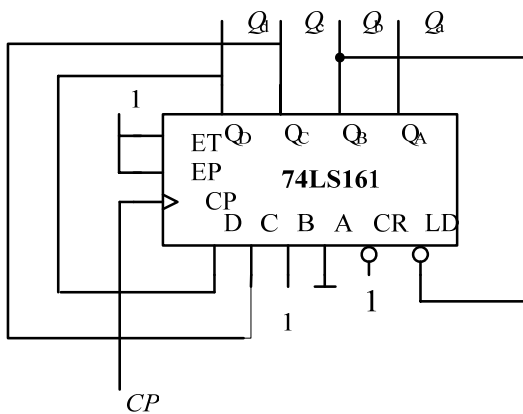
CP	$Q_2$	$Q_1$
0	0	0
1	1	1
2	1	0
3	0	0
0	0	1
1	0	0



3.  $f_{Q_d} = 2\text{KHz}$      $D = 50\%$

$f_{Q_2} = \frac{2}{3}\text{KHz}$      $D = 66.7\%$

4. 欲使  $Q_d$  的频率降为现在的  $\frac{1}{2}$ , 应使 74LS161 变为十二进制计数器。改变 74LS161 的连线, 如图所示:



试题:

班号:

姓名:

十二进制计数器的状态转换表如表所示:

CP	D	C	B	A
0	0	0	0	0
1	0	0	1	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	0	1	1	1
6	1	0	0	0
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	1	1	1	0
11	1	1	1	1
12	0	0	0	0

本题得分

六、(10分) 由 555 定时器构成的电路如图 6 所示, 设输出高电平为 5V, 输出低电平为 0V; VD 为理想二极管。试问:

1. 当开关 S 断开时, 两个 555 定时器各构成什么电路? 计算输出信号  $u_{o1}$ 、 $u_{o2}$  的频率  $f_1$  和  $f_2$ 。
2. 当开关 S 闭合时, 定性画出  $u_{o1}$ 、 $u_{o2}$  的波形。
3. 电容  $C_2$  和  $C_5$  的作用分别是什么?

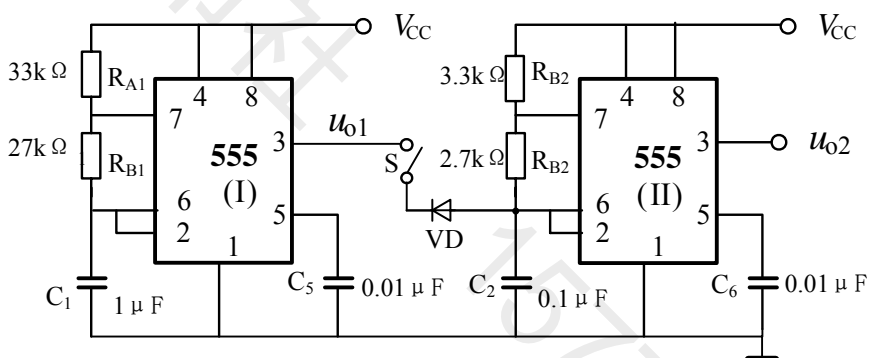


图 6

解: 1. 多谐振荡器。

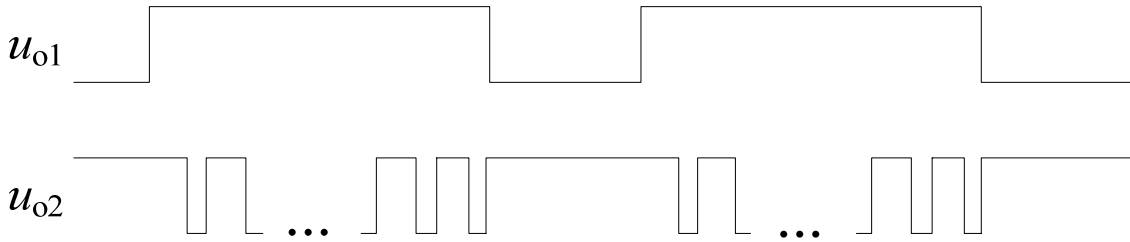
$$T_1 = 0.7(R_{A1} + 2R_{B1})C_1 = 0.7(33 + 2 \times 27) \times 10^3 \times 1 \times 10^{-6} = 60.9 \text{ms}$$

$$f_1 = \frac{1}{T_1} = 16.42 \text{Hz}$$

$$T_2 = 0.7(R_{A2} + 2R_{B2})C_2 = 0.7(3.3 + 2 \times 2.7) \times 10^3 \times 0.1 \times 10^{-6} = 0.609 \text{ms}$$

$$f_2 = \frac{1}{T_2} = 1.642 \text{KHz}$$

2. 当开关 S 闭合时, 振荡器 2 的工作状态受控于振荡器 1 的输出。 $u_{o1}$  为高电平, VD 截止, 振荡器 2 工作,  $u_{o1}$  为低电平, VD 导通, 振荡器 2 停振,  $u_{o2}$  输出高电平。



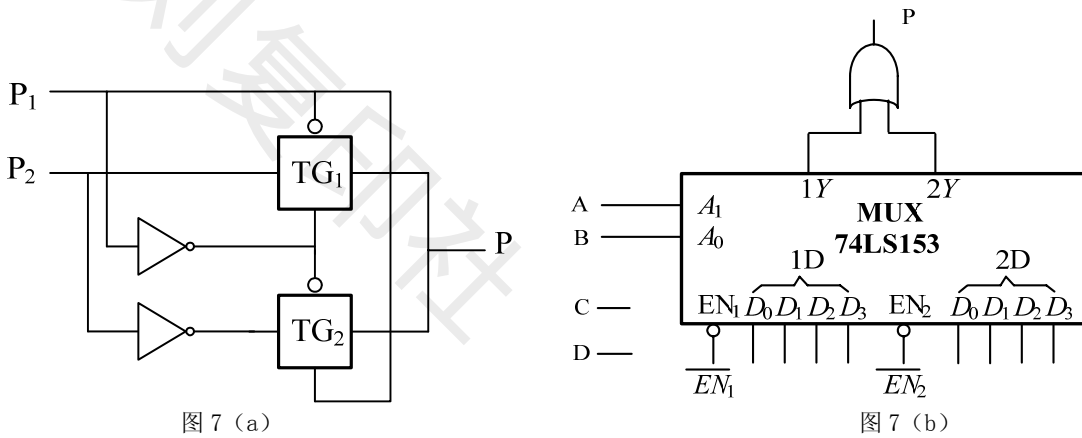
3 电容  $C_2$  的作用是定时,  $C_5$  的作用是滤波, 滤除高频干扰。

本题得分

七、(10分) 图 7 (a) 中,  $P_1 = \overline{AD} + C\overline{D}$ ,  $P_2 = \overline{AB} + BC$ ,

1. 写出 P 的逻辑函数表达式。

2. 在图 7 (b) 中可外接必要的非门实现图 7 (a) 所示电路 (输入 A、B、C、D, 输出 P)。



解:

$$P = P_1 \oplus P_2$$

	CD			
AB	00	01	11	10
00		1	1	1
01		1	1	1
11				1
10				1

$P_1$

	CD			
AB	00	01	11	10
00	1	1	1	1
01			1	1
11			1	1
10				

$P_2$

	CD			
AB	00	01	11	10
00	1			
01		1		
11			1	
10				1

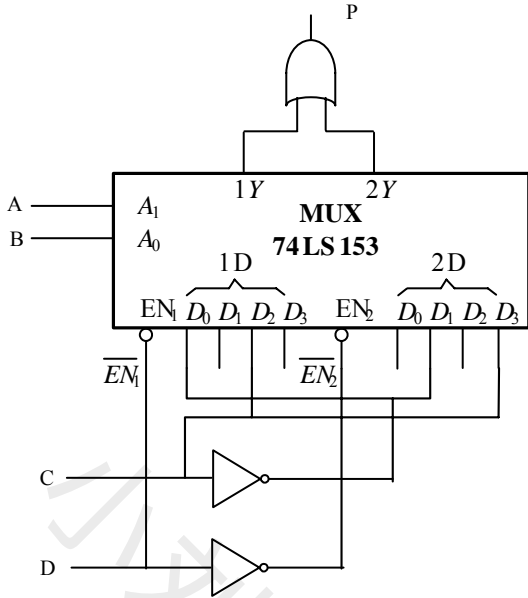
$P_1 \oplus P_2$

$$P_1 = \overline{AD} + C\overline{D}$$

$$P_2 = \overline{AB} + BC$$

$$P = P_1 \oplus P_2 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + ABCD + A\overline{B}C\overline{D}$$





本题得分

八、(8分)用 ROM 和两个 D 触发器设计能够进行加法计数和减法计数的二进制同步可逆计数器。当输入  $X=0$  时，进行加法计数；当  $X=1$  时，进行减法计数。输出  $Y$  为进位/借位信号。当计数器加法计数加到 11，进位信号输出正脉冲，当计数器减法计数减到 00，借位信号输出正脉冲。工作时序图如图 8(a)所示，假设  $Q_2Q_1$  初始状态为 00。

- 1) 完整填写表 1 中的内容。
- 2) 求状态方程和输出方程。
- 3) 在图 8(b)中完成电路设计，不允许使用 D 触发器的  $\bar{Q}$  端。(只需在图中连线，不允许增加其它的门电路)。

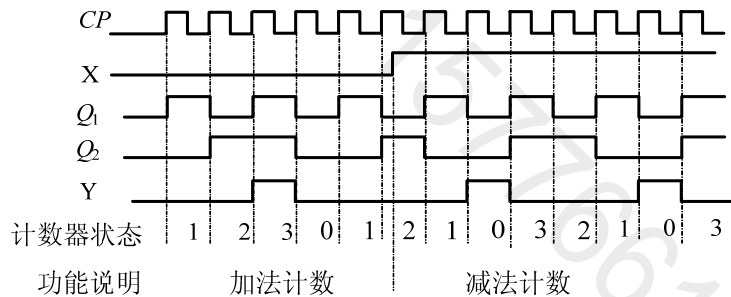


图 8(a)

表 1 可逆计数器的真值表

X	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	Y
---	---------	---------	-------------	-------------	---

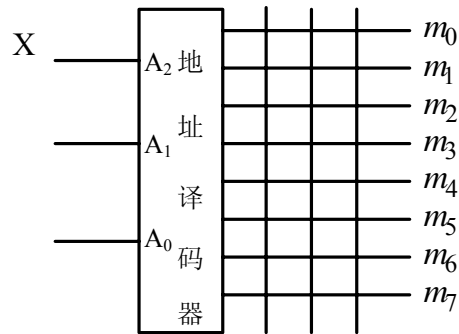
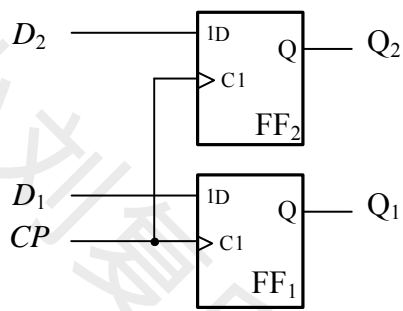


图 8(b)

解: 1

X	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

2  $Q_1^{n+1} = \overline{Q_1^n}$

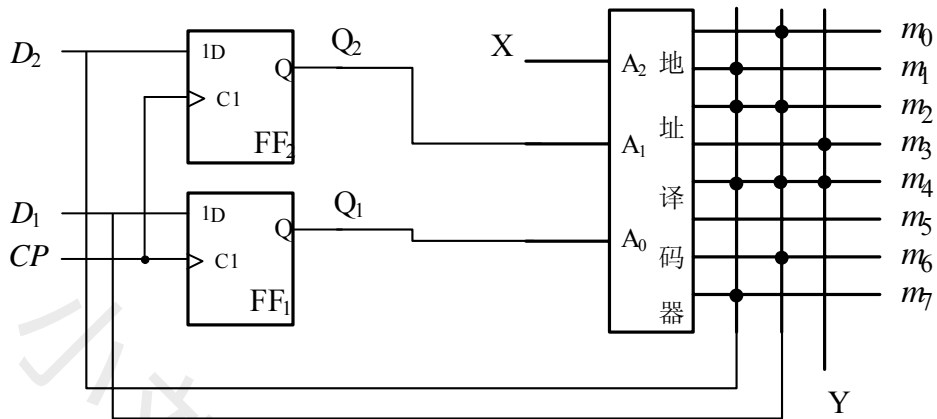
$Q_2^{n+1} = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$

$D_1 = \overline{Q_1^n}$

$D_2 = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$

$$Y = \bar{X}Q_2^n Q_1^n + XQ_2^n \bar{Q}_1^n$$

3



一、

- (1) 10; (2) 上拉电阻; (3) 5;  $(A+B)\overline{B+C+D}$ ; (5) CMOS, CMOS; (6) 10 位, 40kHz;  
 (7)  $R+S=1$ ; (8) c; (9) d; (10) bcd。

二、

(1)  $F_1 = \overline{A}B + A\overline{B} + \overline{A}D$  (或  $\overline{B}D$ ) +  $AC$  (或  $BC$ )       $\overline{F}_2 = \overline{A}BCD + \overline{A}B\overline{D} + B\overline{C}$

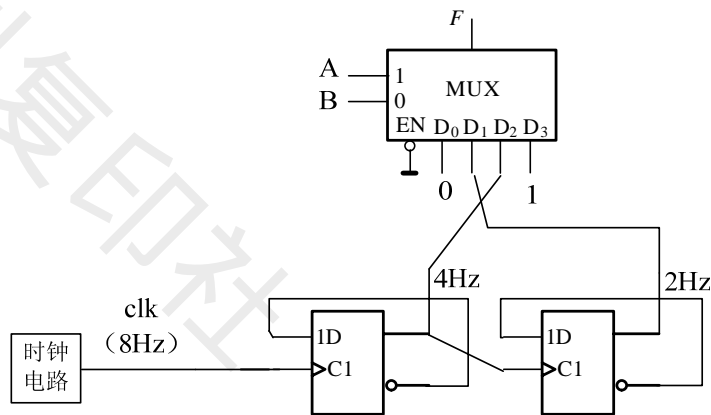
AB\CD	00	01	11	10
00		1	1	
01	1	1	1	1
11			1	1
10	1	1	1	1

AB\CD	00	01	11	10
00	1	1	0	1
01	0	0	1	0
11	0	0	1	1
10	X	X	1	X

(2)

$C_1$  为高电平,  $C_2$  为低电平时,  $V_1 = \underline{\quad 1.4 \quad}$  V,     $V_2 = \underline{\quad 1.4 \quad}$  V;  
 $C_1$  为低电平,  $C_2$  为高电平时,  $V_1 = \underline{\quad 3.6 \quad}$  V,     $V_2 = \underline{\quad 1.4 \quad}$  V。

三、

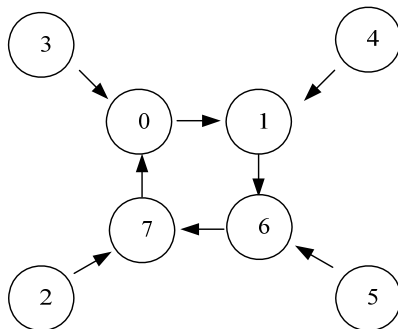


四、

(1)

- 1) 增加异步清零功能, 改成 `always@(posedge clk or negedge rst)`
- 2) Q 改成 `output [3:0] Q;`  
`reg [3:0] Q;`

(2)



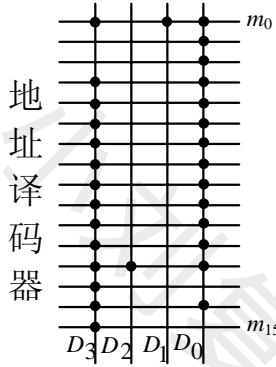
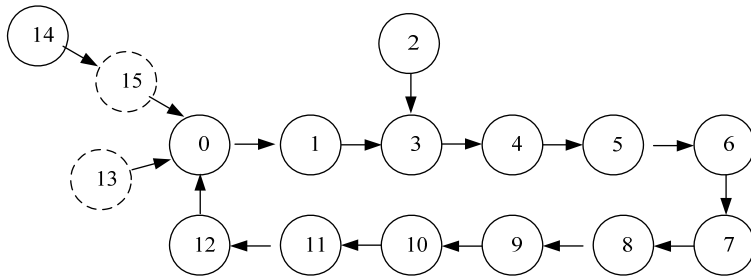
五、

$$D0 = \sum(m0, m1, m2, m3, m4, m5, m6, m7, m8, m9, m10, m11, m12, m14) = \overline{\sum(m13, m15)}$$

$$D3 = \sum(m0, m3, m4, m5, m6, m7, m8, m9, m10, m11, m12, m13, m14, m15) = \overline{\sum(m1, m2)}$$

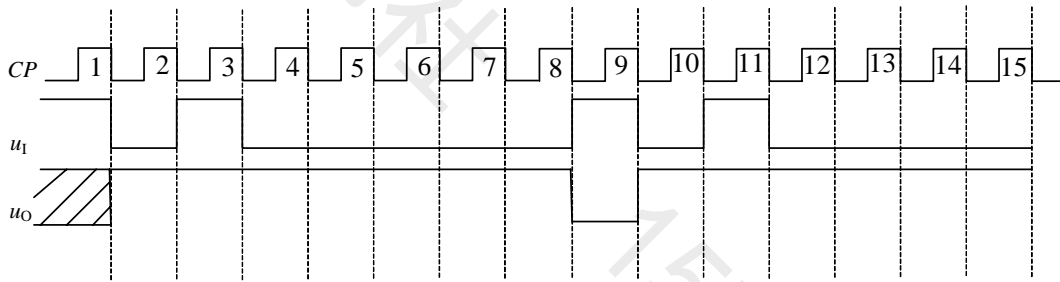
状态转换图:

D1 和 D2 阵列如图:



六、单稳触发器

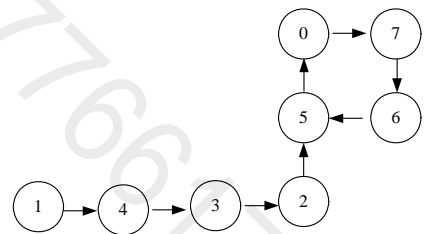
$$t_w = 1.1RC = 0.22ms$$



七、 $Q_0^{n+1} = \overline{Q_0^n}$

$$Q_1^{n+1} = Q_0^n \cdot Q_1^n$$

$$Q_2^{n+1} = \overline{Q_0^n} \cdot \overline{Q_1^n} \cdot \overline{Q_2^n} + Q_1^n \cdot \overline{Q_2^n} = \overline{Q_0^n} \cdot \overline{Q_2^n} + Q_1^n \cdot Q_2^n$$



四进制减计数。

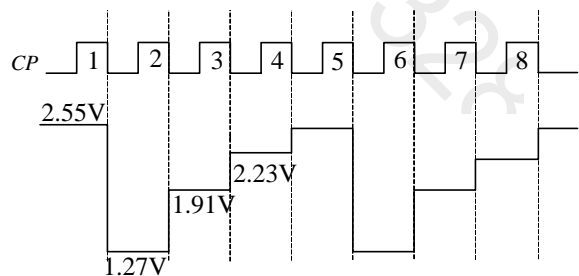
DAC 输出最大值为  $255 \cdot 10mV = 2.55V$

Q=0 时,  $u_o = 2.55 - 0.01 = 2.54V$

Q=7 时,  $u_o = 2.55 - 1.28 = 1.27V$

Q=6 时,  $u_o = 2.55 - 0.64 = 1.91V$

Q=5 时,  $u_o = 2.55 - 0.32 = 2.23V$



八、

表 A 过程 A 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	1	0	0
7	1	1	0
8	1	1	1
9	0	1	1

表 B 过程 B 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	0	1	0
1	0	0	1
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1
7	1	0	0
8	1	1	0
9	1	1	1

表 C 过程 C 状态转换表

态序	$Q_0$	$Q_1$	$Q_2$
0	1	0	1
1	1	1	0
2	1	1	1
3	0	1	1
4	0	0	1
5	1	0	0
6	1	1	0
7	1	1	1
8	0	1	1
9	0	0	1

$Q_0 \backslash Q_1 Q_2$	00	01	11	10
0	1	1	0	0
1	1	1	0	1

$$d = Q_0 \overline{Q_2} + \overline{Q_1}$$

# 数字电子技术基础试题 (A)

班号	
学号	
姓名	

题号	一	二	三	四	五	六	七	八	总分
分数									

得分

一、选择与填空 (共 8 分)

1. 函数表达式  $Y = \overline{\overline{AB} + C + D + C}$ , 则其对偶式为 (不必化简):

$Y' =$  \_\_\_\_\_。

2. 图 1-2 为 CMOS 工艺数字逻辑电路, 写出  $F$  的表达式:  $F =$  \_\_\_\_\_。

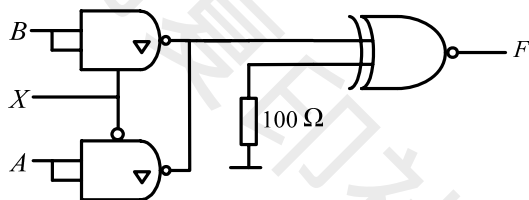


图 1-2

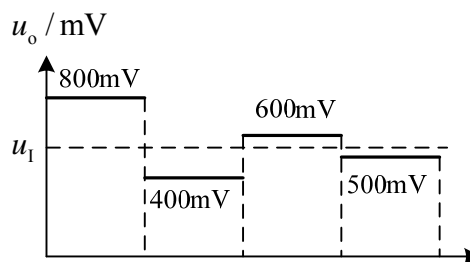


图 1-3

3. 图 1-3 为 4 位 \_\_\_\_\_ (逐次逼近型、双积分型、流水线型) A/D 转换器的转换示意图, 转换结果为 \_\_\_\_\_。

4. 对于一个 8 位 D/A 转换器, 若最小输出电压增量为 0.01V, 当输入代码为 01001101 时, 输出电压  $u_o =$  \_\_\_\_\_ V, 分辨率 = \_\_\_\_\_。

5. 已知时钟脉冲频率为  $f_{cp}$ , 欲得到频率为  $0.25f_{cp}$  的矩形波, 哪种电路一定无法实现该功能 ( )

- A. 四进制计数器;
- B. 四位二进制计数器;
- C. 单稳态触发器;
- D. 施密特触发器。

6. 某 EPROM 有 8 条数据线, 10 条地址线, 其存储容量为 \_\_\_\_\_ 字节。

一、(8 分) 每空 1 分

1.  $\overline{\overline{(A+B)CDC}}$ ;    2.  $\overline{XA} + XB$  或  $\overline{\overline{AX}} \overline{BX}$ ;    3. 逐次逼近型, 0101;

4. 0.77V,  $\frac{1}{2^8 - 1}$  或 0.0039;    5. D;    6.  $2^{10}$

试题:

班号:

姓名:

得分

二、回答下列问题 (共 10 分)

1. 电路如图 2-1 所示。  $V_{CC} = 5V$ ,  $R$  取值合适, 写出  $F$  的表达式 (不必化简)。

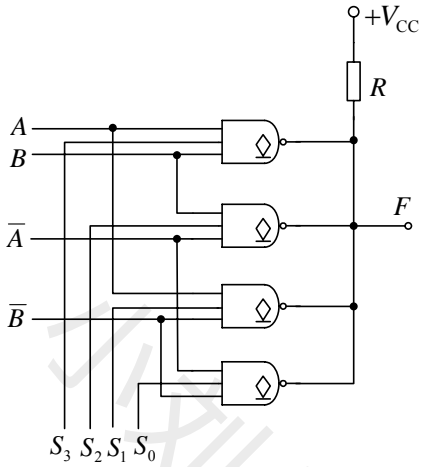


图 2-1

解:  $F = \overline{ABS_3} \cdot \overline{ABS_2} \cdot \overline{ABS_1} \cdot \overline{ABS_0}$  \_\_\_\_\_ 3 分

2. 卡诺图化简:  $P(A, B, C, D) = \sum m(0, 1, 2, 3, 5, 8)$ , 约束条件为:  $ABD + BCD + A\bar{B}C = 0$

解:

	CD			
AB	00	01	11	10
00	1	1	1	1
01	0	1	Φ	0
11	0	Φ	Φ	0
10	1	0	Φ	Φ

\_\_\_\_\_ 2 分

$P = \bar{A}D + \bar{B}\bar{D}$  \_\_\_\_\_ 1 分



试题:

班号:

姓名:

3. 在图 2-3 中, 用一片 74LS160 和一片 74LS161, 配合必要的逻辑门电路, 构成 128 进制计数器。要求: 使用置数方式, 且 74LS160 为低位芯片, 74LS161 为高位芯片。

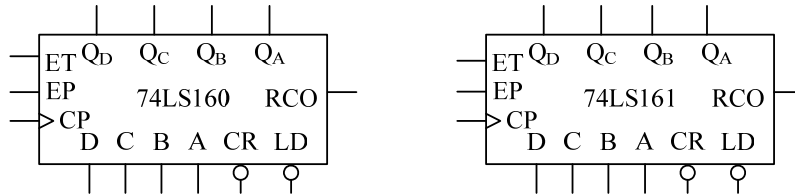
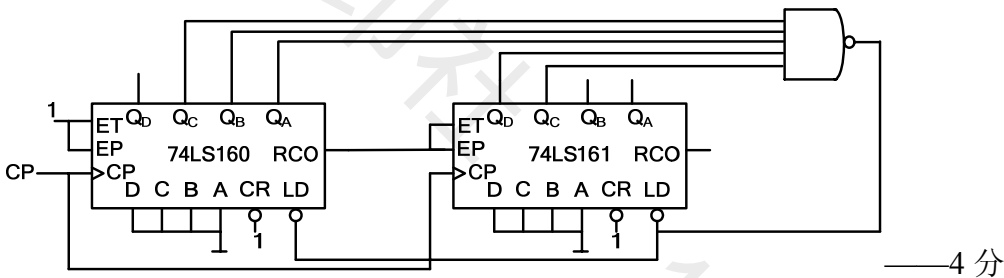


图 2-3

解:



——4 分

得分

三、(10 分)一个保险箱有 3 个按键, 当 3 个键都不按下时, 保险箱关闭, 不报警; 当只有一个按键按下时, 保险箱仍关闭, 但报警; 当有 2 个按键按下时, 保险箱打开, 不报警; 当三个按键同时按下时, 保险箱打开, 但要报警。

试题:

班号:

姓名:

试设计此逻辑电路。

要求：输入变量为  $A$ 、 $B$ 、 $C$ ，按键按下取值为“1”，否则取值为“0”。输出变量分别为保险箱开锁信号  $X$  和报警信号  $Y$ ，保险箱打开时  $X=1$ ，关闭时  $X=0$ ；报警时  $Y=1$ ，不报警时  $Y=0$ 。

1. 列写真值表，并用输入变量  $A$ 、 $B$ 、 $C$  最小项和的形式分别表示输出  $X$  和  $Y$ （按照  $ABC$  的顺序确定最小项下标）；
2. 在图 3(a)中，用最小项译码器 74LS138 和与门实现该逻辑电路；
3. 在图 3(b)中，用双 4 选 1 数据选择器 74LS153 和非门实现该逻辑电路（要求变量  $A$ 、 $B$  接入选择变量输入端）。

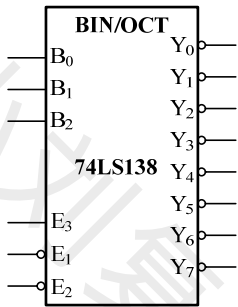


图 3(a)

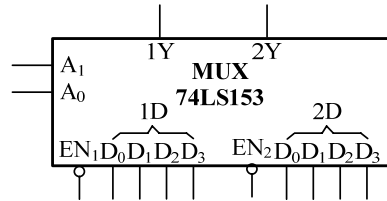


图 3(b)

三、(10 分)

1.

真值表——2 分

$A$	$B$	$C$	$X$	$Y$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$X(A, B, C) = \sum m(3, 5, 6, 7)$  ——1 分

$Y(A, B, C) = \sum m(1, 2, 4, 7)$  ——1 分

2. ——3 分

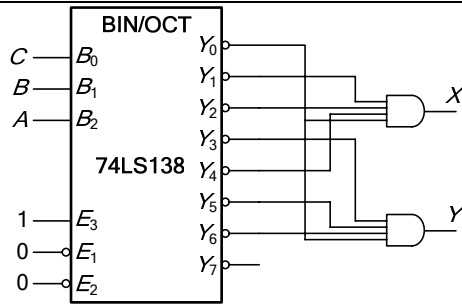
$X(A, B, C) = \bar{m}_0 \bar{m}_1 \bar{m}_2 \bar{m}_4$

$Y(A, B, C) = \bar{m}_0 \bar{m}_3 \bar{m}_5 \bar{m}_6$

试题:

班号:

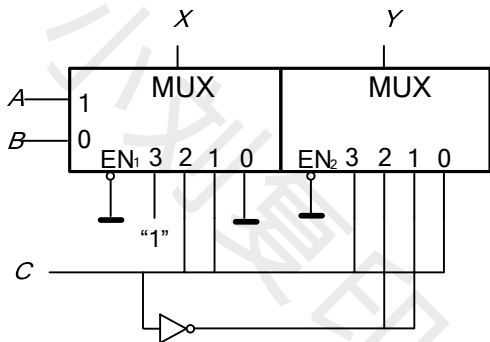
姓名:



3. \_\_\_\_\_ 3分

$$X(A, B, C) = \sum m(3,5,6,7) = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$$

$$Y(A, B, C) = \sum m(1,2,4,7) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$



得分

四、(8分)电路如图4所示, 设电路均为TTL工艺, 74LS85为四位数码比较器。其中 $A_4$ 和 $B_4$ 为高位; 当 $[A_4A_3A_2A_1]=[B_4B_3B_2B_1]$ 时,  $Y_{A=B}=1$ , 否则 $Y_{A=B}=0$ 。

1. 说明虚线框中电路作为独立电路模块时的功能;

2. 若希望以 $[Q_4Q_3Q_2Q_1]$ 作为输出, 电路构成七进制计数器, 则 $[I_4I_3I_2I_1]$ 应取多少? 并画出完整的状态转换图, 判断电路能否自启动。

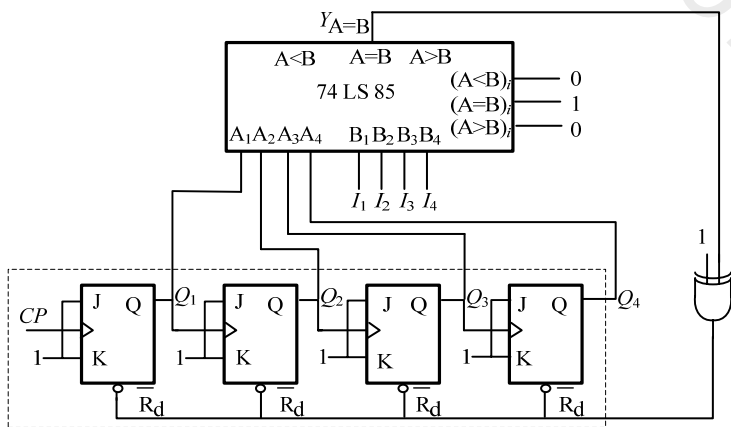


图4

四、(8分)

1. 十六进制异步减法计数器 \_\_\_\_\_ 2分

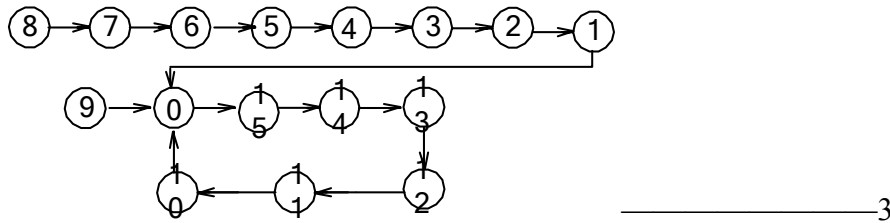
试题:

班号:

姓名:

2. 若  $I_4 I_3 I_2 I_1 = 1001$  \_\_\_\_\_ 2分

则当  $A_4 A_3 A_2 A_1$  为 1001 时,  $Y_{A=B} = 1$ ,  $\bar{R}_d = 0$ , 计数器异步清零。状态 1001 不能稳定存在, 不是有效状态。故该电路有 7 个有效状态, 为七进制减法计数器。其状态转换图为



该电路可以自启动。 \_\_\_\_\_ 1

得分

五、由中规模 16 进制加法计数器 74LS163 和 2/8 分频异步计数器 74LS93 构成的电路如图 5 所示。(10 分)

1. 给出虚线框内电路中 74LS163 的输出  $[Q_d Q_c Q_b Q_a]$  的完整状态转换表和完整状态转换图, 并说明构成几进制计数器;
2. 用 D 触发器和必要的门电路实现虚框内的电路功能, 给出最简与或形式的驱动方程即可, 不必画出电路图;
3. 若图中时钟  $CP$  的频率为 1792Hz, 计算 74LS163 的输出  $Q_d$  的频率和占空比;
4. 分别计算图中 74LS93 的输出  $Q_D$  和  $Q_A$  的频率。

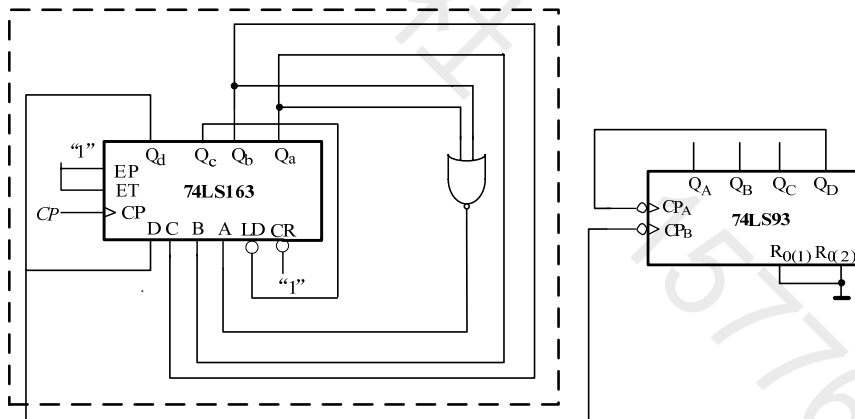


图 5

五、(10 分)

1. \_\_\_\_\_ 3分

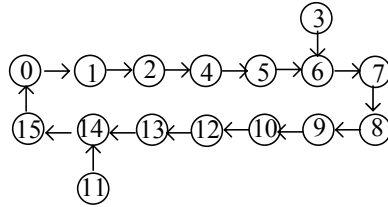
状态转换表

试题:

班号:

姓名:

CP	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	0	1	0	1
5	0	1	1	0
6	0	1	1	1
7	1	0	0	0
8	1	0	0	1
9	1	0	1	0
10	1	1	0	0
11	1	1	0	1
12	1	1	1	0
13	1	1	1	1
14	0	0	0	0



14 进制计数器。

2. \_\_\_\_\_ 3 分

		Q <sup>n</sup> Q <sup>n</sup>			
		00	01	11	10
Q <sup>n</sup> Q <sup>n</sup>	00	0001	0010	0000	0100
	01	0101	0110	1000	0111
	11	1101	1110	0000	1111
	10	1001	1010	0000	1100

状态方程:  $Q_3^{n+1} = Q_3^n \overline{Q_1^n} + Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$       驱动方程:  $D_3 = Q_3^n \overline{Q_1^n} + Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$

$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_1^n \overline{Q_0^n}$        $D_2 = Q_2^n \overline{Q_1^n} + Q_1^n \overline{Q_0^n}$

$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_2^n Q_1^n \overline{Q_0^n}$        $D_1 = \overline{Q_1^n} Q_0^n + Q_2^n Q_1^n \overline{Q_0^n}$

$Q_0^{n+1} = \overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_0^n}$        $D_0 = \overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_0^n}$

3. \_\_\_\_\_ 2 分

$f_{Q_d} = 128\text{Hz}$ ,      占空比 D=50%。

4. \_\_\_\_\_ 2 分

$f_{Q_b} = 16\text{Hz}$ ;  $f_{Q_a} = 8\text{Hz}$ 。

得分

六、(10分)由2/5分频异步计数器74LS90和存储器构成的电路如图6(a)所示。

1. 画出 $[Q_D Q_C Q_B Q_A]$ 的状态转换图(画出正常计数循环内的状态即可);

2. 设初始时刻 $[Q_D Q_C Q_B Q_A]=[0000]$ , 给定时钟 $CP$ ,  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 的波形如图6(b)所示。请用 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 的与或标准型分别表示 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ (按 $A_3 A_2 A_1 A_0$ 的顺序确定最小项编号), 并在图6(a)中画出ROM阵列中的存储内容。

3. 图6(a)中检测电路的输入如图6(b)所示,  $D_3$ 与 $D_2$ ,  $D_1$ 与 $D_0$ 分别为两组方波信号, 试设计该检测电路, 要求当 $X$ 接 $D_0$ 、 $Y$ 接 $D_1$ 时,  $Z$ 稳定后输出为1; 当 $X$ 接 $D_2$ 、 $Y$ 接 $D_3$ 时,  $Z$ 稳定后输出为0。

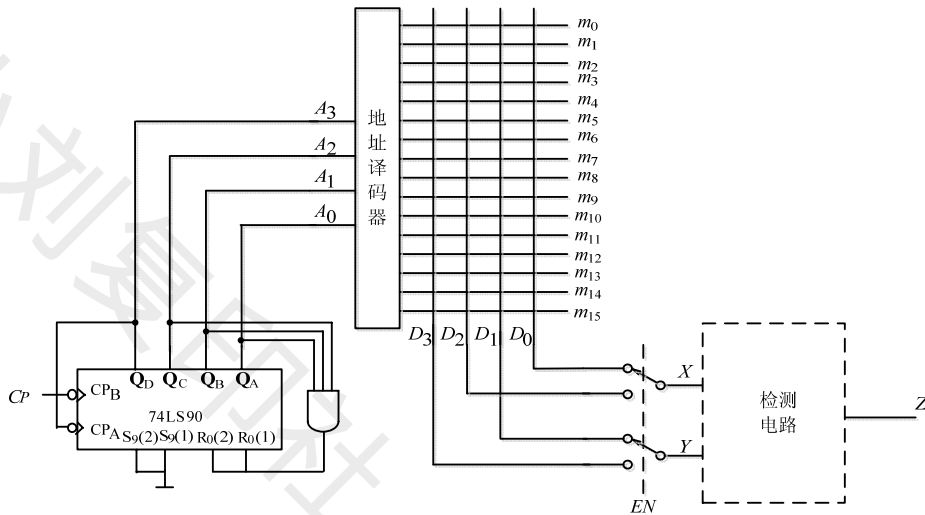


图 6(a)

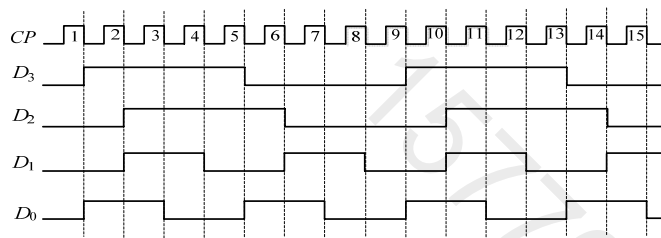
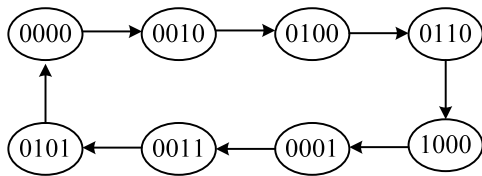


图 6(b)

六、(10分)

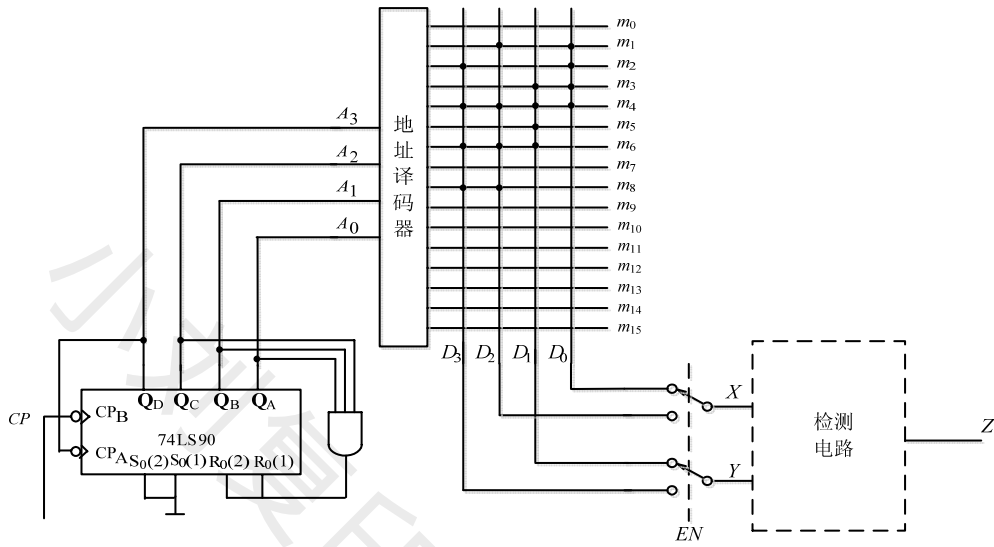
1. \_\_\_\_\_ 2分



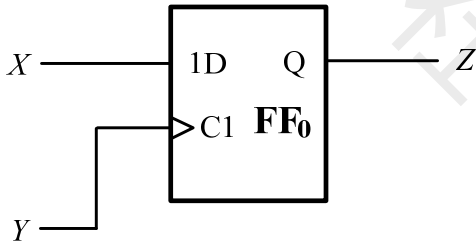
2. \_\_\_\_\_ 6分

$D_3 = \sum m(2,4,6,8)$       $D_2 = \sum m(1,4,6,8)$

$D_1 = \sum m(3,4,5,6)$       $D_0 = \sum m(1,2,3,4)$



3 ————— 2分



还有 X、Y 颠倒，下降沿触发也对

得分

七、(共 6 分)

1. 请在图 7-1 中将下列 Verilog 程序描述的逻辑电路图补充完整。(3 分)

```

module circuit1(clk, Dsr, Q, Qsr);
input clk, Dsr;
output Qsr;
output[4:1] Q;
reg [4:1] Q;
reg Qsr;
always @(posedge clk)
begin
    Q[1]<=Dsr;
    Q<=Q<<1;
    Qsr<= Q[4];
end
endmodule
    
```

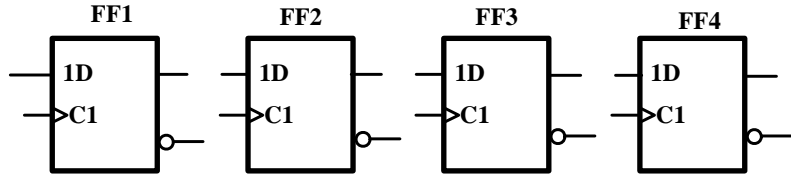


图 7-1

2. 根据下面的 Verilog 语言描述的电路功能，在图 7-2 中画出 Q 的波形（设起始时刻 Q 为高电平）。(3 分)

```

module circuit2(Q, clk, rst);
input rst, clk;
output Q;
reg Q;
always @(negedge clk)
begin
    if(rst)
        Q<=0;
    else
        Q<=~Q;
end
endmodule
    
```

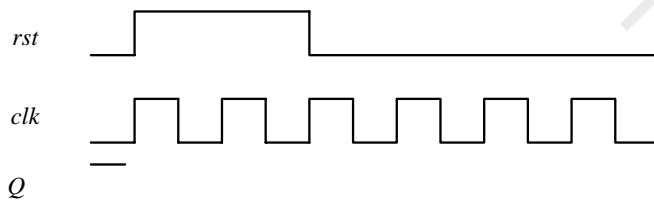
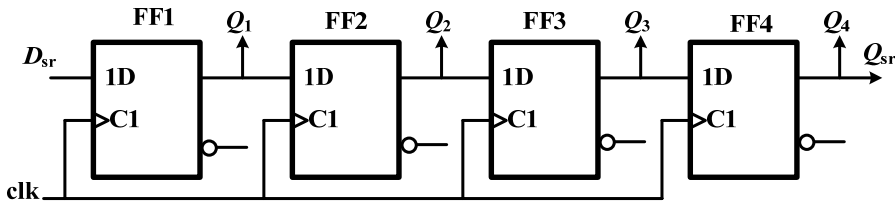


图 7-2

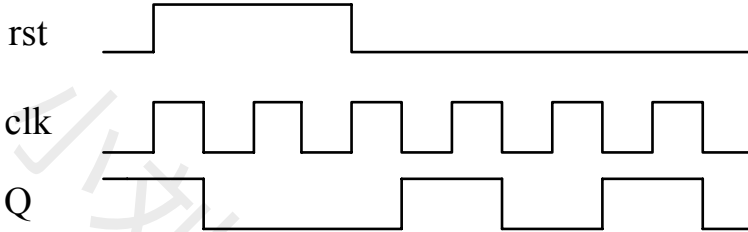
七、(6 分)



1. \_\_\_\_\_ 3分



2. \_\_\_\_\_ 3分



得分

八、图 8 所示是一个时钟发生电路。设触发器的初始状态  $Q=0$ ，二极管为理想二极管。

1. 分析该电路中虚线框内为何种电路；
2. 画出图中  $u_1$ 、 $u_2$  及  $u_3$  的波形；
3. 计算  $u_1$ 、 $u_2$  及  $u_3$  的时钟频率。(8分)

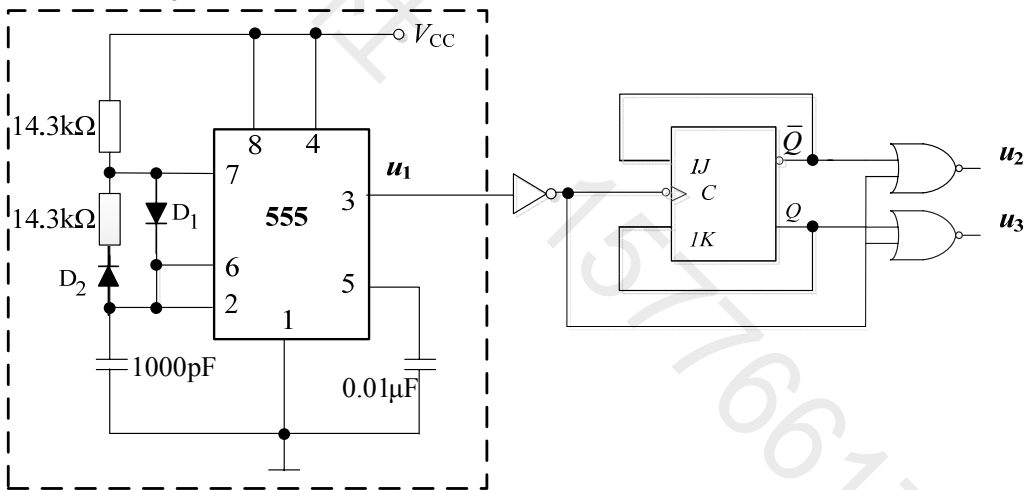


图 8

八、

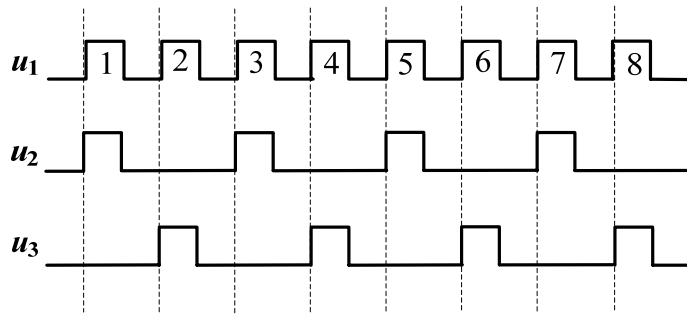
1. 555 构成多谐振荡器； \_\_\_\_\_ 2分

试题:

班号:

姓名:

2. \_\_\_\_\_ 3分



3. \_\_\_\_\_ 3分

$u_1$  频率为 50kHz;  $u_2$  及  $u_3$  的频率为 25kHz。

小刘复印社

15776617328

# 数字电子技术基础 试题 (A)

班号	
姓名	
学号	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

注  
意  
行  
为  
规  
范

遵  
守  
考  
场  
纪  
律

主管  
领导  
审核  
签字

本题得分

## 一、(5分) 填空和选择填空 (每空 1 分)

- 把按转换速度从快到慢顺序写出 ADC 芯片代号 ABC。(A. 并行比较型, B. 逐次逼近型, C. 双积分型)
- 下列门电路驱动负载能力较强的是: A。(A. 集电极开路门, B. 标准 TTL 门, C. 传输门)
- 下列芯片输出信号状态仅取决于当前输入信号的是 (多选) ABE。(A. 74LS138, B. 74LS00, C. 74LS160, D. 555 定时器, E. ROM)
- CMOS 门电路噪声容限性能 优于 (优于、差于) TTL 门电路
- ROM 和 RAM 相比, (ROM/RAM) 存取速度快。

本题得分

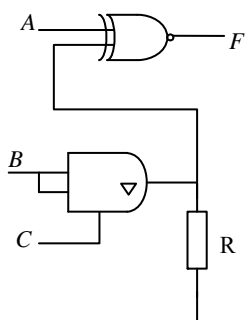
## 二、(18分) 简答题

(1) 使用卡诺图方法获得函数  $P$  的最简与或式 (2 分):

$$P(A, B, C, D) = ABCD + \bar{A}BC + \bar{A}\bar{B}\bar{D} + C\bar{D} \quad (\text{约束条件为: } A\bar{C}\bar{D} + A\bar{B}\bar{C} = 0)$$

答案:  $P = BC + \bar{B}\bar{D}$

(2) 如图 1 所示 TTL 电路,  $R=10k\Omega$ , 请列写输入与输出的真值表, 写出  $F$  的表达式 (3 分)。



试题:

班号:

姓名:

答案: 此题形式很多, 请注意检查。

A	B	C	F	C	B	A	F	C	A	B	F
0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0	0	1	0	1
0	1	1	0	0	1	1	1	0	1	1	1
1	0	0	1	1	0	0	1	1	0	0	1
1	0	1	0	1	0	1	0	1	0	1	0
1	1	0	1	1	1	0	0	1	1	0	0
1	1	1	1	1	1	1	1	1	1	1	1

$$F = \overline{AC} + (A \oplus B)C$$

给分标准: 完全答对 3 分。如果写成异或形式, 真值表 0 和 1 正好颠倒, 给 2 分 (此时答案为  $\overline{AC} + (A \oplus B)C$ )。

(3) 电路如图 2 所示, 写出 X 分别为 0 和 1 时,  $Q_2Q_1X$  的状态转换图, 说明 Y 的功能。(3)

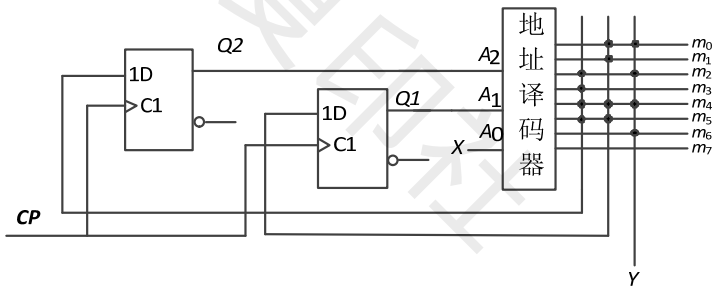


图 2

答案: X=0 时: 0-2-4-6(-0)

X=1 时, 1-3-5-7(-1)

Y: x=0 时, y=1, x=1 时, y=0, (类似答案均可。Y=1: 当前计数为偶数, Y=0: 奇数)

(4) 写出图 3 (a) (b) 电路 Q, Y 逻辑函数, 指出图 (c) 计数器进制。(4 分)

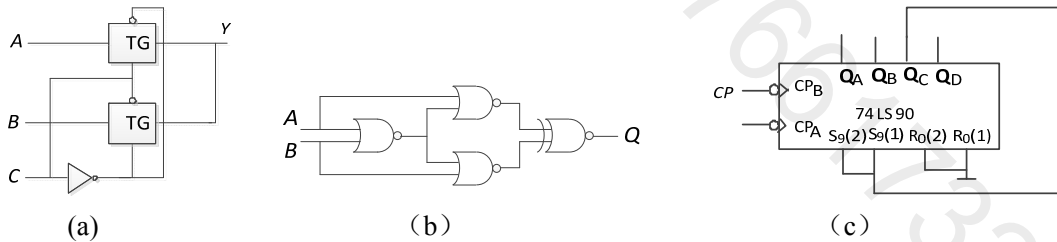


图 3

答案:

(a):  $Y = AC + B\overline{C}$  (b):  $\overline{A \oplus B}$  (c) 3 进制 (2 分)

(5) 由 JK 触发器和基本 RS 触发器构成的电路如图 4 所示, 各触发器初始状态为 0, 画出 7 个时钟 CP 作用下 Q3, Q2 和 Q1 的时序图 (6 分)

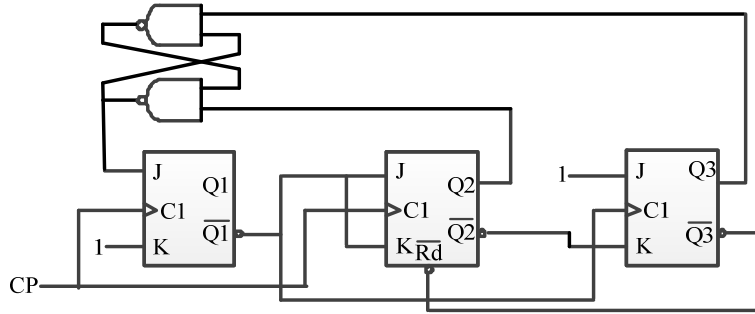
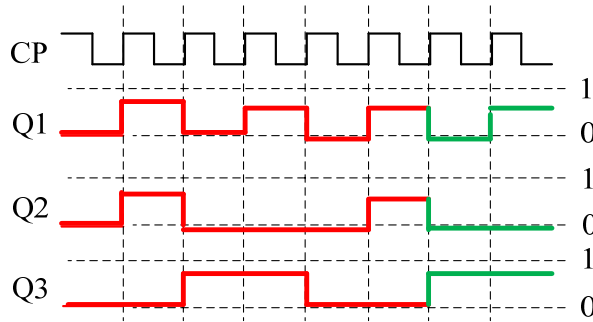


图 4



答案:

本题得分

三、(8 分) 同步计数器 74LS162 和数据选择器 74LS151 组成的电路如图 5 所示。要求:

- (1) 画出  $Q_3Q_2Q_1Q_0$  状态转换图 (只画有效状态) ;
- (2) 以  $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$  为输出时, 试分析计数器为几进制。
- (3) 设 74162 的初态为 0010, 画出  $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 、 $Y$  与 CP 对应的波形。

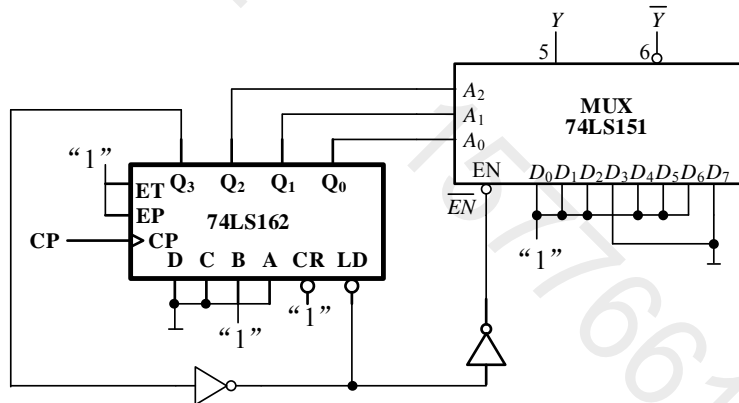
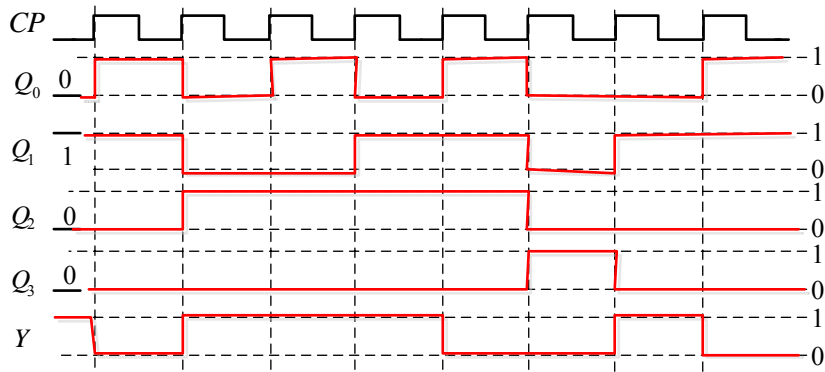


图 5

- 答案: (1) 2-3-4-5-6-7-8 (3 分)  
 (2) 7 进制 (1 分)  
 (3) 波形图:  $Q_0Q_1, Q_2Q_3$  共 2 分,  $Y$ : 2 分



本题得分

四、(7分) 设计一个乘法电路, 要求: 被乘数  $X_3X_2$  与乘数  $X_1X_0$  组成的四位二进制数  $X_3X_2X_1X_0$  为 8421BCD 码, 且当乘积大于或等于 2 时, 输出  $Z=1$ , 否则输出  $Z=0$ 。

- (1) 列出真值表;
- (2) 写出输出  $Z$  关于输入  $X_3X_2X_1X_0$  的最简与或式;
- (3) 使用与非门实现该电路;
- (4) 使用两片 74LS138 译码器和与非门实现该电路。

答案:

(1) 1分

X3	X2	X1	X0	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
后面不用写				X
				X
				X

(2)  $Z=X_2X_1+X_3X_0$  2分

(3)  $Z = \overline{X_2X_1X_3X_0}$ , 图略 2分

(4)  $Z = \sum m(6,7,9), (\sum m(6,7,9) + \sum D(10,11,12,13,14,15))$

$Z = \overline{m_6m_7m_9}$  图略 2分

本题得分

五、(8分) 电路如图6所示。其中方框II中电路为截止频率很低的低通滤波电路，其输出  $u_2$  为直流量且为输入信号  $u_1$  的平均值。555 定时器输出为理想 TTL 电平，即输出高电平 5V，低电平 0V。  $R_a=3k\Omega$ ,  $R_b=2k\Omega$ ,  $C_1=1\mu F$ 。(555 各管脚定义: 2- $u_{TL}$ , 6- $u_{TH}$ ,

3-OUT, 7-DIS, 5-VCO, 4- $\overline{R_D}$ )

- (1) 图中方框 I, 方框 III, 方框 IIV 各构成何种电路。
- (2) 方框 III 中输入信号  $u_s$  如图 7 所示, 在图中画出  $u_3$  电压波形, 要求写出依据 (如阈值推导)。
- (3) 检测到信号超过阈值时, 要求蜂鸣器发出 3 秒的警报, 试问电路应如何连接? (不允许增加器件, 在图中直接标注或连接)。并确定相关器件应满足的参数条件。

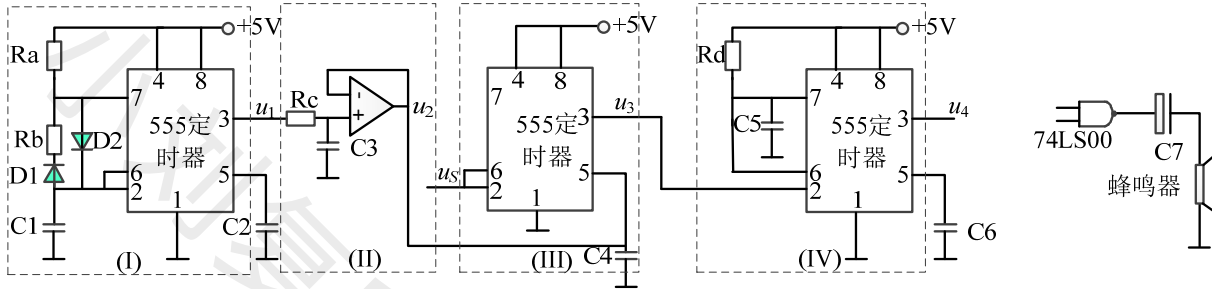


图 6

答案: (1) 多谐振荡器 (1分), 施密特触发器(1分), 单稳振荡器(1分)

(2) 占空比  $D=R_a/(R_a+R_b)=3/5$ ,  $V_{CO}=3V$ ,  $U_{T+}=3V$ ,  $U_{T-}=1.5V$  (1分), 画图 2分 (波形对就行, 注意施密特波形特点)

(3) 74LS00 两个输入端接  $u_4$  和  $u_1$ 。(1分)

$1.1R_dC_5=3$  (1分)

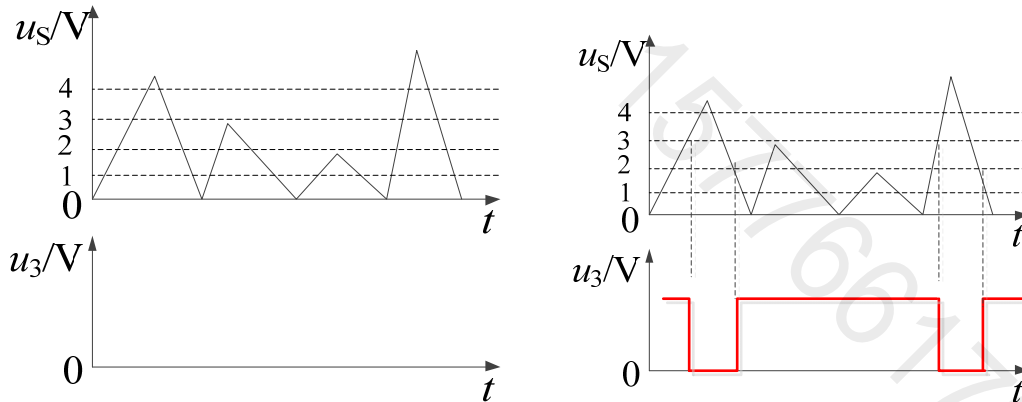
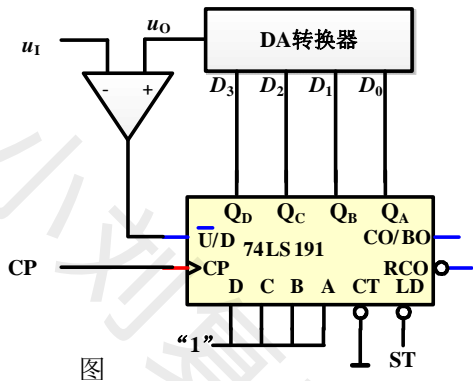


图 7

本题得分

六、(9分) 某 ADC 电路由计数器 74LS191 及 4 位 DAC 组成, 如图 8 所示。74LS191 为 16 进制可逆计数器, 其功能如表一所示。当 DA 转换器数据输入  $D_3D_2D_1D_0=0001$  时, 其输出  $u_O$  为 0.2V。

- (1) 请问该 AD 转换器的分辨率。并回答  $u_i$  为一固定值时, 最多经过多少周期 ADC 输出相对稳定。
- (2) 直接在图 9 (a) (b) 上画出不同输入信号 (虚线表示) 下的输出信号波形, 横坐标为时间, 纵坐标为电压。并写出第 15 个时钟 AD 转换结果  $D_3D_2D_1D_0$ 。
- (3) 若输入信号  $0 < u_i < 2V$ , 试问 74LS191 置数端 DCBA 可以如何连接以加快跟踪速度。



表一、74LS191功能表

输 入				输 出							
$\overline{LD}$	$\overline{CT}$	$\overline{U/D}$	CP	D	C	B	A	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	x	x	x	D	C	B	A	D	C	B	A
1	0	0	↓	x	x	x	x	加计数			
1	0	1	↓	x	x	x	x	减计数			
1	1	x	x	x	x	x	x	保持			

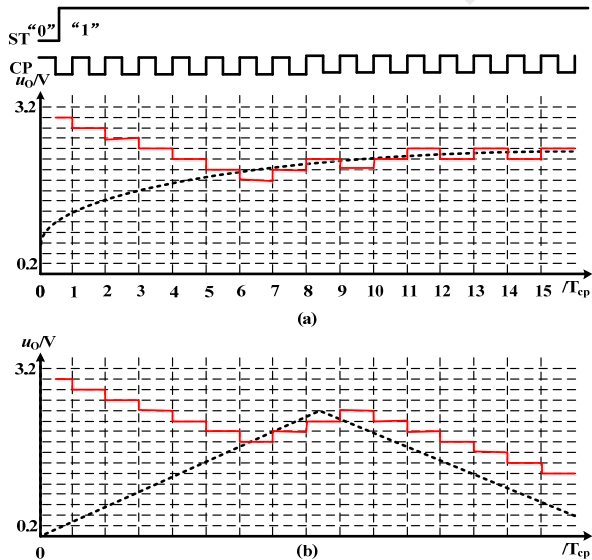
图 9

答案: (1) 1/15 (或者 2 分。 15 (或 16) 个时钟周期。 -2 分

(2) 如图, 图完全画正确 -2 分, 如果从零点开始画, -1 分。

$D_3D_2D_1D_0$  为 (图 a) 1011/1100 (图 b) 0110/0101/0111 -1 分。注意最后一位可能会有微小误差, 可以给分。另外, 注意很多通许  $D_3D_2D_1D_0$  的值, 写在前页, 图画在后页, 偶尔前面会漏给 1 分

(3) 置成 0101 (对应 1V) -2 分, 如果写成置成 1010 (对应 2V) 则只给 1 分



本题得分

七、(7分)设计计数器: 它有一个控制端 X; 当 X=0 时, 它是一个四进制加法计数器, 状态转换图如图 10 (a)所示; 当 X=1 时, 它是一个三进制减法计数器, 状态转换图如图



试题:

班号:

姓名:

10(b)所示。请使用 D 触发器和必要的门电路设计该计数器。要求:

- (1) 列写真值表;
- (2) 写出驱动方程;
- (3) 画出最简逻辑电路图;
- (4) 验证能否自启动 (若不能自启动, 不必修改成自启动电路)。

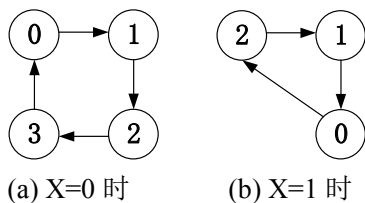


图 10

答案:

(1) 真值表 2分

X=0			X=1		
CP	Q2	Q1	CP	Q2	Q1
0	0	0	0	1	0
1	0	1	1	0	1
2	1	0	2	0	0
3	1	1	3	1	0
4	0	0			

(2) 3分

答案:  $D1 = \frac{Q_1^{n+1}}{Q_1^n} = \frac{X\bar{Q}_1^n\bar{Q}_0^n + \bar{X}\bar{Q}_1^nQ_0^n + \bar{X}Q_1^n\bar{Q}_0^n}{Q_1^n} = \bar{X}(Q_1^n \oplus Q_0^n) + X\bar{Q}_1^n\bar{Q}_0^n$

$D2 = \frac{Q_2^{n+1}}{Q_2^n} = \frac{Q_1^n\bar{Q}_0^n + \bar{X}\bar{Q}_0^n}{Q_2^n}$  或者  $\bar{X}\bar{Q}_0^n + XQ_1^n$

(3) 略 1分

(4) 能自启动 1分

本题得分

八、(8分) (1) 下列程序能否实现异步清零同步九进制计数器? 若不能, 应如何修改?

```

module Problem_1(clk, rst, Q);
input clk, rst;
output [2:0] Q;
always@(posedge clk)
if (!rst)
Q <= 0;
else if (Q >= 9)
Q <= 0;
else
Q <= Q + 1'b1;
endmodule
    
```

答案: 1项 1分

- (1) always@(posedge clk or negedge rst)
- (2) output[3:0] Q;
- (3) reg[3:0]Q;

(4) Q>=8

(2) Verilog 程序如下。分析程序功能，并完成如下问题：

```

module Problem_2 (clock, w, z);
    input clock, w;
    output z;
    reg y, s, z;
    parameter A=0, B=1;
    always @(w or y)
    case (y)
    A: if(!w)
        begin
            z=0;
            s=B;
        end
    else
        begin
            z=0;
            s=A;
        end
    endcase
    always@(posedge clock)
    y<=s;
endmodule
    
```

1) 根据上述描述，在图 11 中补充完整 y 的状态转换图（标明状态转换条件和输出）；

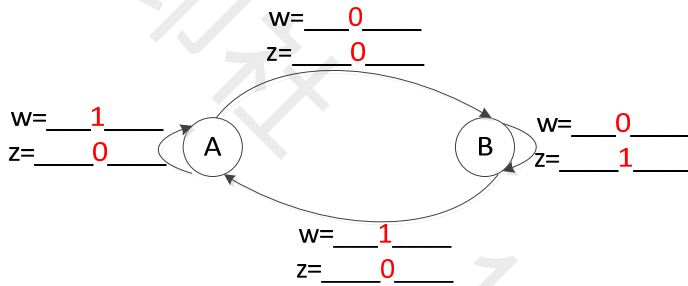


图 11

答案：4 组，1 组 1 分