

得分

一、填空与选择 (17分)

1. 根据对偶规则, 若 $F = A + B + \overline{CD} + \overline{AD} \cdot \overline{B} \cdot \overline{C}$, 则 $F' =$ _____。

2. 判断下述说法是否正确, 正确者在其后 ()内打√, 反之打×。

a. 全部最大项之积恒等于“0”。()

b. 基本 RS 触发器可以构成移位寄存器。()

c. 已知 $A \oplus B = \overline{A} \overline{B}$, 因而 $A \oplus B \oplus C = \overline{A} \overline{B} \overline{C}$ 。()

3. 在下列门电路中, _____ 能实现“线与”逻辑功能; _____ 能用于总线结构的数据传输; _____ 能实现模拟信号的双向传输。

A. 异或门; B. OC 门; C. 三态门; D. 传输门。

4. 已知某组合逻辑电路的工作波形如图 1-1 所示, A、B 是输入信号, F 是输出信号, 则由波形可知 F 的逻辑表达式为 _____。

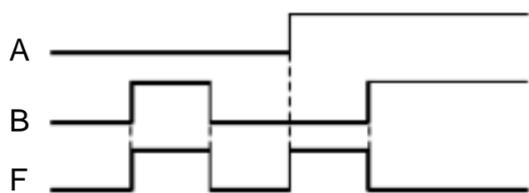


图 1-1

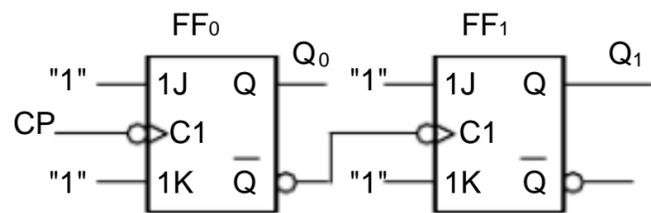


图 1-2

5. 图 1-2 所示电路的逻辑功能为异步 _____ 进制 _____ 法计数器。

6. 图 1-3 所示电路为 _____ 型计数器, 具有 _____ 个有效状态。

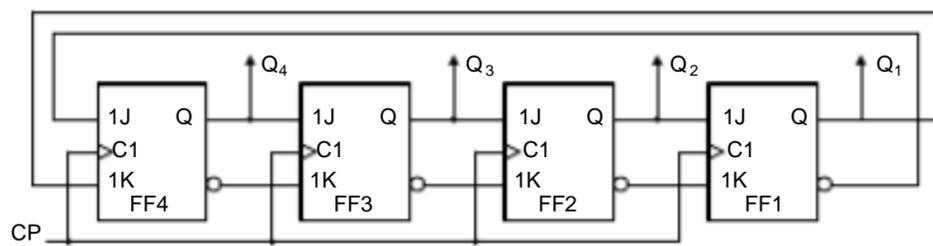


图 1-3

7. 已知函数 $Y = \overline{A}C + A\overline{B}$, 可能存在 _____ 态冒险。

8. 由 TTL 门组成的电路如图 1-4 所示, 设逻辑门的输出 $U_{OH}=3.6V$, $U_{OL}=0.3V$, 电压表内阻为 $20k\Omega/V$ 。当输入 $ABC = 001$, 用万用表测出 $U_1=$ _____, $U_2=$ _____; 当输入 $ABC = 100$, 测得 $U_1=$ _____, $U_2=$ _____。

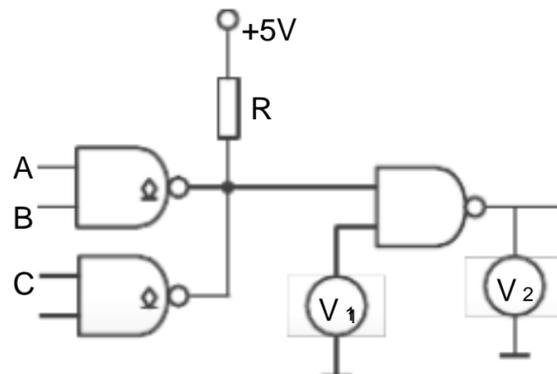


图 1-4

得分

二、简答题：(8分)

1. 电路如图 2-1(a)所示, 设各触发器的初态为“0”。已知电路的输入波形如图 2-1(b)所示, 试画出 Q_1 、 Q_2 端的波形。

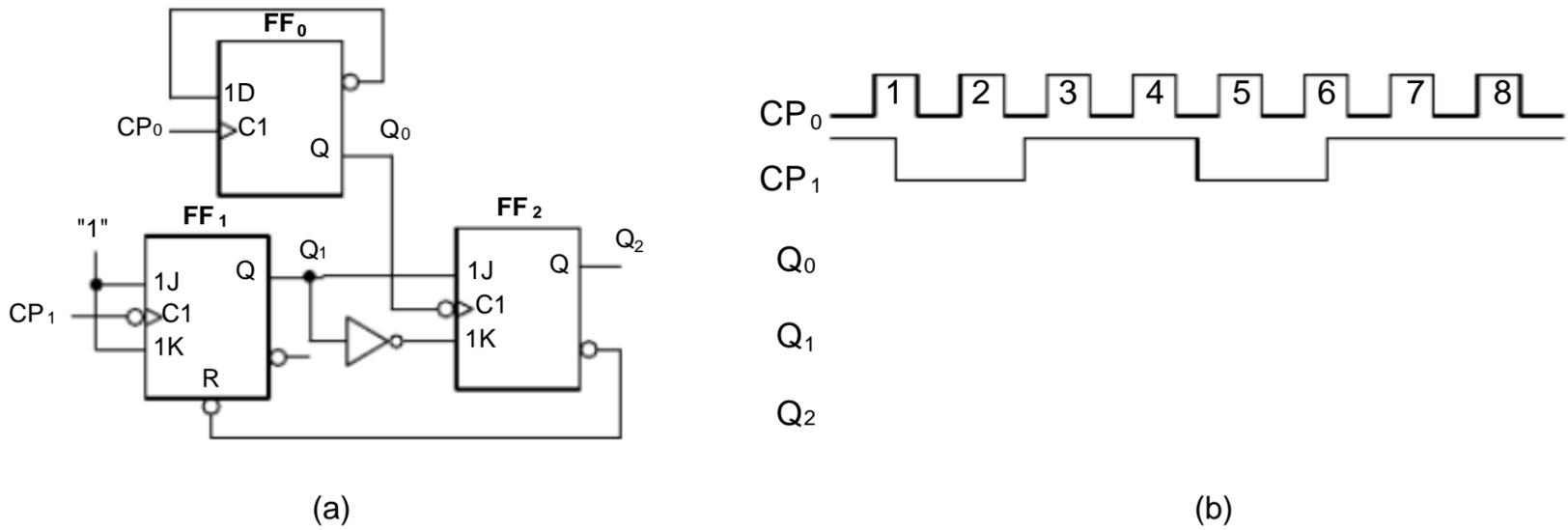


图 2-1

2. 已知某时序逻辑电路的状态转换如图 2-2(a)所示, 设以 Q_3 为最高位, Q_1 为最低位。将 $Q_3Q_2Q_1$ 连接到如图 2-2(b)所示的 ROM 的地址输入端, 请在 ROM 矩阵中实现特定的逻辑电路, 使得电路输出 $\overline{Y_0} \sim \overline{Y_7}$ 上获得顺序脉冲 (在 $\overline{Y_0} \sim \overline{Y_7}$ 上依次产生一个低电平脉冲信号, 每个低电平信号占一个时钟周期)。

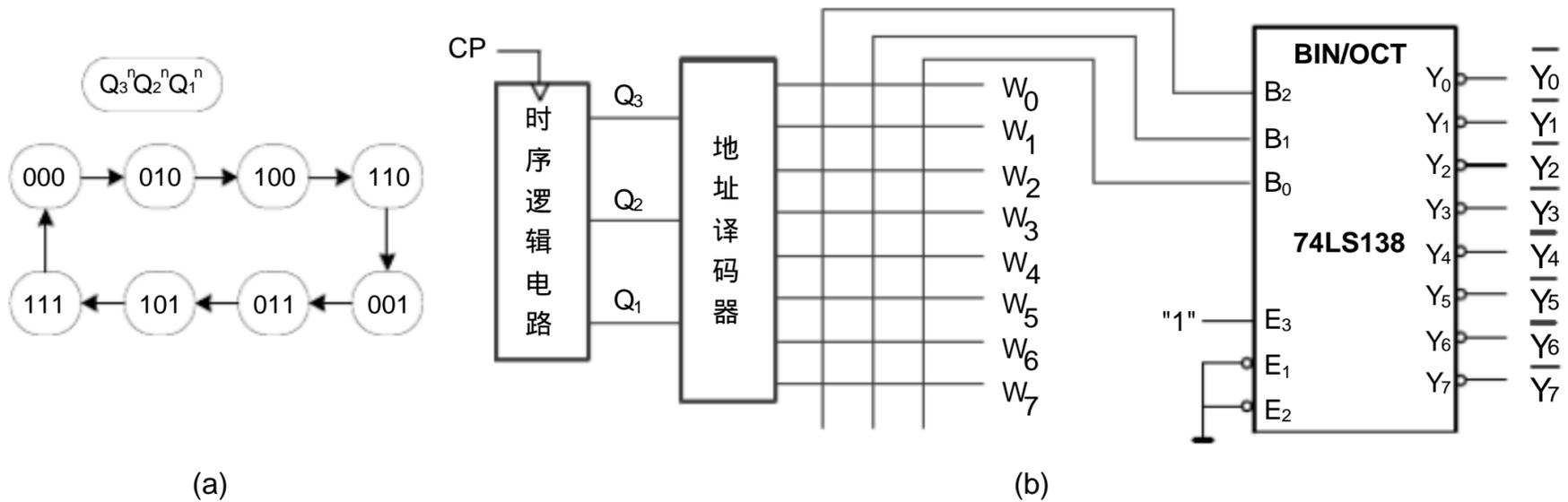


图 2-2

得分

三、已知电路如图 3 所示。试求：(7分)

1. 指出虚线框内为何种逻辑电路的图形符号？
2. 写出虚线框内输出 S_0 和 C_0 的逻辑函数表达式；
3. 写出在 G_1G_0 的不同取值情况下, 电路的输出 $F = ?$

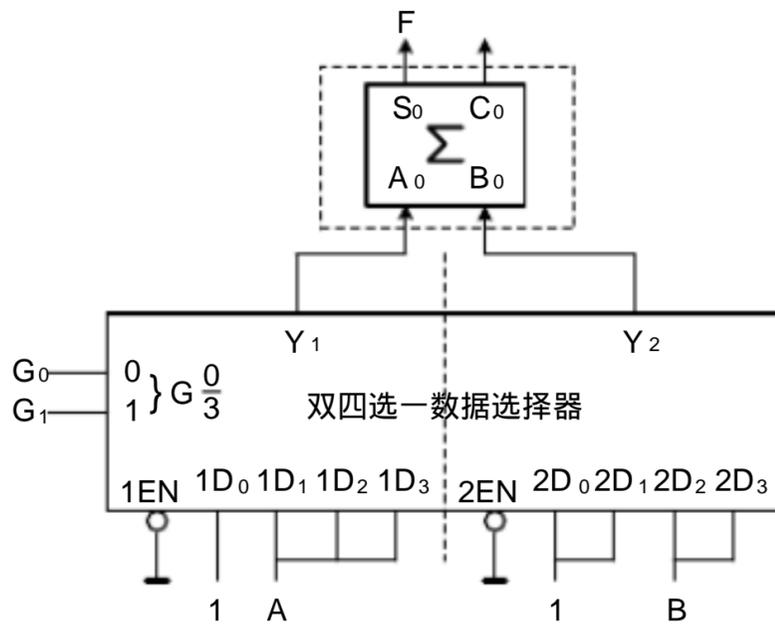


图 3

得分

四、请利用如图 4 所示的集成异步计数器 74LS90 构成具有可靠清零功能的 41 进制计数器，允许添加适当的门电路。（6 分）

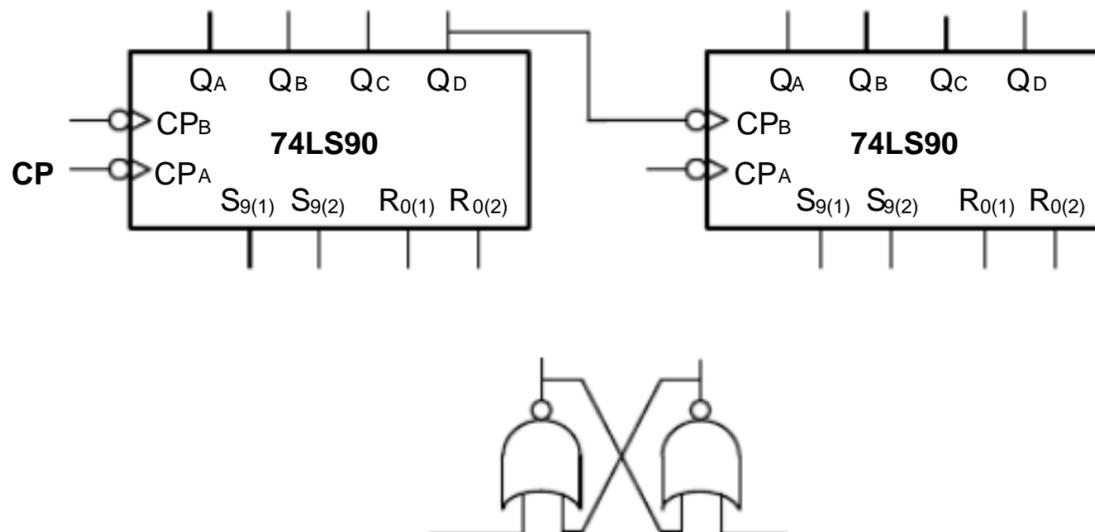


图 4

得分

五、用下降沿触发的 JK 触发器和门电路实现图 5(a)所示的状态转换图，X 为输入信号，Z 为电路的输出信号。试求：（10 分）

1. 说明当 X=1 时电路的逻辑功能；
2. 请画出该电路的次态卡诺图和输出函数 Z 的卡诺图；
3. 写出电路的驱动方程和输出方程，并在图 5(b)中画出电路图。

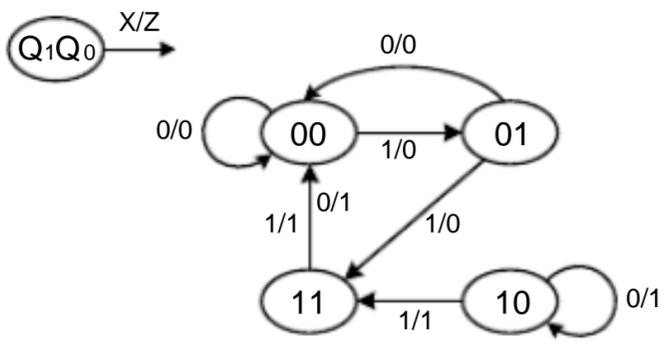


图 5(a)

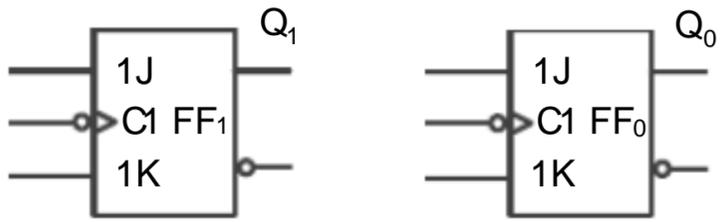


图 5(b)

得分

六、 某 AD 转换电路如图 6 所示，已知时钟脉冲 CP 的频率为 100kHz， $C = 1\mu F$ ， $-V_{REF} = -5V$ 。请分析电路的工作原理，回答下列问题。（6分）

1. 写出电路的数字量输出 D 与 u_i 的关系表达式。
2. 若已知计数器 n 为 8 位， $R_1 = 10k\Omega$ ， $R_2 = 10k\Omega$ 。当输入 $u_i = 2.5V$ 时，则完成转换后输出的数字量 D 是多少？完成转换所需要的时间是多少？
3. 如果被转换的输入信号 u_i 的最大值是 10V，且电路能够完成正确的 AD 转换，那么要求 R_1 与 R_2 满足何种关系？

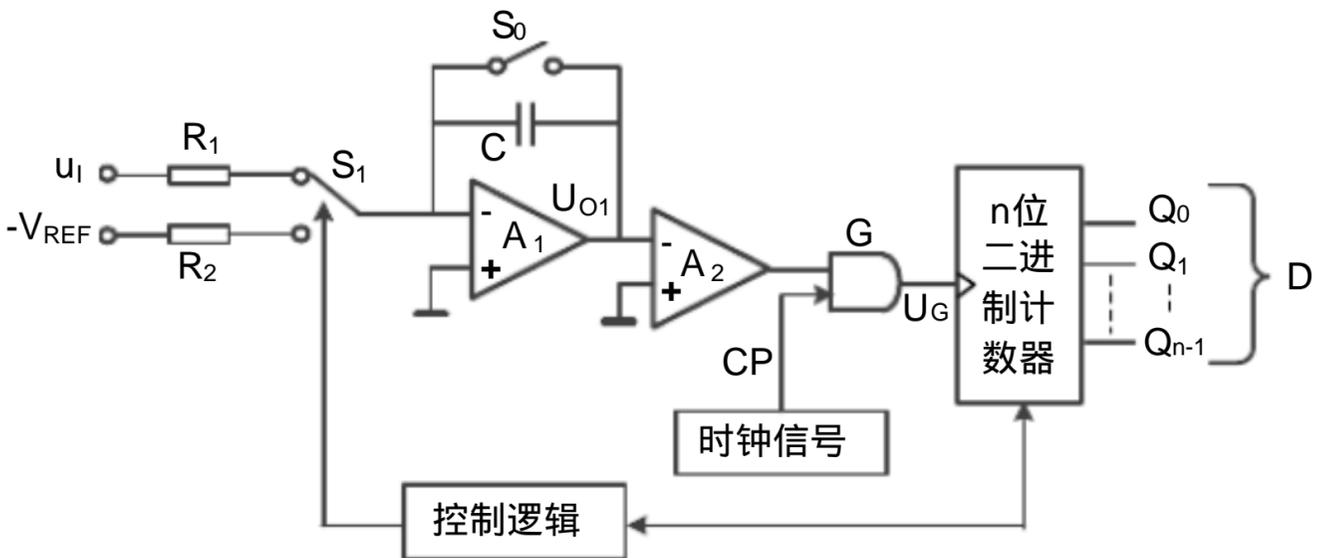


图 6

得分

七、由 555 定时器构成的电路如图 7(a)所示，设输出高电平为 5V，输出低电平为 0V。试问：(10 分)

1. 写出虚线框 I 内 555 定时器所构成电路的功能；
2. 分析虚线框 II 内电路构成几进制计数器，并画出其完整状态转换图 (要求以 Q_d 为高位)；
3. 计算 Q_a 和 Q_b 的频率；
4. 设电路输出 u_{o2} 的初始状态为 0，请在图 7(b)中画出 Q_a 、 Q_b 和 u_{o2} 的波形。

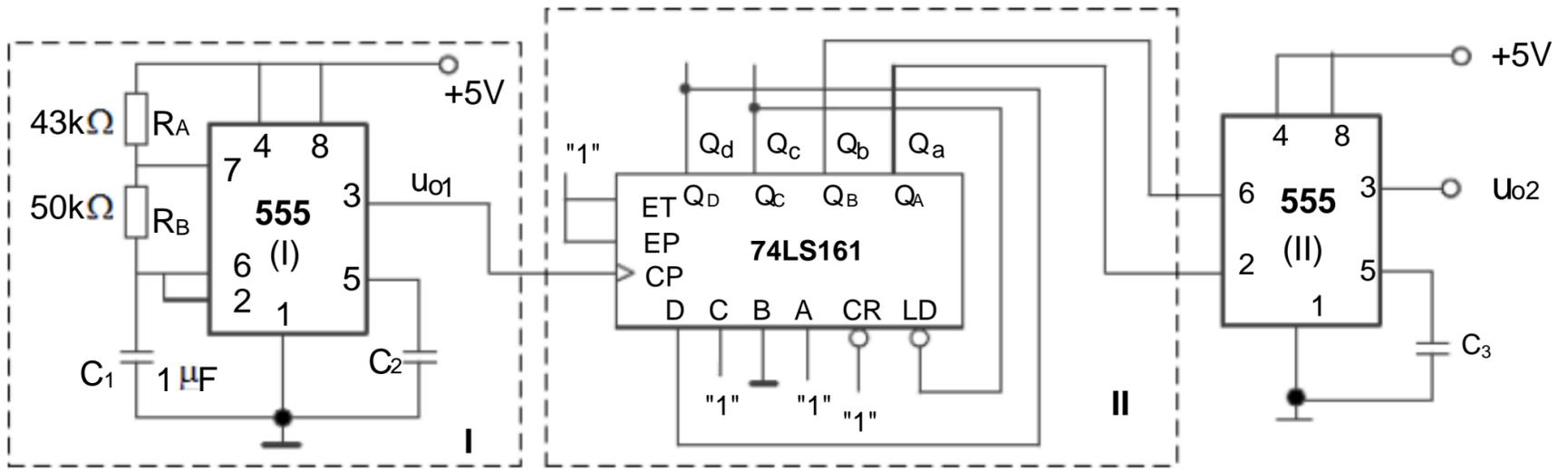


图 7(a)

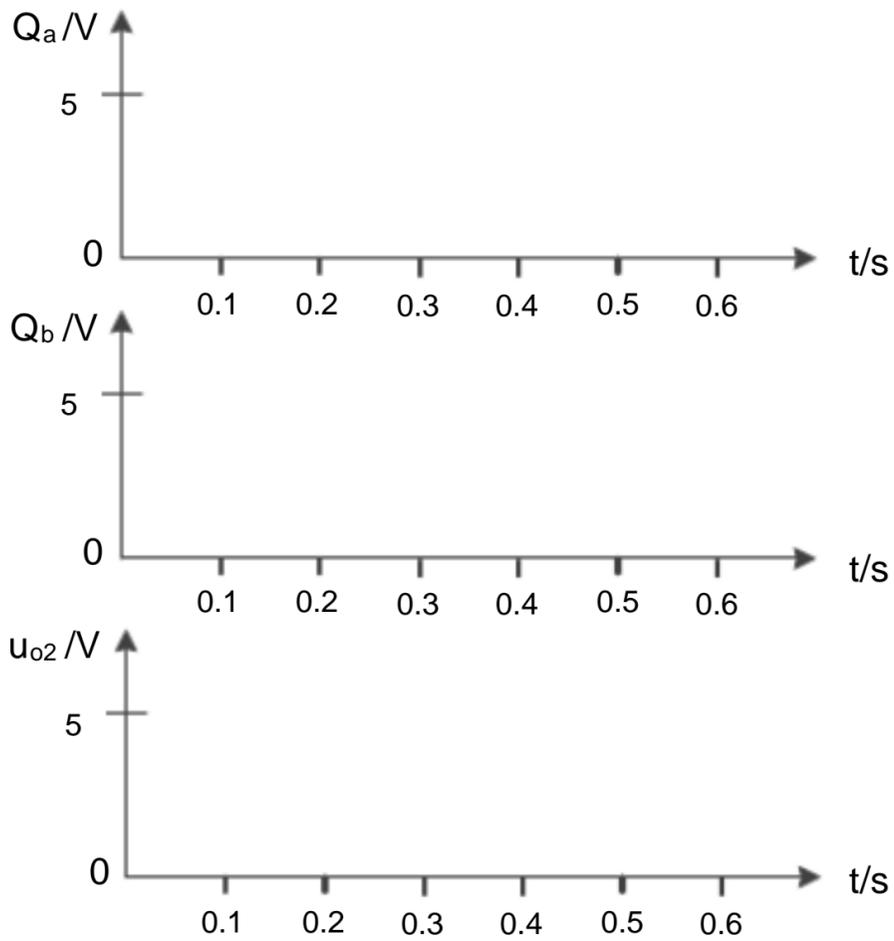


图 7(b)

得分

八、根据下面 Verilog HDL 语言的描述，回答下列问题：（6分）

1. 题 8-1 中硬件描述语言实现的电路逻辑功能是什么？该电路能否自启动，如果不能，请修改 (a)，(b)，(c)，(d)中的某一条语句，使其能够自启动。

```
module Test1(Clk, Dataout);
input Clk ;
output[3:0] Dataout ;
wire[3:0] Dataout ;
reg Q1,Q2,Q3,Q4 ;
assign Dataout = {Q4,Q3,Q2,Q1};
always @(posedge Clk)
begin
    Q2 <= Q3; //----- (a)
    Q3 <= Q4; //----- (b)
    Q1 <= Q2; //----- (c)
    Q4 <= ~Q1; //----- (d)
end
endmodule
```

题 8-1

提示：Verilog HDL 语言中位运算操作符为 “与运算 (&)”、“或运算 (|)”、“非运算 (~)”。

2. 题 8-2 中硬件描述语言实现的电路逻辑功能是什么？可选答案为：

(a) 双稳态触发器；(b) 可重触发单稳态触发器；(c) 不可重触发单稳态触发器；(d) 多谐振荡器。

```
module Test2(Clk,nRst,iTRIG ,oTRIG);
input Clk,nRst,iTRIG;

output oTRIG;
reg[7:0] cnt;

reg DY1;
parameter DY_time = 8'H09;

always@(posedge Clk or negedge nRst)

begin
    if (!nRst)
        DY1 = 0;
    else if (iTRIG )
        DY1 = 1;
    else if (cnt >= DY_time)
        DY1 = 0;
end
always@(posedge Clk or negedge nRst)
begin
    if (!nRst)
        cnt <=0;
    else if (DY1 == 1 )
        cnt <= cnt + 1;
    else
        cnt <=0;
end
assign oTRIG =DY1;
endmodule
```

题 8-2