数字电子技术基础趣题（2024 春）解析

一、【分析】

从左到右，触发器均为 JK 触发器，时钟信号分别为 CP、Q_0、CP，且均为下降沿触发。

驱动方程为：$\begin{cases} J_0 = Q_2', K_0 = 1 \\ J_1 = 1, K_1 = 1 \\ J_2 = Q_0 Q_1, K_2 = 1 \end{cases}$

可见第二个触发器接成 T'触发器，一被触发 Q_1 就反转。

设初态为 000。

第 1 个 CP 下降沿到来时，第一个和第三个触发器同时被触发：

对于第一个触发器，$J_0 = K_0 = 1$，则 Q_0 翻转为 1，并产生一个上升沿，Q_1 状态不变；

对于第三个触发器，$J_2 = Q_0 Q_1 = 0, K_2 = 1$，复位信号有效但是 $Q_2=0$，Q_2 不翻转。

则第 1 个 CP 下降沿到来后，状态变为 001。

第 2 个 CP 下降沿到来时，第一个和第三个触发器同时被触发：

对于第一个触发器，$J_0 = K_0 = 1$，则 Q_0 翻转为 0，并产生一个下降沿，满足第二个触发器触发条件，Q_1 翻转为 1（这发生在第三个触发器被触发之后， 所以不影响 $J_2 = Q_0Q_1 = 0$ ）；

对于第三个触发器，$J_2 = Q_0 Q_1 = 0, K_2 = 1$，复位信号有效但是 $Q_2=0$，Q_2 不翻转。

则第 2 个 CP 下降沿到来后，状态变为 010。

第 3 个 CP 下降沿到来时，第一个和第三个触发器同时被触发：

对于第一个触发器，$J_0 = K_0 = 1$，则 Q_0 翻转为 1 （这发生在第三个触发器被触发之后，所以不影响 $J_2 = Q_0Q_1 = 0$） ，并产生一个上升沿，Q_1 状态不变，仍为 1；

对于第三个触发器，$J_2 = Q_0 Q_1 = 0, K_2 = 1$，复位信号有效但是 $Q_2=0$，Q_2 不翻转。

则第 3 个 CP 下降沿到来后，状态变为 011。

第 4 个 CP 下降沿到来时，第 1 个和第 3 个触发器同时被触发：

对于第 1 个触发器，$J_0 = 0, K_0 = 1$，复位信号有效，且上个状态 Q_0 为 1，则 Q_0 翻转为 0，并产生一个下降沿，Q_1 状态翻转为 0。（以上都发生在第三个触发器被触发之后，所以不影响 $J_2 = Q_0Q_1 = 1$）

对于第三个触发器，$J_2 = Q_0 Q_1 = 1, K_2 = 1$，相当于 T'触发器，$Q_2$ 翻转为 1。

则第 4 个 CP 下降沿到来后，状态变为 100。

第 5 个 CP 下降沿到来时，第 1 个和第 3 个触发器同时被触发：

对于第 1 个触发器，$J_0 = 0, K_0 = 1$，复位信号有效，则 Q_0 仍为 0，Q_1 状态不变，也为 0（第二个触发器不被触发）.

对于第三个触发器，$J_2 = Q_0 Q_1 = 0, K_2 = 1$，复位信号有效，$Q_2$ 翻转为 0。

则第 5 个 CP 下降沿到来后，状态变为 000。则：**电路为五进制计数器**。

考虑自启动问题：

设初态为 101。

CP 下降沿到来时，第 1 个和第 3 个触发器同时被触发：

对于第 1 个触发器，$J_0 = 0, K_0 = 1$，复位信号有效，则 Q_0 变为 0，产生一个下降沿，Q_1 翻转为 1。

对于第三个触发器，$J_2 = Q_0 Q_1 = 0, K_2 = 1$，复位信号有效，$Q_2$ 翻转为 0。

则 CP 下降沿到来后，状态变为 010。回归有效循环。

设初态为 110。

CP 下降沿到来时，第 1 个和第 3 个触发器同时被触发：

对于第 1 个触发器，$J_0=0, K_0=1$，复位信号有效，则 Q_0 仍为 0，第二个触发器不触发，Q_1 仍为 1。

对于第三个触发器，$J_2=Q_0Q_1=0, K_2=1$，复位信号有效，Q_2 翻转为 0。

则 CP 下降沿到来后，状态变为 010。回归有效循环。

设初态为 111。

CP 下降沿到来时，第 1 个和第 3 个触发器同时被触发：

对于第 1 个触发器，$J_0=0, K_0=1$，复位信号有效，则 Q_0 翻转为 0，产生一个下降沿，第二个触发器被触发，Q_1 变为 0。

对于第三个触发器，$J_2=Q_0Q_1=1, K_2=1$，第三个触发器相当于 T'触发器，Q_2 翻转为 0。

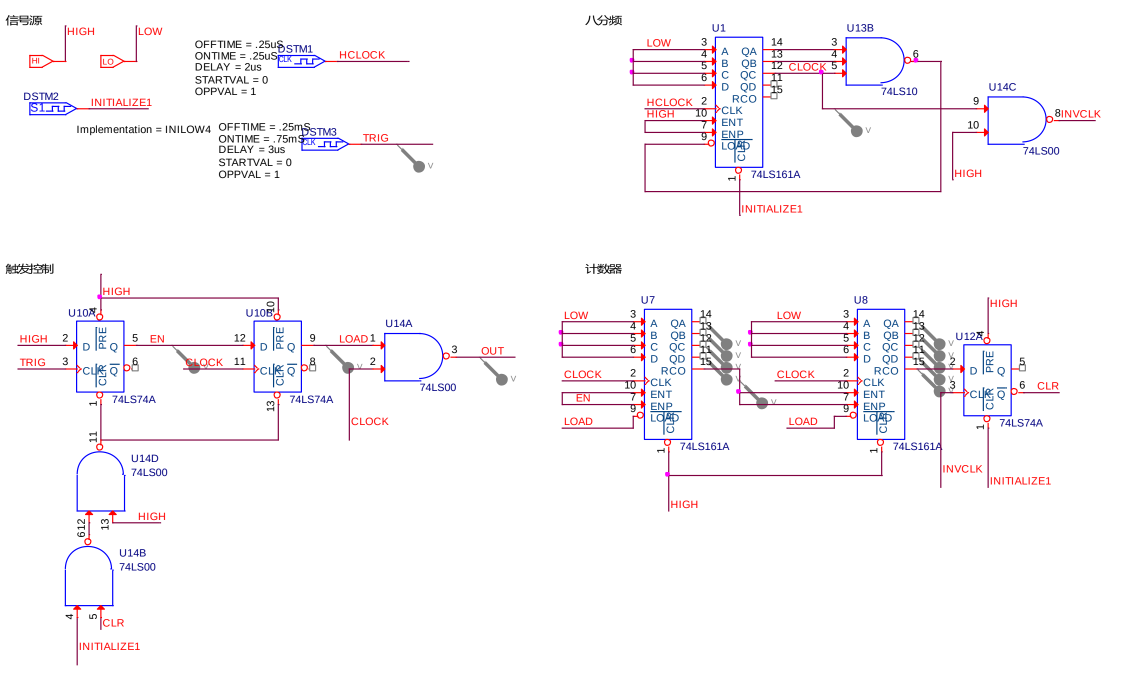
则 CP 下降沿到来后，状态变为 000。回归有效循环。

事实上考虑自启动问题有更简单的方法：因为 Q_2＝1 时，对于第三个触发器而言，K_2 总为 1。则无论 J_2 为何，下一步总能把 Q_2 置为 0（或翻转或复位），由此回归有效循环。

综上，**电路为具有自启动能力的五进制计数器。**

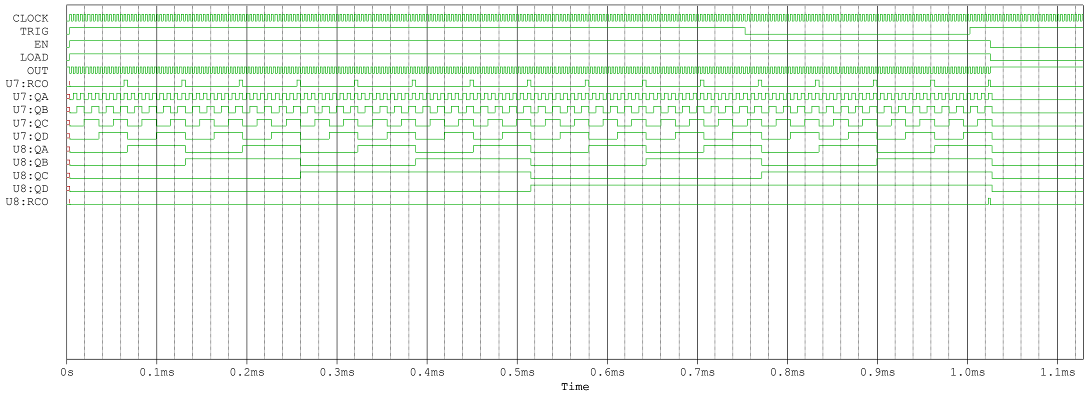
二、【解】

1. 参考电路如下所示。（具体效果详见与此文档同目录下的仿真文件。注意解压路径不要有中文、空格）

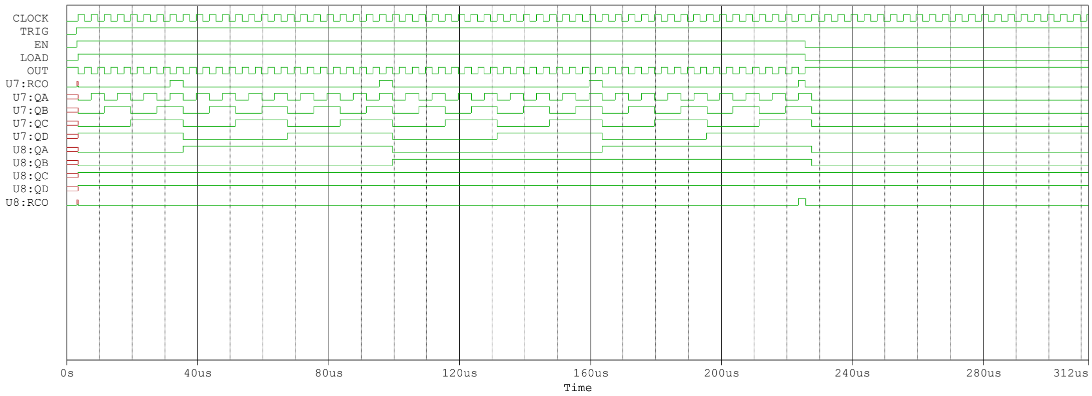


图中的 INITIALIZE1 在初始的很短一段时间内为低电平，之后全为高电平，只用于给各触发器、计数器设置合适的初值。HCLOCK 为题中的“高速时钟模块”，频率为 2MHz；TRIG 为题中的触发信号，频率为 1kHz。

运行结果：（OUT 为输出）



256 个脉冲（n_2=n_1=0。注意 1ms 左右 TRIG 又来了一个上升沿，但 OUT 输出不受影响）



56 个脉冲（n_2=12，n_1=8。最开始红色的小段是初始化段，仿真中需要注意设置好初值）

整个电路的运行分析如下：

首先，注意到输出脉冲的频率要求为 250kHz，而“高速时钟模块”频率为 2MHz，所以先做八分频处理，方法是接出一个八进制计数器；又注意到脉宽为 2μs，所以占空比应为 50%，这可以通过将 Q_C 作为所需信号来实现（提示：0—3 时其为低、4—7 时其为高），得到 CLOCK 信号。OUT 前的与非门用的时钟用它，电路后续部分的时钟也都用它。

初始时 EN 为低，LOAD 为低，CLR 为高，OUT 恒为高电平（OUT 如有需要可加反相器，或将 CLOCK 改为 INVCLK）。时钟 CLOCK 的上升沿不断到来，使得两个计数器的计数值总是所需要的预置数值。

TRIG 上升沿到来时，EN 被置高。注意 TRIG 只影响 EN，且此后即便 TRIG 有干扰，EN 在 CLR 将其置低前，状态也不会改变，这就使得电路输出脉冲的期间不会受到 TRIG 重复触发的影响。此时刻后，若到来一个 CLOCK 上升沿，则 LOAD 被置高（此时刻计数值不变，仍为预置数值），此后两计数器不受 LOAD 的影响，且 OUT 就等于 CLOCK 的反相。

CLOCK 的下一个上升沿到来时，第一个计数器从预置数值开始正常计数（+1）。计数至 15 时，第一个计数器的 RCO（以下记为 RCO_1）出现高电平，并作为第二个计数器的 ENP 和 ENT（以下记为 ENP_2 和 ENT_2），在下一个 CLOCK 上升沿到来时，使第二个计数器的计数值在预置数值基础上加 1，并且同时第一个计数器计数值回 0。接下来，第一个计数器正常计数，直至计数至 15 出现 RCO_1 高电平，下一个 CLOCK 上升沿到来时再将第二个计数器的计数值加 1，以此类推。

若某个 CLOCK 上升沿到来时，第二个计数器恰到达 15，注意此时由于第一个计数器的计数值会迅速变为 0（从而使 RCO_1 变低），从而使 ENP_2 和 ENT_2 都迅速变为低，则在 CLOCK 下降沿到来瞬间，第二个计数器的 RCO（以下记为 RCO_2）一定是低电平（或许之前有矮脉冲，或许一直是低电平；请注意 RCO 是组合逻辑）。

接下来，第一个计数器重新从 0 开始计数，直至其计数值为 15 时，RCO_1 为高，则 RCO_2 迅速变高（注意第一个计数器的计数值变为 15 时第二个计数器并不会计数，因为上升沿瞬间 ENP_2 和 ENT_2[等于 RCO_1]是低），紧接着 CLOCK 下降沿到来时，INVCLK 为上升沿，CLR 将被置为 RCO_2，即置低，并迅速将 EN 和 LOAD 重新置低。待下个 CLOCK 上升沿到来时，计数器将重新被置入所需要的预置数值，紧接着 CLOCK 下降沿到来时，CLR 又恢复至高电平。则电路回归最初状态，等待下一个 TRIG 的上升沿。

输出脉冲数的计算：若第一个计数器的预置数值记作 n_1，第二个计数器的预置数值记作 n_2，则输出脉冲数量（上升沿和下降沿数量）是 $16(15-n_2)+(16-n_1)$。

评注：来源于 *The Art of Electronics 3rd ed*。原书中采用的是加/减计数器 74HC190。书中的场景更为通用（不仅留出了方波驱动的输入端，还做了手工驱动的输入端和消抖电路；还用放大器制作了输出级）。电路分析与设计如下，有兴趣的同学可以参考。

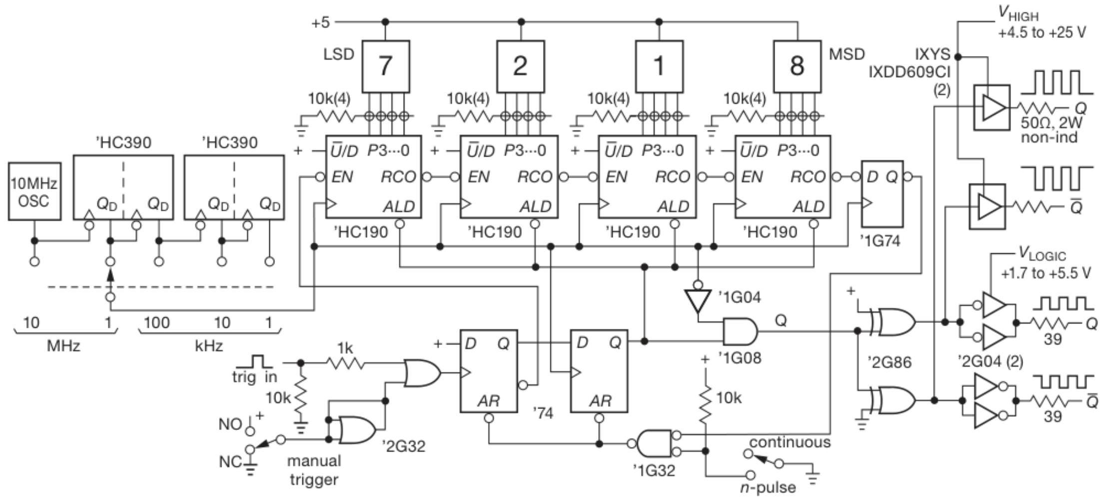


Figure 10.92. Perfect n-pulse generator. All logic is LVC family, running from $+5\,V$, unless shown otherwise.

10.6.3 An *n*-pulse generator

The n-pulse generator is a useful little test instrument. It generates a burst of n output pulses following an input trigger signal (or you can push a button), with a set of selectable pulse repetition rates. Figure 10.92 shows the circuit.[80] The 'HC190s are decade up/down counters (here wired to count down), clocked continuously by a selected power-of-10 subdivision of the fixed 10 MHz crystal oscillator, but disabled by having both the ALD′ (asynchronous load) inputs asserted and the EN′ (count enable) inputs disasserted. When a trigger pulse comes along, the first flip-flop enables the counter, and the second flip-flop synchronizes counting following the next rising edge of the clock. Pulses (during clock LOW) are passed by the AND gate until the counter reaches zero, at which state the RCO′ output[81] is latched for one clock, and both flip-flops are reset; this parallel-loads the counter back to $n-1$ from the BCD switches, disables counting, and readies the circuit for another trigger.[82] Note that the use of pulldown resistors in this circuit means that true (rather than complemented) BCD switches must be used. Note also that the manual trigger input must be debounced, as shown, since it clocks a flip-flop. That is not necessary for the continuous/n-pulse switch, which simply enables a continuous stream of output pulses.

The output stage delivers two pairs of true/complement signals: the XORs generate complementary logic signals with equal delay; the paralleled 'LVC2G04 inverters give normal rail-to-rail logic swings, settable from +1.7–5.5 V via an external dc supply input. We used two inverters in parallel to increase drive capability (the paralleled inverter sections can sink or source 32 mA, staying within 0.5 V of the rails, for V_+=3 V); the 39 Ω resistors, in combination with the ∼10 Ω inverter-stage output impedance, provide series termination for 50 Ω cable.

We added the boxed driver pair for serious driver tasks. It uses a hefty "MOSFET driver" chip, intended for rapid switching of highly capacitive MOSFET gate inputs. This particular specimen can sink or source up to 8 A, with a better-than-average switching time of ∼10 ns; it is noninverting, and accepts standard 5 V logic swings. The outputs are series terminated, with non-inductive 50 Ω 2 W resistors.[83]

几处脚注：

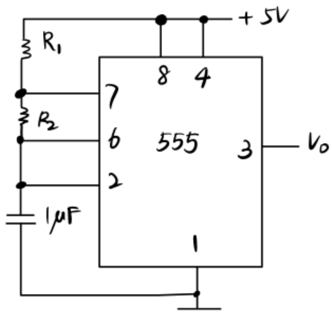
[80] Challenge for the reader: what is so "perfect" about the figure?

[81] Indicating a ripple-through "terminal count," which for a down-counter (as here) is the 4-digit state 0000. A peculiarity of the '190 is that RCO′ is enabled only during clock LOW.

[82] Because of the RCO′ latch, the output pulse train has n+1 pulses (rather than n), so you have to set the switches to one fewer than you want. Omitting that latch, however, would trade this *numerical* embarrassment for a *logical* one, namely the generation of a terminal output runt pulse. Challenge yourself by figuring out why. However, further removing the 1G04 clock inversion would eliminate the output runt, producing instead a much-shortened reload pulse, while retaining the $n+1$ counting "feature." There's nothing wrong, really, with a reload pulse whose width is determined only by logic propagation delays – it's just a bit, well, *ugly*; by contrast, the latched RCO′ for asynchronous reset–reload is neat and clean (and easy to see on a 'scope).

[83] Readers interested in constructing this circuit should consider, as an alternative to the '190 (or '192) counters, the elegant 'HC4059 4-decade loadable down-counter, which replaces four chips with one. If, however, *hexadecimal* counting is to your taste (perhaps you have 16 fingers?), use the 'HC191 (binary) alternative.

2.



$$T=\underbrace{(R_1+R_2)C\ln\frac{\frac{5}{3}-5}{\frac{10}{3}-5}}_{\text{输出为高电平}}+\underbrace{R_2C\ln\frac{\frac{10}{3}-0}{\frac{5}{3}-0}}_{\text{输出为低电平}}=(R_1+2R_2)C\ln 2=\ 1.25\text{ms}$$

$$q=\frac{R_1+R_2}{R_1+2R_2}\times 100\%=75\%$$

解得 $R_1=2R_2=$ 901.7 Ω

分析：假设初始时电容上电压为0．此时 $R=0, S=1$，$Q'=0$（T_D截止），$V_o=1$ 此时电容通过 R_1 与 R_2 和 +5V 连接并充电。至电容上电压为 $\frac{1}{3}V_{cc}$ 时，$R=S=0$，保持；再至电容上电压为 $\frac{2}{3}V_{cc}$ 时（并稍微再高一点点），$R=1, S=0$，$Q'=1$（T_D导通），$U_o=0$，此时电容通过 R_2 与 T_D 向地放电．至电容上电压为 $\frac{1}{3}V_{cc}$ 时（并稍微再低一点点），$R=0, S=1$，$Q'=0$（T_D截止），$V_o=1$，进而循环．

周期公式推导：由三要素公式 $f(t)=f_p(t)+[f(0+)-f_p(0+)]e^{-\frac{t}{\tau}}$

此时激励为直流恒压源，故 $f_p(t)=f(\infty)$（稳态分量）

则 $f(t)-f(\infty)=[f(0+)-f(\infty)]e^{-t/\tau}$

移项后取对数可得 $\tau\ln\frac{f(0+)-f(\infty)}{f(t)-f(\infty)}=t$，代入 $\tau=RC$ 即可．

评注：一道常规的复习题。