

数字电子技术基础

第一章 数制和码制

1. 数码

· 可以表示数量的大小

多位数码中每一位的构成方法和从低位到高位进位的规则——数制

当两个数码分别表示两个数量的大小时，可以进行数量间的加减乘除等算术运算

· 可以表示不同事物或事物的不同状态——代码

为便于记忆和查找，在编制代码时要遵循一定的规则——码制

2. 数制与数制间的转换

常用数制 十进制 D 二进制 B 八进制 O 十六进制 H

N进制 → 十进制 $D = \sum_{i=0}^{n-1} k_i N^i$ 其中 N 为计数的基数， k_i 为第 i 位的系数

十进制 → 二进制 整数部分：除 2 取余，逆序排列

 小数部分：乘 2 取整，顺序排列

二进制 ↔ 八进制 3 位二进制 ↔ 1 位八进制 } 若二进制数整数部分最高一组不足

二进制 ↔ 十六进制 4 位二进制 ↔ 1 位十六进制 } 3(4) 位，在最高位用 0 补足；小数部分同

一定要补！

十进制 → 八、十六进制 十进制 → 二进制 → 八、十六进制

3. 二进制算术运算：补码与补码运算

原码：二进制数前面带一位符号位，0 为正数，1 为负数

补码 正数：原、反补码相同

 负数：反码：符号位不变，数值位按位取反

 补码：反码 + 1

补码的作用：用两数的补码相加代替算数减法运算，使运算器的电路结构大为简化

补码运算： $[A]_{补} + [B]_{补} = [A+B]_{补}$

注：1. 两个补码相加时，符号位也参与运算 Δ

 2. 若和数 $[A+B]_{补}$ 有进位，则舍去进位

 3. 在两个同符号数相加时，它们的绝对值之和不能超过有效数字位所能表示的最大值，否则会得出错误的计算结果。

例题: 用二进制补码运算求出 $13+10$ 、 $13-10$ 、 $-13+10$ 和 $-13-10$

解: 由于 $13+10$ 和 $-13-10$ 的绝对值为 23, 所以必须用有效数字为 5 位 (或以上均可) 的二进制数才能表示, 注意再加上符号位, 则至少 6 位 $\leftarrow 2^6-1=31$

$+13$ 补码 001101 -13 原码 101101 补码 110011

$+10$ 补码 001010 -10 原码 101010 补码 110110

$[A]_{补}$	$+13$	0	01101	$+13$	0	01101	-13	1	10011	-13	1	10011
$[B]_{补}$	$+10$	0	01010	-10	1	10110	$+10$	0	01010	-10	1	10110
$[A+B]_{补}$	$+23$	0	10111	$+3$	110	00011	-3	1	11101	-23	111	01001

\leftarrow 进位 \leftarrow -3 的补码 \leftarrow -23 的补码

4. 常用的编码

十进制数	8421 码 (BCD 代码)	余 3 码	2421 码	5211 码	余 3 循环码
0	0000	0011	0000	0000	0010
1	0001	0100	0001	0001	0110
2	0010	0101	0010	0100	0111
3	0011	0110	0011	0101	0101
4
5
6
7
8
9	1001	1100	1111	1111	1010
权	8421		2421	5211	

eg. $(234)_{10} = (0010\ 0011\ 0100)_{8421-BCD}$ 注: ①一定要写卜标

4 位格雷码 (循环码)

- ②若 = 进制数 \leftrightarrow 8421, 则应先转为十进制数
- ③8421 码与自然 = 进制码的区别: 8421 有 1010 1111 共 6 个禁用码

编码顺序	0	1	2	3	4	5	6	7	8
自然码	0000	0001	0010	0011	0100	0101	0110	0111	1000 ...
循环码	0000	0001	0011	0010	0110	0111	0101	0100	1100

注: 余 3 循环码取自 4 位格雷码的 3-12 这 10 个代码

格雷码的组成: 最右边一位以 0110 循环, 第二位 00111100 循环, 第三位 00001111110000 循环...

格雷码的特点: 任何相邻的两个码组中仅有一位代码不同, 避免在代码转换过程中产生过渡噪声, 抗干扰能力强, 主要用在计数量中.

= 进制代码 $A_3A_2A_1A_0 \rightarrow$ 格雷码 $Y_3Y_2Y_1Y_0$ 满足:

$$Y_3=A_3, Y_2=A_3 \oplus A_2, Y_1=A_2 \oplus A_1, Y_0=A_1 \oplus A_0$$

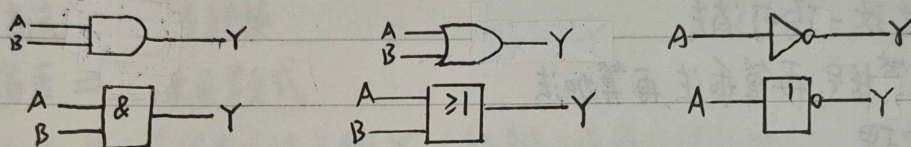
第二章 逻辑代数基础

一、逻辑代数中的三种基本运算——与、或、非

逻辑运算	与 AND $Y = AB$	或 OR $Y = A + B$	非 NOT $Y = A'$																																				
真值表	<table border="1"> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1"> <tr><th>A</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0
A	B	Y																																					
0	0	0																																					
0	1	0																																					
1	0	0																																					
1	1	1																																					
A	B	Y																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	1																																					
A	Y																																						
0	1																																						
1	0																																						

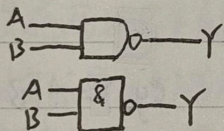
真值表的特点: 完整性、唯一性
真值表的列法: 输入按照二进制递增列举, 以不重不漏

特定外形符号
矢形轮廓符号



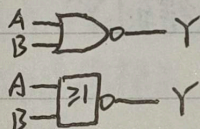
与非 NAND

$$Y = (AB)'$$



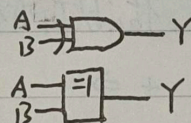
或非 NOR

$$Y = (A+B)'$$



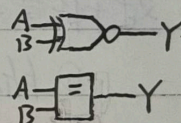
异或 (EXCLUSIVE OR)

$$Y = A \oplus B$$



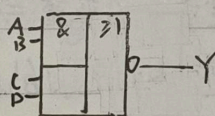
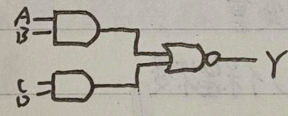
同或 (EXCLUSIVE NOR)

$$Y = A \odot B$$



与或非

$$Y = (AB + CD)'$$



$$A \oplus B = A'B + AB'$$

$$A \odot B = A'B' + AB$$

$$A \oplus B = (A \odot B)'$$

二、逻辑代数的公式

1. 基本公式

1) 常量: $0 \cdot A = 0$ $1 \cdot A = A$ $0 + A = A$ $1 + A = 1$

2) 重叠律: $AA = A$ $A + A = A$

3) 互补律: $AA' = 0$ $A + A' = 1$

4) 交换律: $AB = BA$ $A + B = B + A$ 结合律 $A(BC) = (AB)C$, $A + (B+C) = (A+B) + C$

分配律: $A(B+C) = AB + AC$ $(A+B)(A+C) = A + BC$

5) 还原律: $(A')' = A$

6) 德·摩根定理 (反演律): $(AB)' = A' + B'$ $(A+B)' = A'B'$

2. 常用公式——吸收律

$$1) A + AB = A$$

$$2) A + A'B = A + B$$

$$3) AB + AB' = A$$

$$4) A(A+B) = A$$

$$5) A(AB)' = AB'$$

$$A'(AB)' = A'$$

$$6) AB + A'C + BC = AB + A'C$$

$$AB + A'C + BCD = AB + A'C$$

即：若两个乘积项中分别包含A和A'两个因子，而这两项的其余因子均参与组成第三个乘积项时，这一项可消去

3. 运算优先顺序：先算括号，再算乘法，再算加法

三. 逻辑代数的基本定理

1. 代入定理

在一个包含变量A的逻辑等式中，以任一逻辑式代入式中所有A的位置，则等式仍然成立

2. 反演定理

对于任意一个逻辑式Y，做以下所有替换，得到Y'：

$$\textcircled{1} \text{ 所有 } \cdot \Rightarrow +, + \Rightarrow \cdot$$

$$\text{eg. } Y = A(B+C) + CD$$

$$\textcircled{2} \text{ 所有 } 0 \Rightarrow 1, 1 \Rightarrow 0$$

$$\Rightarrow Y' = (A' + B'C')(C'D')$$

$$\textcircled{3} \text{ 所有 原变量} \Rightarrow \text{反变量, 反变量} \Rightarrow \text{原变量}$$

$$= A'C' + B'C' + A'D'$$

注：不属于单个变量上的反号（即对括号打的反号）保留不变

3. 对偶定理

若两逻辑式相等，则它们的对偶式也相等

其中，对一个逻辑式Y，做以下所有替换，得到其对偶式Y^D

$$\text{eg. } Y = (AB + CD)'$$

$$\textcircled{1} \text{ 所有 } \cdot \Rightarrow +, + \Rightarrow \cdot$$

$$\Rightarrow Y^D = ((A+B)(C+D))'$$

$$\textcircled{2} \text{ 所有 } 0 \Rightarrow 1, 1 \Rightarrow 0$$

$$Y = AB + (C+D)'$$

$$\textcircled{3} \text{ 变量保持不变}$$

$$\Rightarrow Y^D = (A+B)(CD)'$$

四、逻辑函数及其描述方法

1. 逻辑函数

逻辑关系以逻辑变量为输入,得到确定的运算结果为输出,输入和输出之间是一种函数关系,且变量和输出只有0、1两种状态,称为二值逻辑函数 $Y = F(A, B, C, \dots)$

2. 逻辑函数的描述方法

└ 逻辑真值表、逻辑函数式、逻辑图、波形图

3. 描述方法间的相互转换

1. 真值表 \Rightarrow 逻辑函数式

Step 1: 找出真值表中使函数 $Y=1$ 的输入变量取值的组合

2: 每个组合对应一个乘积项,其中取值为1的变量不变,为0的变量取反后写入

3: 将所有乘积项相加,得到 Y

2. 逻辑函数式 \Rightarrow 逻辑图

先在两边写上所有输入、输出,用逻辑图形符号代替函数式中的逻辑运算符,

按运算优先顺序将它们连接起来。

3. 逻辑图 \Rightarrow 逻辑函数式

注意图中门是否带“非”!

按照逻辑图从输入端到输出端的顺序,逐级写出每个图形符号的输出逻辑式。

4. Any \Rightarrow 真值表

将输入的所有可能组合状态逐一代入,求值,列成表

五、逻辑函数的标准形式

1. 最小项 表明变量取值的所有可能情况

在 n 变量逻辑函数中,若 m 为包含 n 个因子的乘积项,且这 n 个变量均以原变量或反变量的形式在 m 中出现一次,则称 m 为该组变量的最小项

eg. 三变量最小项及其编号

$A'B'C'$	m_0	$A'B'C$	m_1	$A'BC'$	m_2	$A'BC$	m_3	$AB'C'$	m_4
$AB'C$	m_5	ABC'	m_6	ABC	m_7				

最小项的性质

- ① n 变量共有 2^n 个最小项 $m_0 \sim m_{2^n-1}$
- ② 在任一种输入情况下, 必有且仅有一个最小项的值为 1
- ③ 在任一种输入情况下, 全体最小项之和为 1
- ④ 任意两个最小项的积为 0
- ⑤ 具有相邻性的两个最小项求和可以合并成一项并消去一对因子

相邻性: 两个最小项只有一个因子不同 (在一个最小项中为原变量, 在另一个中为反变量)

注: n 变量的最小项共有 n 个相邻最小项

2. 逻辑函数的最小项之和形式

目的: 将逻辑函数化为若干乘积项之和的形式 即与或式, 且每一项均为逻辑函数的最小项

方法: 利用 $1 = A + A'$

注意: Σm 中的序号应从小到大排列

eg. $Y = ABC' + BC$ 化为 $Y = ABC' + (A + A')BC = ABC' + ABC + A'BC = m_3 + m_6 + m_7$

即 $Y(A, B, C) = \Sigma m(3, 6, 7)$

六. 逻辑函数的化简

⇒ 以最简与或式为化简目标

在与或逻辑函数式中, 其中包含的乘积项已经最少, 且每个乘积项里的因子也不能再减少 ⇒ 最简形式

化简方法: 公式法、卡诺图法

1. 公式化简法:

反复利用逻辑代数的基本公式和常用公式消去函数式中多余的乘积项和多余的因子

2. 卡诺图化简法:

① 卡诺图: 将 n 变量的全部最小项各用一个小方格表示, 并使具有逻辑相邻性的最小项在几何位置上也相邻地排列起来所得到的图形

两变量

	B	0	1
A	0	m_0, m_1	
	1	m_2, m_3	

三变量

	BC	00	01	11	10
A	0	m_0, m_1, m_3, m_2			
	1	m_4, m_5, m_7, m_6			

四变量

	CD	00	01	11	10
AB	00	m_0, m_1, m_3, m_2			
	01	m_4, m_5, m_7, m_6			
	11	$m_{12}, m_{13}, m_{15}, m_{14}$			
	10	m_8, m_9, m_{11}, m_{10}			

背下来

五变量

	CDE	000	001	011	010	110	111	101	100
AB	00								
	01								
	11								
	10								

- 注意:
1. 为保证(1), 数码码不能按自然二进制数顺序排列, 而应按格雷码顺序排列
 2. 卡诺图是上下、左右闭合的图形, 因为 n 变量最小项共有 n 个相邻最小项
 3. 对于五变量最小项的卡诺图, 关于图中双竖线为轴左右对称的位置上的最小项也有逻辑相邻性
 \Rightarrow 太复杂, 只考虑四变量及以下的逻辑函数才使用卡诺图化简法

三种易漏掉的逻辑相邻:

	CD	00	01	11	10
AB	00	1	1	1	1
	01				
	11				
	10	1	1	1	1

上下相邻

	CD	00	01	11	10
AB	00	1			1
	01				
	11				
	10	1			1

左右相邻

	CD	00	01	11	10
AB	00	1			1
	01				
	11				
	10	1			1

四角相邻

② 用卡诺图表示逻辑函数

- Step 1. 将逻辑函数化为若干最小项之和的形式, 即与或式
- Step 2. 在卡诺图中与这些最小项对应的位置上填入 1, 其余位置补 0.

③ 用卡诺图化简逻辑函数

依据: 最小项的性质 ① plus 在卡诺图中几何位置相邻与逻辑相邻是一致的

合并最小项的一般规则: 若有 2^n 个最小项相邻并排列成一个矩形, 则它们可以为一组, 并消去 n 对因子, ($n=1, 2, 3, \dots$)

选取化简后乘积项的原则: ① 矩形应框住图中的所有的 1

- ② 矩形数量越少越好
- ③ 单个矩形越大越好

注: 为满足 ②③, 多个矩形可以框住图中同一个 1

3. 具有无关项的逻辑函数及其化简

① 约束: 对输入变量取值的限制 \Rightarrow 具有约束的逻辑函数

约束项: 恒等于 0 的最小项

任意项: 在输入变量的某些取值下, 逻辑函数值是 0 或 1 皆可, 这些取值所对应的最小项

无关项: 约束项 + 任意项 "无关" 指是否把这些最小项写入逻辑函数式无关紧要, 可以写入也可以不写入.

无关项的表示形式 ① $Y = A'B'C'D + A'BD + AB'C'D'$

$$\text{且 } A'B'CD + A'BC'D + ABC'D' + AB'C'D + ABCD + ABCD' + AB'CD' = 0$$

$$\text{② } Y(A, B, C, D) = \sum m(1, 2, 8) + d(3, 5, 9, 10, 12, 14, 15)$$

② 用卡诺图表示具有无关项的逻辑函数与化简

· 在卡诺图中用 \times 表示无关项, 在化简时可以将其认为 1, 也可认为 0

· 无关项不需满足原则 1; 利用无关项以满足原则 2, 3 \Rightarrow 使逻辑函数进一步化简

注: 化简的最简结果可能不唯一, 但结果的形式 (项数和每一项的变量数) 是唯一的 \Rightarrow 框的个数与框的大小是唯一的

例: 化简 $Y(A, B, C, D) = \sum m(2, 4, 6, 8) + d(10, 11, 12, 13, 14, 15)$

AB \ CD	00	01	11	10
00				1
01	1			1
11	\times	\times	\times	\times
10	1		\times	\times

$$\Rightarrow Y = AD' + BD' + CD'$$

4. 多输出逻辑函数的化简

\Rightarrow 以所用门电路总数和所有门电路总的输入端数目最少为化简目标.

方法: 尽可能利用共用项

5. 逻辑函数形式的变换

\Rightarrow 以特定门电路的种类作为化简目标.

eg. 逻辑函数式 \Rightarrow 与非式, 要求其逻辑电路图仅由与非逻辑单元 \square 组成; 或非式...

方法: 1. 直接用公式化简法化简

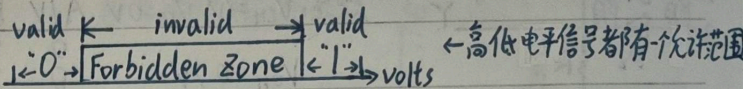
2. 若函数式已最简但形式不对, 两次取反 (Y') 后向目标形式化简

第三章 门电路

§3.1 概述

核心思路：有效区分'0'和'1'

电压信号的模拟特性及其数字化应用：



数字化电路模块必须遵循的原则：自身能允许接受低质量的'0'、'1'信号，输出高质量的'0'、'1'信号

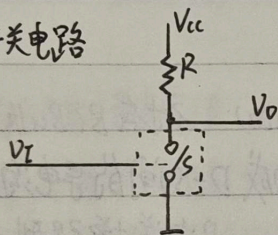
门电路：实现基本逻辑运算和复合运算的单元电路

正负逻辑系统 (1) 正逻辑：高电平 → 逻辑'1' 低电平 → 逻辑'0' (2) 负逻辑：高 $\xrightarrow{\text{def}}$ 0, 低 $\xrightarrow{\text{def}}$ 1

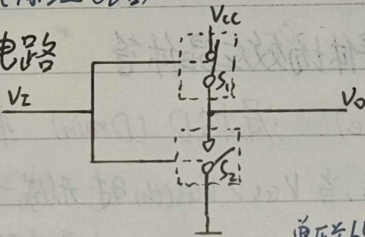
正逻辑式互为对偶式 eg. 正逻辑与 → 负逻辑或 正逻辑或 → 负逻辑与

用来获得高低电平的基本开关电路 (原理电路)

单开关电路



互补开关电路



Vi: 输入信号 Vo: 输出信号

S: 开关, 将被具体器件取代。

R: 上拉电阻, 希望是可变的
 ① 输出高电平: R 越小越好
 ② 低 大
 静态功耗大

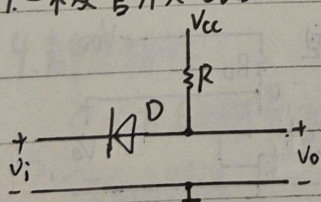
§3.2 半导体二极管门电路

优点：简单

缺点：① 电平有偏移 ② 带负载能力差

⇒ 只用于集成电路内部的逻辑单元, 无法制作具有标准化输出电平的集成电路

1. 二极管开关电路

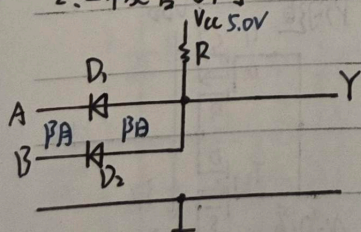


规定: Vi: 高 $V_{IH} = V_{CC}$
 低 $V_{IL} = 0$

⇒ $V_i = V_{IH}$ D截止 $V_o = V_{OH} = V_{CC}$

$V_i = V_{IL}$ D导通 $V_o = V_{OL} = 0.7V$

2. 二极管与门



规定: $V_{CC} = 5.0V$

$V_{IH} = 3V$
 $V_{IL} = 0V$

$V_{on} = 0.7V$

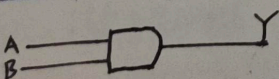
A/V	B/V	Y/V
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

规定

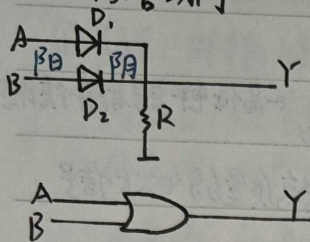
$2.3V \rightarrow 1$ $0.7V \rightarrow 0$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

同向相接 + 阳极相连: 阴极电位低的导通



3. 二极管或门



规定: $V_{OH} = 3V, V_{OL} = 0V$
 $V_{on} = 0.7V$

A/V	B/V	Y/V
0	0	0
0	3	2.3
3	0	2.3
3	3	2.3

规定 $\geq 2.3V \rightarrow 1, \leq 0V \rightarrow 0$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

同向相接+阴极相连: 阳极电位高的导通

§ 3.3 CMOS 门电路 74HC 系列, 74HCT 系列

一、概述

MOS管: 金属-氧化物-半导体场效应晶体管

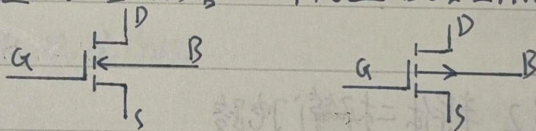
四个电极: 源极 S (Source) 漏极 D (Drain) 栅极 G (Gate) 衬底 B (Bulk)

$V_{GS(th)}$: MOS管的开启电压, 当 $V_{GS} > V_{GS(th)}$ 时, 形成一个反型层, 构成 D-S 间的导电沟道

衬底: 通常与源极相连

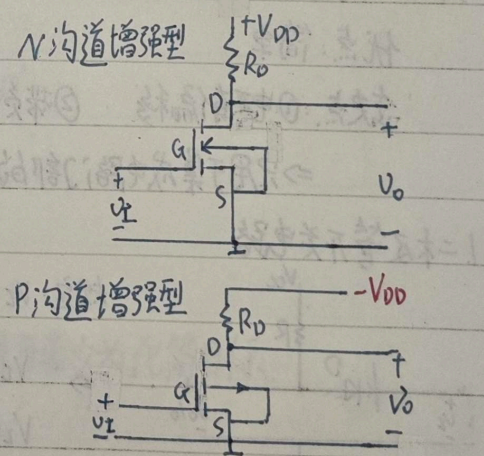
N 沟道增强型 MOS 管

P 沟道增强型 MOS 管



二、MOS管基本开关电路

沟道	输入 $V_I = V_{GS}$	状态	输出 V_O
N 沟道	$< V_{GS(th)}$	断开的开关	$V_{OH} \approx V_{DD}$ 高电平
	$> V_{GS(th)}$	闭合的开关	$V_{OL} \approx 0$ 低电平
P 沟道	$> V_{GS(th)}$	断开的开关	$V_{OL} \approx -V_{DD}$ 低电平
	$< V_{GS(th)}$	闭合的开关	$V_{OH} \approx 0$ 高电平

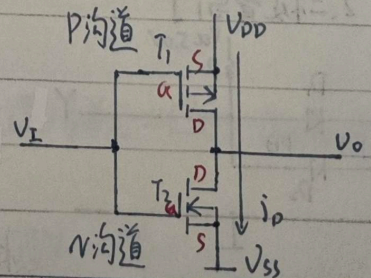


三、CMOS 反相器 (非门)

1. 电路结构 let $V_{GS(th)N} = 2V, V_{GS(th)p} = -2V, V_{DD} = 10V$

① $V_i = 0$ 时, 有 $\begin{cases} V_{GS1} = 0 - V_{DD} < V_{GS(th)p} \Rightarrow T_1 \text{ 通} \Rightarrow V_o = V_{OH} = V_{DD} \\ V_{GS2} = 0V < V_{GS(th)N} \Rightarrow T_2 \text{ 断} \end{cases}$

② $V_i = V_{DD}$ 时, 有 $\begin{cases} V_{GS1} = 0 > V_{GS(th)p} \Rightarrow T_1 \text{ 断} \Rightarrow V_o = V_{OL} \approx 0 \\ V_{GS2} = V_{DD} > V_{GS(th)N} \Rightarrow T_2 \text{ 通} \end{cases}$

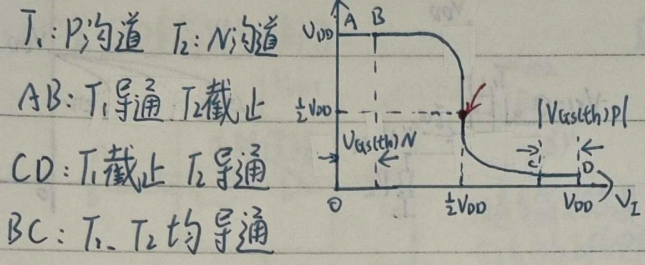


Campus

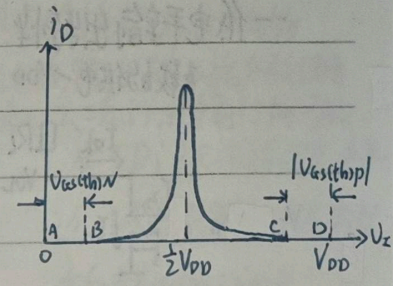
\Rightarrow 互补状态, 优点是静态功耗极小。

2. CMOS反相器的传输特性

① 电压传输特性



② 电流传输特性

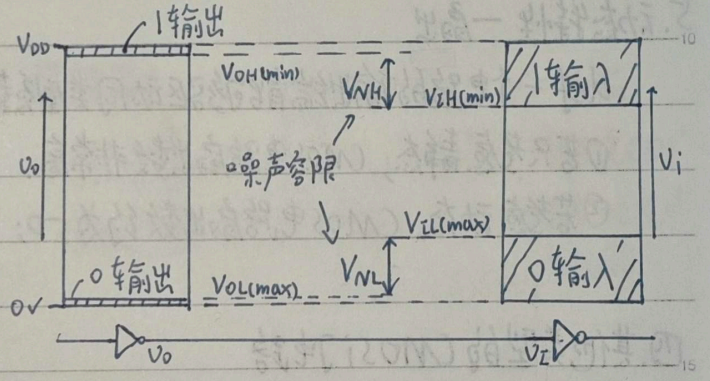


注: 没有两个MOS管均截止的状态

阈值电压: 电压传输特性转折区中点对应的输入电压 $V_{TH} \approx \frac{1}{2} V_{DD}$

3. 输入端噪声容限

def: 在保证输出高、低电平的变化不超过规定的允许限度的条件下, 允许输入信号的高、低电平有一个波动范围。该范围称作



① 输入为高电平时的噪声容限

$$V_{NH} = V_{0H(min)} - V_{1H(min)}$$

② 输入为低电平时的噪声容限

$$V_{NL} = V_{1L(max)} - V_{0L(max)}$$

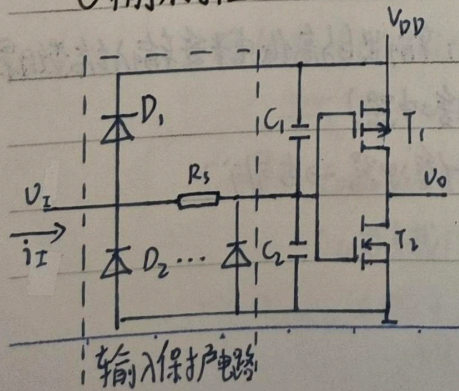
注: V_{DD} 越高, CMOS反相器的噪声容限越大

副作用: 提高 V_{DD} 会使功耗增加 (右上角的图)

4. 静态特性

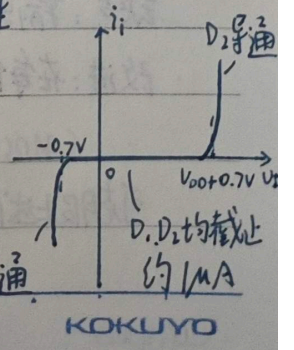
CMOS反相器的输入端和输出端的伏安特性, 即输入特性与输出特性

① 输入特性



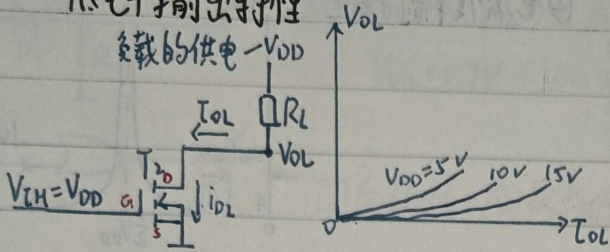
D_2 : 分布式二极管, 可通过较大电流
 C_1, C_2 : T_1, T_2 的栅极等效电容
 D_1 和 R_s (约 $2k\Omega$) 为添加的保护器件
 结论: 正常情况下, CMOS门电路的低电平输入电流与高电平输入电流均为 $1\mu A$, 且符号相反

输入特性

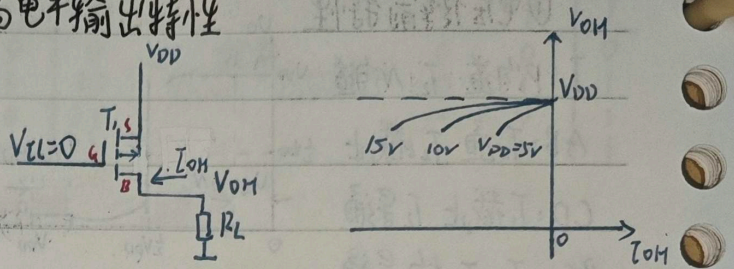


② 输出特性

- 低电平输出特性



- 高电平输出特性



特点: $|V_{GS}| = V_{DD}$, V_{DD} 越大, 等效电阻越小, 输出质量越好
 负载越大, R_L 越小, 所需电流 I_O 越大, 输出质量越差.

5. 动态特性 - 扇出

def 一个电路的输出端能够驱动同类型负载电路输入端的数目

① 若只考虑静态, CMOS 电路扇出数非常高

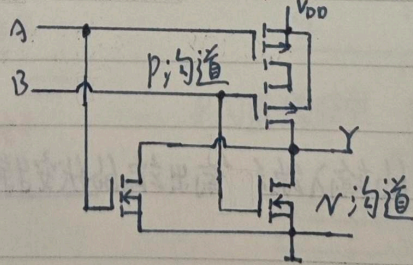
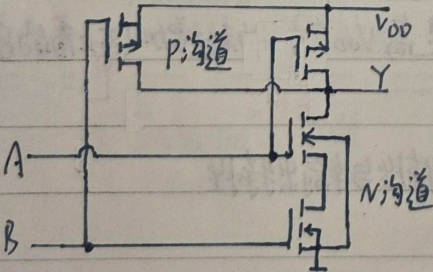
② 若考虑动态, CMOS 电路扇出数约为 50; 随开关工作频率的升高扇出数下降

四. 其他类型的 CMOS 门电路

1. 逻辑门

注: 箭头都为 $P \rightarrow N$

① CMOS 与非门 P 并 N 串 $Y = (AB)'$ ② CMOS 或非门 N 并 P 串 $Y = (A+B)'$



缺点: 输出电阻 R_o 受输入端状态的影响, 带负载能力差; 输出的高低电平受输入端数目影响

改进: 在每个输入, 输出端各增设一级 CMOS 反相器 (即缓冲器)

CMOS 与非门 + 缓冲器 \rightarrow 或非门 CMOS 或非门 + 缓冲器 \rightarrow 与非门

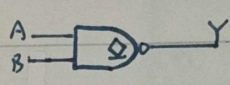
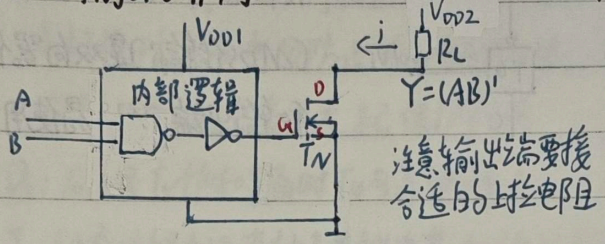
可克服上述所有缺点

2. 漏极开路输出电路 (OD门)

将CMOS反相器的上管去掉后形成OD门

eg. OD输出与非门

逻辑符号



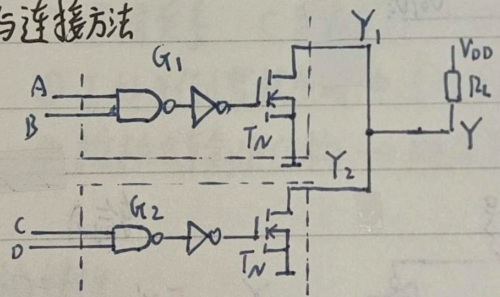
具有推挽式输出结构的门电路, 输出端不能并联使用
OD/OC门、三态门、传输门均可以
注: OD门无论输出高电平还是低电平, 输出电流实际方向都如图1所示

OD门的用途 ① 输出电平变换 输入高 V_{DD1} 低 0 电平 \rightarrow 输出高 V_{DD2} 低 0 电平

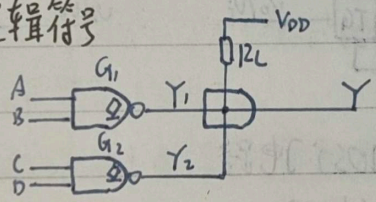
② 吸收大负载电流, 驱动负载能力强

③ 实现线与连接

线与连接方法



逻辑符号



$$Y = Y_1 \cdot Y_2 = (AB)'(CD)' = (AB+CD)'$$

与非

外接电阻 R_L 阻值的计算

设 n 为 OD 驱动门数, m 是负载门输入端总数

临界 ① 所有 OD 驱动门截止, 输出高电平

$$V_{DD} - (n I_{OH} + m I_{IH}) R_L \geq V_{OH} \Rightarrow R_{L(max)}$$

其中: I_{OH} 为 OD 驱动门截止时的漏电流

I_{IH} 为负载门输入端的高电平输入电流 (μA)

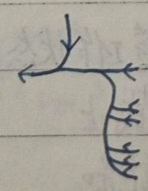
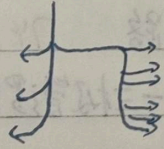
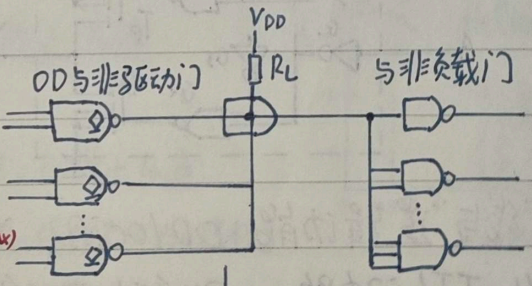
② 仅有一个 OD 驱动门导通, 输出低电平

$$\frac{V_{DD} - V_{OL}}{R_L} + m |I_{IL}| \leq I_{OL(max)} \Rightarrow R_{L(min)}$$

其中: $I_{OL(max)}$ 为 OD 门允许的最大负载电流

I_{IL} 为负载门输入端的低电平输入电流 (μA)

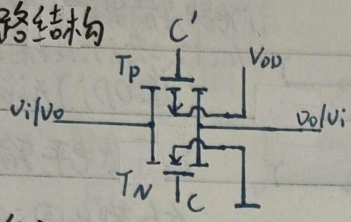
$$\Rightarrow R_{L(min)} \leq R_L \leq R_{L(max)}$$



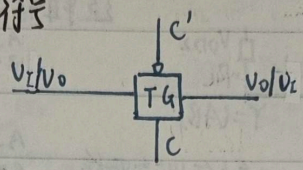
3. CMOS传输门 Transmission Gate → TG

注: 输入变量带非且输入端有一个圈, 说明其有效电平为低电平, 只有其为低电平时电路才正常工作

电路结构



逻辑符号

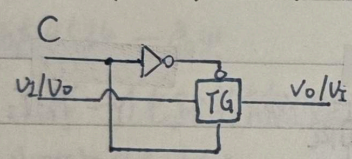


其中: C'和C是一对互补控制信号

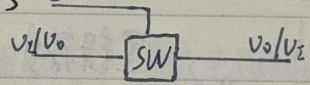
CMOS传输门是双向器件, 其输入端和输出端可以互易使用

输入: $C=0, C'=1$ $C=1, C'=0$
 结果: 高阻态, 截止 低阻态, 导通
 电阻: $> 10^9 \Omega$ $< 1k\Omega$

用途: 作模拟开关, 用于传输连续变化的模拟电压信号, 也是双向器件

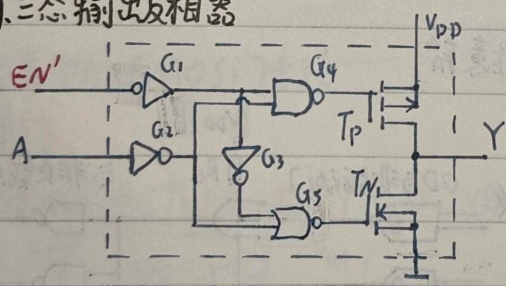


符号

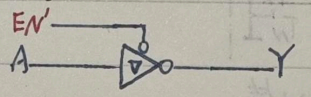


4. 三态输出 CMOS门电路

eg. 三态输出反相器



符号



输入 输出

$EN'=0$ $A=0$ $Y=1$
 $A=1$ $Y=0$
 $EN'=1$ $Y=Z$ (高阻态)

用途 ① 接成总线结构
 ② 实现双向传输

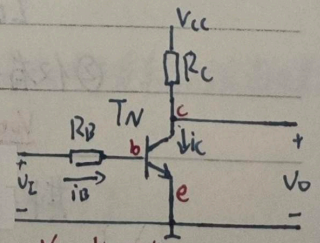
“线与”逻辑功能: OD/OC门 总线结构: 三态门 模拟信号双向传输: 传输门

§3.4 TTL门电路 74系列, 74S系列, 74LS系列

TTL: 三极管-三极管逻辑 (Transistor-Transistor Logic)

一. 三极管反相器

输入 三极管工作状态 输出 当三极管深度饱和时
 低 截止 高 $\approx V_{CC}$ 其压降 $V_{CE(sat)}$ 内阻 $R_{CE(sat)}$
 高 饱和 低 ≈ 0 \Rightarrow 深度饱和时所需基极电流 $I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})}$



电路参数条件保证: 饱和时 $i_B > I_{BS}$

缺点: 1. 输入高电平时 v_{ce} 全部加在 R_C 上, 电路功耗大
 2. 输入低电平时, 电路输出电阻很大 $R_0 = R_C$

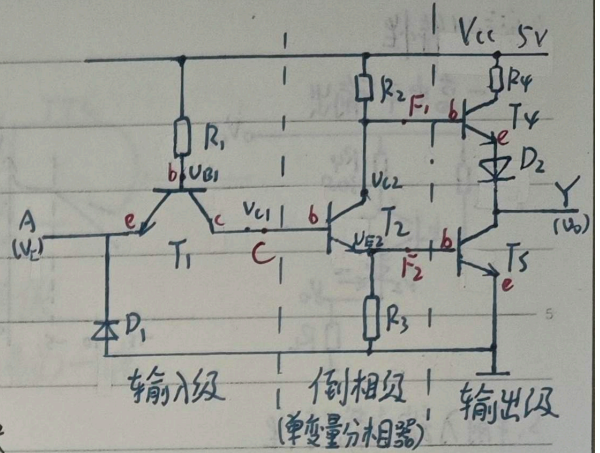
二、TTL反相器 $V_{TH}=1.4V$

1. 工作原理

D_1 : 钳位二极管 ① 抑制输入端可能出现的负极性干扰脉冲 ② 防止输入电压为负时, T_1 的发射极电流过大, 起保护作用

D_2 : 确保 T_5 饱和导通时 T_4 可靠地截止

T_1 : 动态过程中迅速抽走存储电荷, 加快状态的转换



A	V_i	T_1	V_{b1}	V_{c1}	T_2	V_{E2}	V_{C2}	T_4	T_5	V_o	Y
0	0.2V	饱和	0.9V	≈ 0.3V	截止	低	高	饱和	截止	3.6V	1 (此时忽略 T_1 的 I_{C1})
1	3.4V	倒置	2.1V	1.4V	饱和	0.7V	1.0V	截止	饱和	0.3V	0

特点: ① 逻辑关系 C 跟随 A , $F_1=C'$, $F_2=C$

② T_1 处于倒置状态时, 电流放大系数 $\alpha = \frac{i_c}{i_b} \ll 1$

③ 推挽式输出结构 \rightarrow 降低输出级的功耗, 提高带负载能力

2. 电压传输特性

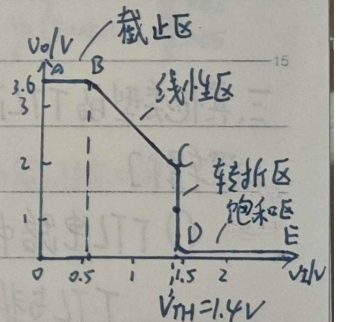
① AB段: $V_i < 0.7V$, $V_{b1} < 1.4V$ T_1 通, T_2, T_5 截止, T_4 通

$$\Rightarrow V_{OH} = V_{CC} - V_{R2} - V_{BE4} - V_{D2} \approx 3.4V$$

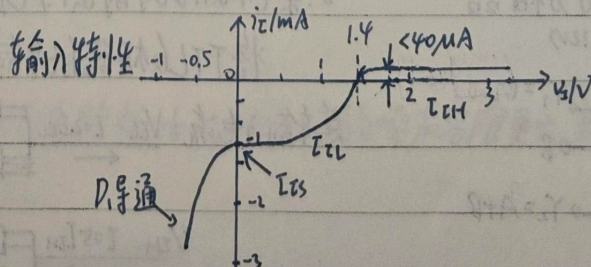
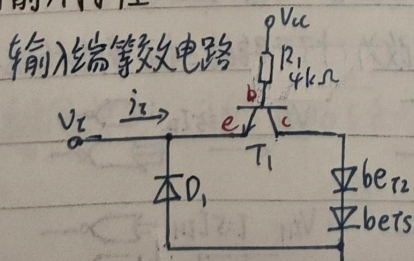
② BC段: $0.7V < V_i < 1.4V$ T_2 导通且工作在放大区, T_5 截止 T_4 通

V_i 线性 $\uparrow \rightarrow V_{c1}$ 线性 $\uparrow \rightarrow i_{c2}$ 线性 $\uparrow \rightarrow V_{R2}$ 线性 $\uparrow \rightarrow V_{OH}$ 线性

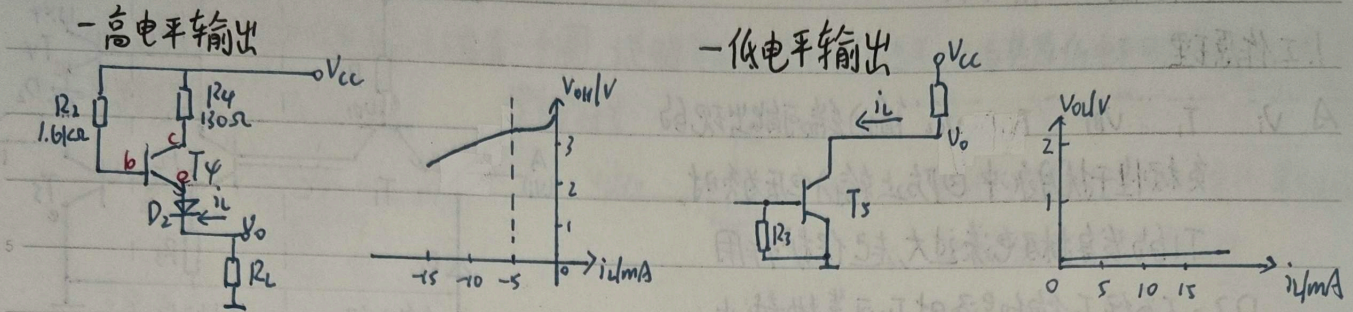
③ CD段: $V_i \approx 1.4V$, $V_{b1} \geq 2.1V$, T_2, T_5 同时导通, T_4 截止



3. 输入特性

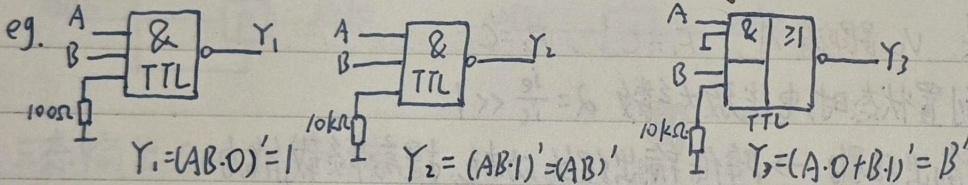
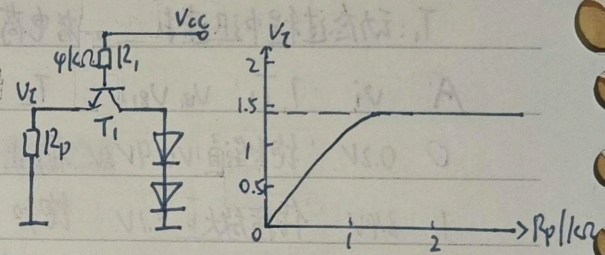


4. 输出特性



5. 输入端负载特性

实际使用中,有时将TTL反相器输入端接负载接地
(无外部输入) 当 $R_p < 0.7k\Omega$, 构成低电平输入方式
 $R_p > 1.5k\Omega$, 构成高电平输入方式



(CMOS管输入端经电阻接地:均算低电平) 由于CMOS管输入电流很小,在电阻上无压降, $V_{i1} = 0$

三、其他类型的TTL门电路

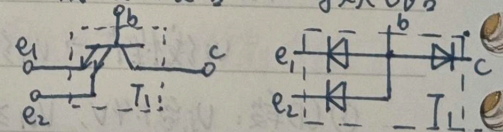
1. 逻辑门

① TTL与非门中与逻辑是利用 T_1 的多发射极结构实现

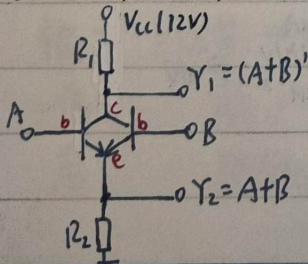
TTL与非门的低电平输入电流:与数入端数目无关

② TTL或非门中或逻辑是通过将 T_2, T_2' 两个三极管输出端并联来实现的

多发射极三极管 等效电路

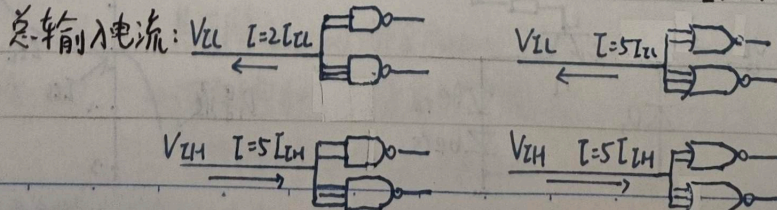


两变量之或的分相器



2. 集电极开路输出电路(OC门)

将TTL反相器的输出级改为c极开路的三极管结构而得



"5"输入端并联时
总输入电流

"或"输入端并联时
总输入电流

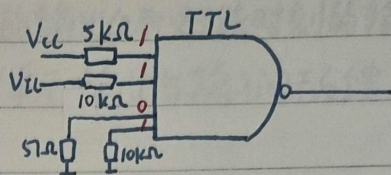
总结

1. TTL 输入端电平分析

① 接电源 (不管有无电阻) → 高

② 直接接低 → 低

③ 接负载后接地 (或低电平)
 小电阻 $< 700\Omega$ → 低
 大电阻 $> 1.8k\Omega$ (或悬空) → 高



2. CMOS 输入端电平分析

① 接电源 (不管有无电阻) → 高

★ ② 接地 (不管有无电阻) → 低

★ ③ 不允许悬空

例: 如图 TTL 与非门电路, 万用表内阻 $100k\Omega$, 求下列各种情况下 V_{i2} 测得电压为多少?

(1) V_{i1} 悬空 → 接高电平, T, 集电结正偏 $\Rightarrow V_{B1}=2.1V, V_{i2}=1.4V$

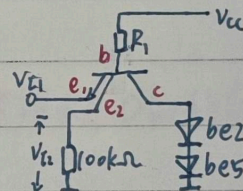
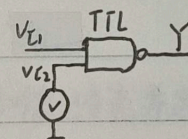
(2) V_{i1} 接低 (0.2V) \Rightarrow T, 发射结正偏, $V_{B1}=0.9V, V_{i2}=0.2V$

(3) V_{i1} 接高 (3.2V) \Rightarrow T, 集电结正偏 $\Rightarrow V_{B1}=2.1V, V_{i2}=1.4V$

(4) V_{i1} 经 5Ω 接地 $\Rightarrow V_{i1} \approx 0 \Rightarrow V_{i2} \approx 0$

(5) V_{i1} 经 $10k\Omega$ 接地 $\Rightarrow V_{i1}$ 相当于接高电平 \Rightarrow T, 集电结正偏 $\Rightarrow V_{i2}=1.4V$

输入端等效电路:



2. 改为 TTL 或非门, 则 V_{i2} 都为 $1.4V$

TTL 或非门, CMOS 与非门的输入端间

3. 改为 CMOS 或非门, 则 V_{i2} 都为 0

相互独立, 互不影响

3. 对 TTL 与非门输入端:

高电平: 每个输入端一个输入电流 ← 其他门电路的情况同

★ 低电平: 每个门电路一个输入电流

4. 相同供电电源的 CMOS 和 TTL 门电路相比: CMOS 门的噪声容限更大, 静态功耗更低

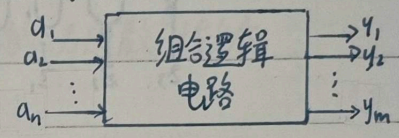
第四章 组合逻辑电路

§4.1 概述

组合逻辑电路: 任意时刻的输出仅取决于该时刻的输入, 与电路先前的状态无关
 数字电路 { 不含存储单元, 输出与输入间无反馈.
 时序逻辑电路: 第六章

组合逻辑电路逻辑功能的描述: 设输入变量 a_1, \dots, a_n , 输出 y_1, \dots, y_m

$$\begin{cases} y_1 = f_1(a_1, a_2, \dots, a_n) \\ y_2 = f_2(a_1, a_2, \dots, a_n) \\ \vdots \\ y_m = f_m(a_1, a_2, \dots, a_n) \end{cases} \Rightarrow Y = F(A)$$



组合逻辑电路的分析方法

- Step 1. 由逻辑图写出各输出的逻辑函数式
- Step 2. 利用公式法/卡诺图化简函数式
- Step 3. 写出最简函数式的真值表, 分析电路的逻辑功能

组合逻辑电路的基本设计方法

- Step 1. 分析实际问题的因果关系, 确定输入变量和输出变量, 并定义逻辑状态 0/1 的含义
- Step 2. 根据因果系列出真值表 \rightarrow 函数式 \rightarrow 最简式

§4.2 常用组合逻辑电路

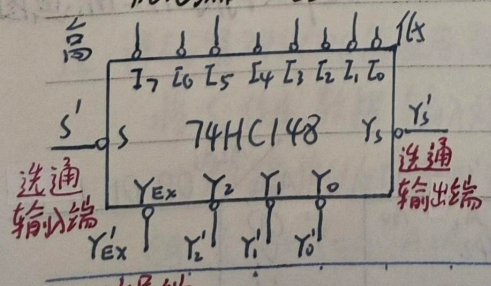
一、编码器 (Encoder)

编码 (Coding): 为区分一系列不同事物, 将其中的每个事物都用 n -进制代码表示

编码器: 把输入的每一个高低电平信号变为一个对应的 n -进制代码输出

普通编码器: 任一时刻只允许输入一个编码信号

优先编码器:

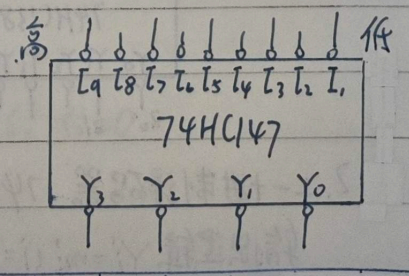


8线-3线优先编码器

状态表格:

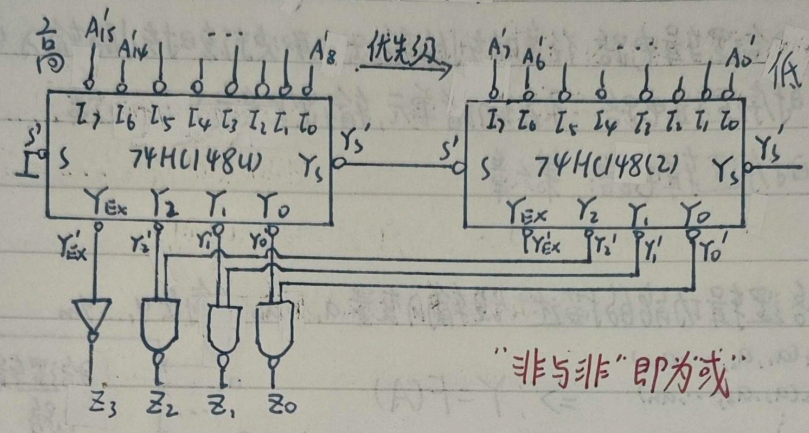
Y_2	Y_1	Y_0	状态
1	1	1	不工作
0	1	1	工作但无输入
1	0	1	工作且有输入
0	0	0	不可能出现

$S': 0 \rightarrow$ 正常工作
 $S': 1 \rightarrow Y_0 = Y_1 = Y_2 = Y_{EX} = Y_3 = 1$



$n=10$ 进制优先编码器

用两片74HC148接成16线-4线优先编码器



二、译码器(Decoder)

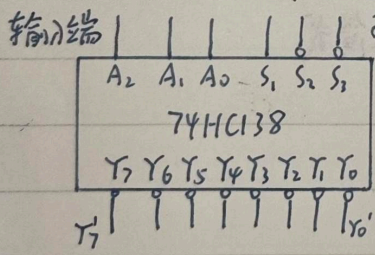
功能: 将输入的-进制代码译成相应的输出高、低电平信号

1. 二进制译码器

① 极管与门阵列译码器 优点: 结构简单

缺点: 电路输入电阻低输出电阻高; 输出的高、低电平发生偏移

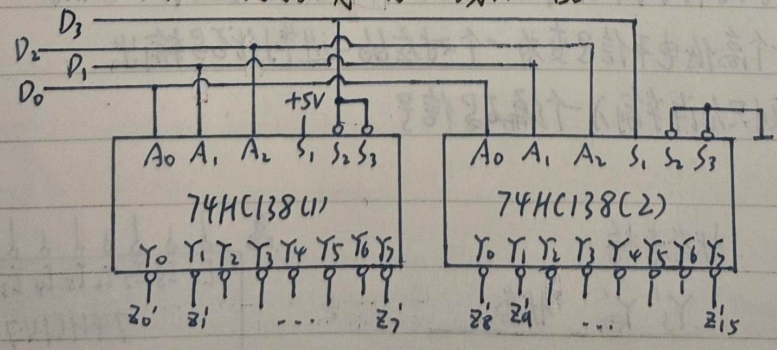
② CMOS门电路3线-8线译码器 74HC138 (最小项译码器)



控制端	功能表
S_1, S_2, S_3	Y_i
1 0 0	m_i
其他情况	1

eg. $Y_i' = m_i' = (A_2 A_1 A_0)'$

用两片74HC138接成4线-16线译码器



例: 用译码器实现各种逻辑函数

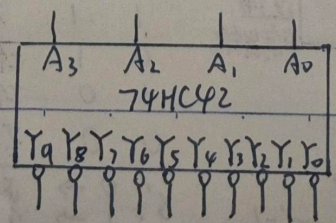
- Step 1. 将逻辑函数化为最项形式
- Step 2. 再化为与非-与非式
- Step 3. 利用 $Y_i' = m_i'$ 画图

2. 二-十进制译码器 74HC42

输出逻辑 $Y_i' = m_i' (i=0, 1, \dots, 9)$

注: 74HC42有拒绝伪码的功能

⇒ 画卡诺图时, $m_{10} \sim m_{15}$ 属于约束项

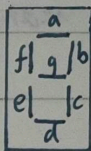


$A_2 A_3$	00	01	11	10
00				
01				
11	x	x	x	x
10			x	x

3. 显示译码器

包含译码器驱动电路和数码显示器两部分

- ① 七段字符显示器 — 半导体数码管
 - 共阴极型: 高电平(点亮)有效
 - 共阳极型: 低电平(点亮)有效



优点: 亮度高, 响应时间短

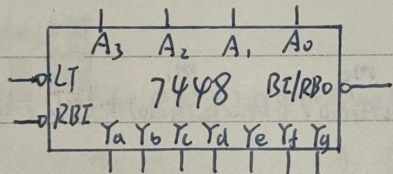
缺点: 所需工作电流大

— 液晶显示器: 利用液晶的动态散射效应

优点: 功耗极小

缺点: 亮度很差, 响应速度慢

- ② BCD-七段显示译码器 7448 → 七段显示译码器不是典型的最小项译码器



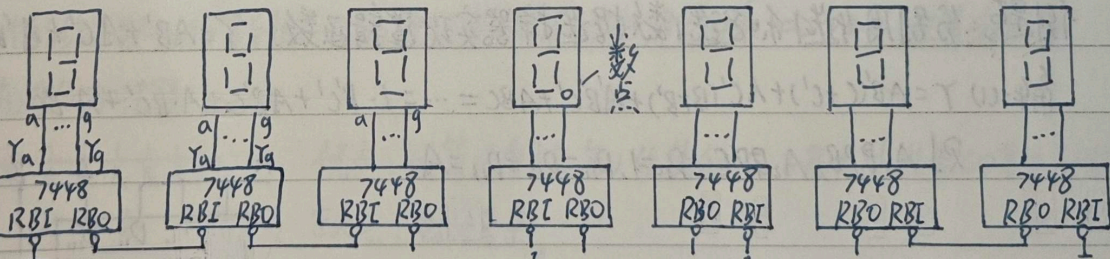
LT': 灯测试输入 LT'=0时七段全亮, 用于检查灯管

RBI': 灭零输入 RBI'=0时 当 $A_3A_2A_1A_0=0000$ 时, 七段全灭 即把本该显示的 '0' 灭掉

作输入端: BI': 灭灯输入控制端, BI'=0时, 七段全灭

作输出端: RBO': 灭零输出端, RBO'=0时 表示本该显示的零被灭了

将 RBI' 与 RBO' 配合使用 ⇒ 实现多位数码显示系统的灭零控制



整数部分: 最高位的所有零被熄灭, 最低位(个位)的零不会熄灭, 小数部分同理

注: 译码器 74HC138 的应用: 数据分配器

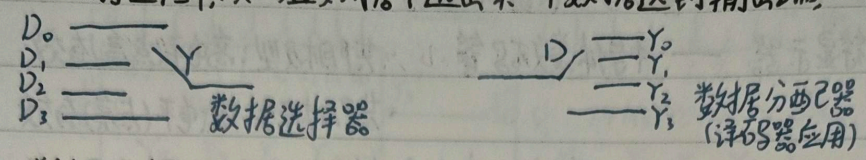
将 S_1 作为“数据”输入端, $A_2A_1A_0$ 作为“地址”输入端, $S_2=S_3=0$

⇒ 数据将以反码的形式在指定的端输出

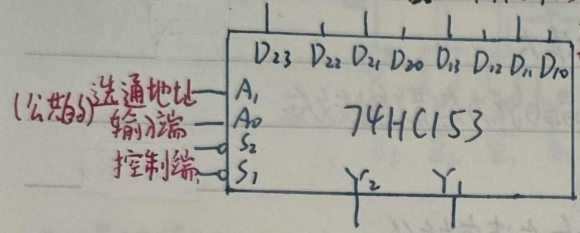
eg. 令 $S_2=S_3=0$, $A_2A_1A_0=101$ 则输入 S_1 输出 $Y_5'=S_1'$

三、数据选择器 n 个选择变量 $\leftrightarrow 2^n$ 选 1 数选

在数字信号传输过程中,从一组数据中选出某一个数据送到输出端,叫多路开关



双 4 选 1 数据选择器 74HC153



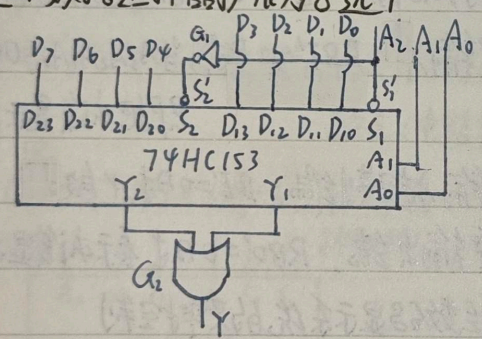
数据输入端 真值表:

S_1	A_1	A_0	Y_i
1	x	x	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

每个与项含有: 数据变量

逻辑式: $Y_i = S_1 \cdot [D_0(A_1 A_0') + D_1(A_1 A_0) + D_2(A_1 A_0') + D_3(A_1 A_0)]$ + 选择变量最小项

双 4 选 1 数据选择器扩展为 8 选 1



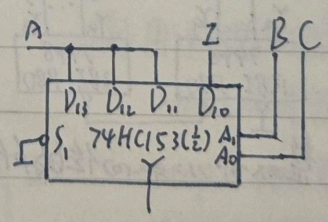
$$Y = D_0(A_3 A_2 A_1 A_0') + D_1(A_3 A_2 A_1 A_0) + \dots + D_6(A_3 A_2 A_1 A_0) + D_7(A_3 A_2 A_1 A_0)$$

要点: 把函数式补成标准的逻辑式, 将所有最小项都出现的变量组合选为地址输入
4 选 1 的地址输入需 2 个变量, 共 $2^2=4$ 项.

例题: 分别用 4 选 1 和 8 选 1 数据选择器实现逻辑函数: $Y = AB' + AC' + A'B'C' + ABC$

解: (1) $Y = AB'(C+C') + AC'(B+B') + A'B'C' + ABC = \dots = 1 \cdot BC' + AB'C + A \cdot BC' + A \cdot BC$

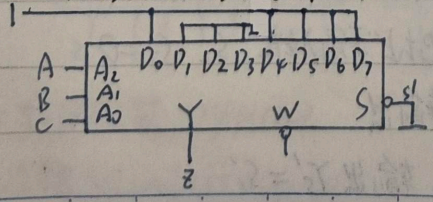
则 $A_1 B P B, A_0 B P C, D_0=1, D_1=D_2=D_3=A$



(2) $Y = A'B'C + A'B'C' + ABC' + \dots + ABC$

$= 1 \cdot A'B'C' + 0 \cdot A'B'C + 0 \cdot A'BC' + 0 \cdot A'BC + \dots + 1 \cdot ABC$

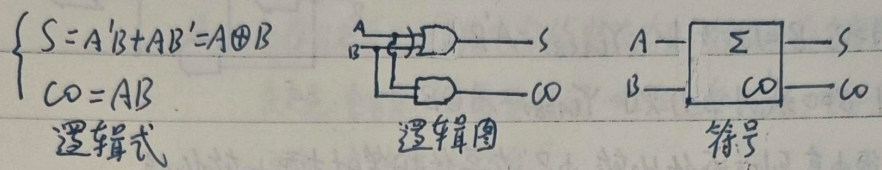
则 $A_2 B P A, A_1 B P B, A_0 B P C, D_1=D_2=D_3=0, D_0=D_4=D_5=D_6=D_7=1$



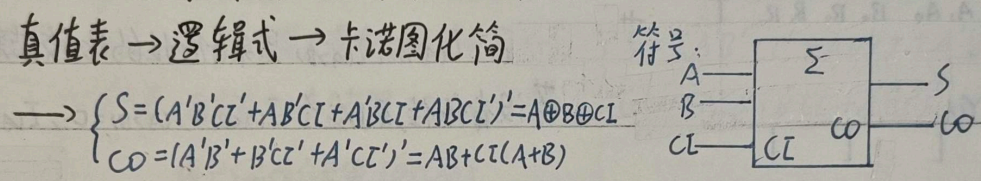
四. 加法器

1. 一位加法器

① 半加器: 不考虑来自低位的进位, 输入 A, B, 和 S, 向高位进位 CO



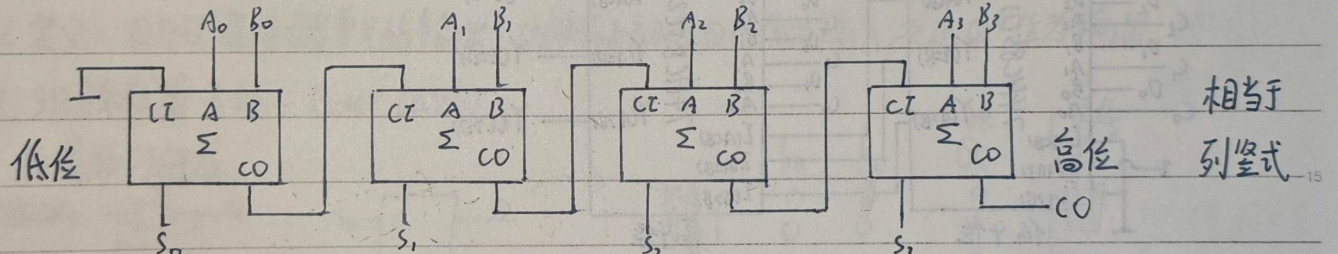
② 全加器: 考虑来自低位的进位输入 CI, 其余接口同上



2. 多位加法器

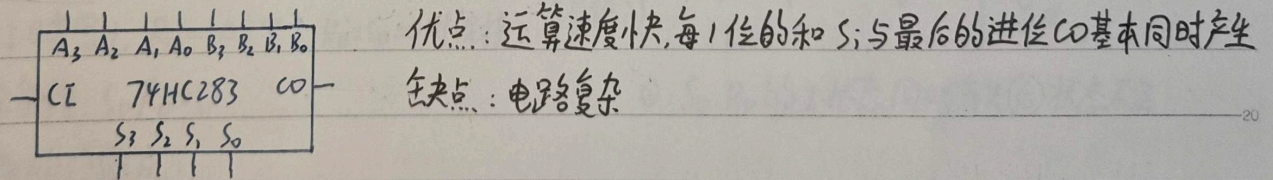
注: 多变量异或的物理意义:
奇数个 1 → 结果为 1, 偶数个 1 → 结果为 0

① 串行进位加法器: 由多个全加器 CO - CI 相接而成



每一个的结果都必须等到低位的进位产生以后才能建立进来 ⇒ 缺点: 运算速度慢

② 超前进位加法器



例: 用译码器 74LS138 实现全加器功能 最小项译码器 $Y_i = m_i$

由真值表, $S = (m_1 + m_2 + m_4 + m_7)$

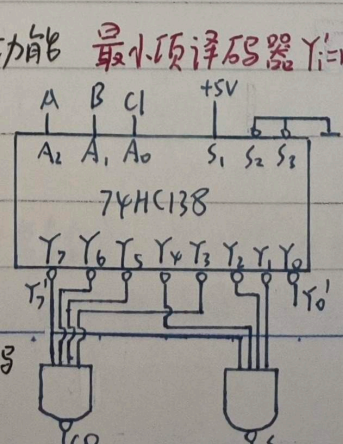
化为与非-或非: $S = (m_1' m_2' m_4' m_7')$

$CO = (m_3 + m_5 + m_6 + m_7)$

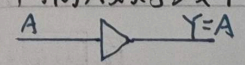
$= (m_3' m_5' m_6' m_7')$

例: 使用 74HC283 将 BCD 的 8421 码转为余 3 码

解: $Y_3 Y_2 Y_1 Y_0 = DCBA + 0011$



单输入数字缓冲器



作用: 1. 将各级电路彼此隔离
2. 提供电流放大, 驱动高电流负载

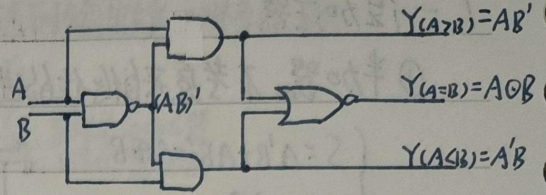
五 数值比较器

1. 1位数值比较器 两个1位=进制数A、B比较的结果:

(1) $A > B$ (即 $A=1, B=0$) 则 $Y_{(A>B)} = AB'$

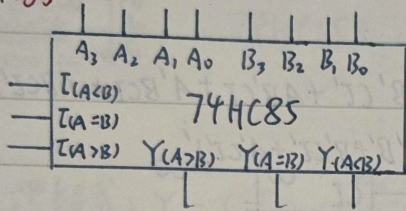
(2) $A < B$ (即 $A=0, B=1$) 则 $Y_{(A<B)} = A'B$

(3) $A = B$ (即 $A=B=0$ 或 $A=B=1$) 则 $Y_{(A=B)} = A \odot B$



2. 多位数值比较器 必须由高到低逐位比较,且只有在高位相等时才需比较低位

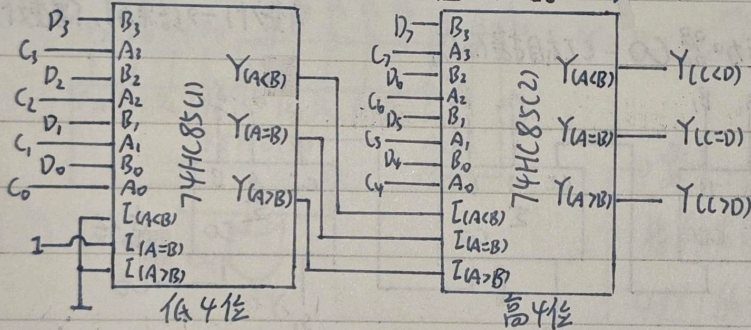
74HC85



其中: $L(A<B)$, $L(A=B)$, $L(A>B)$ 是来自低位的比较结果

若没有低位,则应令 $L(A<B) = L(A>B) = 0$, $L(A=B) = 1$

例: 用片74HC85组成一个8位数值比较器 设8位=进制数C、D进行比较



第五章 半导体存储电路

§5.1 概述

存储单元: 存储一位数据的电路

分类: ① 静态存储单元: 由门电路连接而成, 包括锁存器和触发器

② 动态存储单元: 利用电容的电荷存储效应来存储数据

缺点: 电容充放电需要时间 → 工作速度较低; 电容会漏电 → 须定期“刷新”

优点: 电路结构简单

寄存器 (Register): 存储一组数据的电路, 由一组触发器组成

存储器 (Memory): 存储大量数据的电路

分类: ① 随机存储器 (RAM): 静态 ~ (SRAM) 动态 ~ (DRAM)

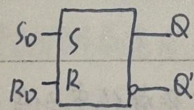
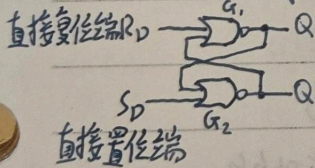
② 只读存储器 (ROM)

§5.2 SR锁存器

1. 定义: Q 与 Q' 是存储单元的输出, 功能表上初态 Q 也作为输入, 次态 Q^* 作为输出

2. SR锁存器 (Set-Reset Latch)

用或非门组成:



状态保持

数据写入

异常输入

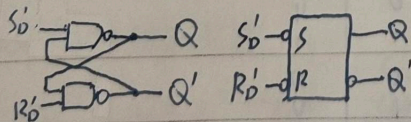
S_0	R_0	初态 Q	次态 Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0 ⁰
1	1	1	0 ⁰

$S_0=1$ 时写 1, $R_0=1$ 时写 0, $R_0=S_0=0$ 时保持

约束条件: $S_0 R_0 = 0$

①: S_0, R_0 的 1 状态同时消失 ② 状态不定

用与非门组成:



$S_0'=0$ 时写 1, $R_0'=0$ 时写 0, $S_0'=R_0'=1$ 时保持

约束条件: $S_0 R_0 = 0$

异常输入: $S_0'=R_0'=0$ 时 $Q'=Q=1$

当 S_0', R_0' 的 0 状态同时消失后 状态不定

5.3 触发器

相比锁存器,多了一个触发信号输入端,称时钟信号(CLOCK),记为CLK

作用: ①由于组合电路有时间特性,需要一段时间输出才能稳定,为了获得想要的输出
②用一个时钟信号同步控制系统中的多个触发器

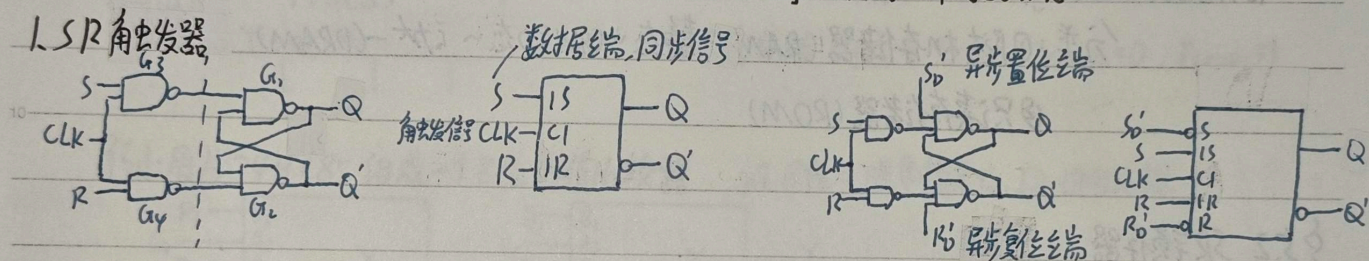
一、电平触发的触发器

动作特点: 设CLK=1为有效

- (1) 当在CLK=1时触发器才接受输入信号,这期间S,R状态的变化都会引起Q的变化
- (2) 在CLK=0以后,触发器保存的是CLK回到0以前瞬间的状态

抗干扰能力弱
缺点: 一次CLK=1期间输出状态可能多次翻转

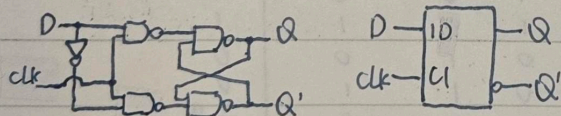
1. SR触发器



框内的CI表示CLK是编号为1的控制信号, IS, IR受IC的控制, D(direct)不受CLK控制

约束条件: $SR=0$ 当 $S=R=1$ 时, $Q'=Q=1$ CLK回到低电平后不定

2. D触发器(D-Latch)



优点: 无需考虑约束条件 $SR=0$

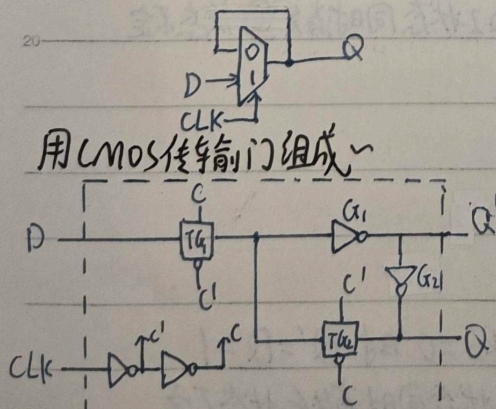
缺点: 缺少了 $S=R=0$ 时的保持功能

用二选一数据选择器组成电平触发D触发器:

电平触发D触发器特性表

	CLK	D	Q	Q*
保持	0	x	0	0
	0	x	1	1
写0	1	0	0	0
	1	0	1	0
写1	1	1	0	1
	1	1	1	1

用CMOS传输门组成

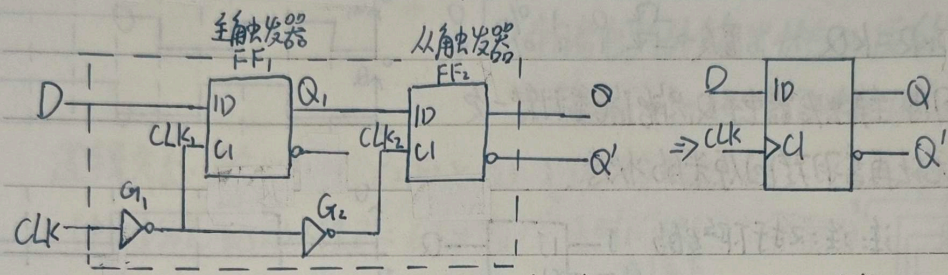


二、边沿触发的触发器 (edge-triggered)

优点: 提高了触发器的抗干扰能力

动作特点: 触发器的次态 Q^* 仅取决于时钟信号的上升沿或下降沿到达时输入的逻辑状态 (以及初态 Q)，而在在这以前或以后，输入信号的变化对触发器的输出状态没有影响

1. 边沿触发 D 触发器: 用两个电平触发 D 触发器组成

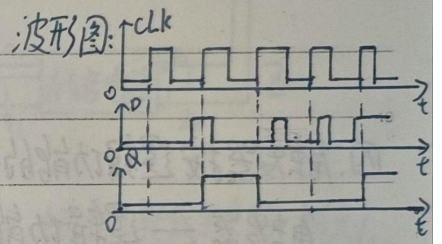


CLK	D	Q	Q^*
保持 X	X	X	Q
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

用 CLK 输入端处框内的 > 符号表示触发器为边沿触发方式，在特性表中用 ↑ 表示是上升沿触发

若去掉 G_1 ，变为下降沿触发，在 CLK 输入端加画小圆圈，并用 ↓ 表示

注: 主从结构 D 触发器是边沿触发的原因: D 触发器无保持功能



三、脉冲触发的触发器

动作特点: 设 CLK 高电平有效

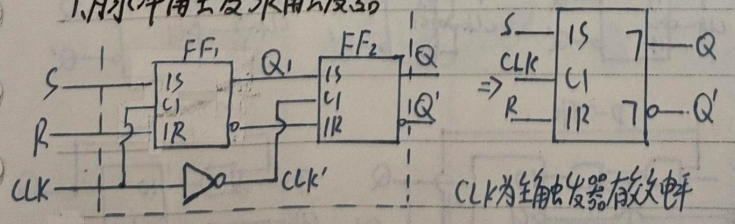
(1) 触发器动作为两步

① CLK=1 期间, FF₁ 接收输入端 (S, R 或 J, K) 的信号并被置为相应的状态, 此时 FF₁ 保持不动

② CLK 下降沿到来时, FF₂ 按照 FF₁ 的状态翻转 ⇒ Q, Q' 端状态改变发生于下降沿

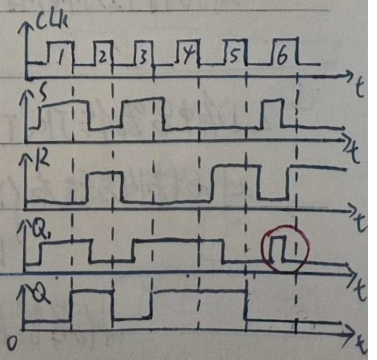
(2) CLK=1 的全部时间里, 输入信号都对 FF₁ 起控制作用 若有异步置 0/置 1, 主从触发器同时置 0/置 1
⇒ 必须考虑整个 CLK=1 期间里输入信号的变化过程, 才能确定触发器的次态 Q^*

1. 脉冲触发 SR 触发器



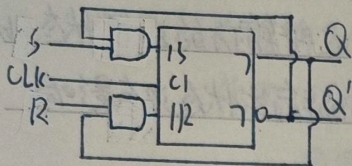
S	CLK	R	Q
1	1	0	1
0	1	0	0
0	1	1	0
1	1	1	0

CLK	S	R	Q	Q^*
X	X	X	X	Q
↓	0	0	0/1	Q
↓	1	0	0/1	1
↓	0	1	0/1	0
↓	1	1	0/1	0



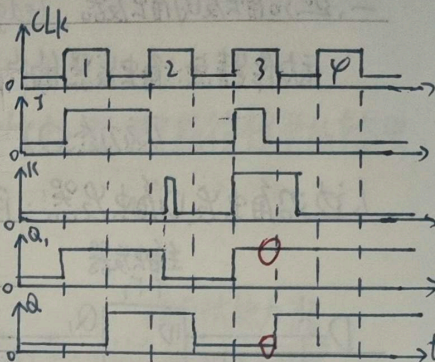
①: CLK 回到低电平后不定

2. 脉冲触发电JK触发器



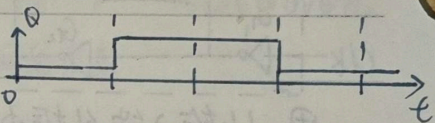
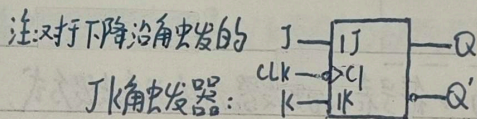
特性表

CLK	J	K	Q	Q*
x	x	x	x	Q
↓	0	0	0/1	Q
↓	1	0	0/1	1
↓	0	1	0/1	0
↓	1	1	0/1	Q'



对于FF: 置1: $S=JQ'$, 置0: $R=KQ$ 置反: $J=K=1$

特点: 在一个CLK=1期间内, 主触发器电平Q, 只有可能翻转一次, 一旦翻转了就无法再翻转回原来的状态.



四. 触发器按逻辑功能的分类

触发器 — 逻辑功能: 稳态下触发器的次态和初态与输入之间的逻辑关系 \Rightarrow RS, JK, D, T

触发方式: 触发器在动态翻转过程中的动作特点, 由电路结构决定 \Rightarrow 电平, 脉冲, 边沿

触发器的逻辑功能和触发方式可以自由组合

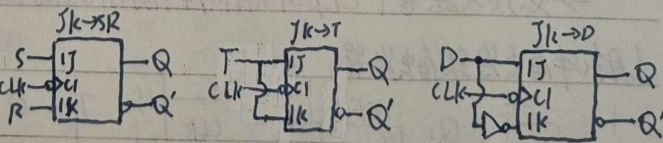
凡在时钟信号的作用下, 逻辑功能符合特性方程所规定的, 无论触发方式如何, 均可称为触发器

	SR 触发器	JK 触发器	T 触发器	D 触发器
特性方程	$Q^* = S + R'Q$ $SR = 0$ (约束条件)	$Q^* = JQ' + K'Q$	$Q^* = TQ' + TQ$	$Q^* = D$
状态转换图				

T 触发器: 若 $T=1$, 则 Q 的频率为 $\frac{f_{clk}}{2}$, 可作二分频器, 也可级联做计数器 \Rightarrow T' 触发器 $Q^* = Q'$

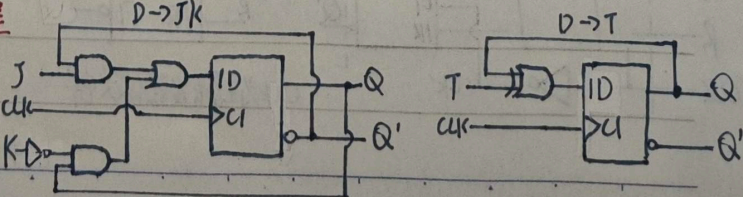
例: 1. JK 触发器作 SR, T, D 触发器

对比特性方程, 有 $\begin{cases} JK \rightarrow SR: J=S, K=R \\ JK \rightarrow T: J=K=T \\ JK \rightarrow D: J=D, K=D' \end{cases}$



2. D 触发器作 JK, T 触发器 \Rightarrow 驱动方程

对比特性方程, 有 $\begin{cases} D \rightarrow JK: D=JQ' + K'Q \\ D \rightarrow T: D=TQ' + TQ \end{cases}$



存储器的容量: (字数) \times (每字的位数)
地址线数 数据线数

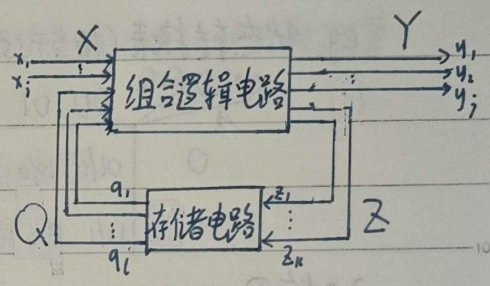
第六章 时序逻辑电路

§6.1 概述

时序逻辑电路 功能上: 任一时刻的输出信号不仅取决于当时的输入信号, 也取决于电路原来的状态

电路结构上: ① 时序逻辑电路包含组合电路与存储电路两个部分
 ② 存储电路的输出状态必须反馈到组合电路的输入端, 与输入信号一起, 共同决定组合逻辑电路的输出

逻辑关系: 输出方程 $Y = F(X, Q)$ } 纯组合电路方程,
 (中间方程) 驱动方程 $Z = G(X, Q)$ } 无时间概念, 写到 Q 就停下
 状态方程 $Q^* = H(Z, Q)$



将驱动方程代入触发器特性方程 \Rightarrow 状态方程

- 分类:
- ① 同步时序电路: 所有触发器的状态的变化都是在同一时钟信号 CLK 下同时发生的 优点: 易于分析 缺点: 电平翻转发生在同一时刻
 - ② 异步时序电路: 没有统一的 CLK, 触发器状态的变化不是同时的! 尖峰电流大
 - ① 米利 (Mealy) 型: 输出信号不仅取决于输入信号, 也取决于存储电路的状态, 即 $Y = F(X, Q)$
 - ② 穆尔 (Moore) 型: 输出信号仅取决于存储电路的状态, 即 $Y = F(Q)$

§6.2 同步时序电路的分析方法

- 分析步骤:
1. 根据逻辑图写出电路的输出方程 $Y = F(X, Q)$ 与每个触发器的驱动方程 $Z = G(X, Q)$
 2. 将驱动方程代入触发器的特性方程, 得出每个触发器的状态方程 $Q^* = H(Z, Q)$

描述时序电路状态转换全过程的方法

1. 状态转换表

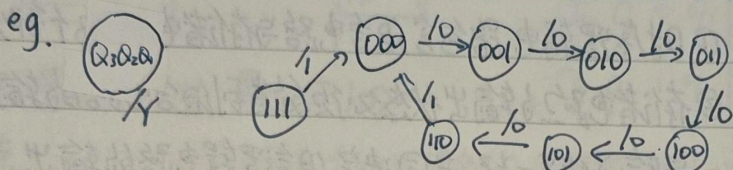
初态 Q_1, Q_2	次态 Q_1^*, Q_2^*	输出 Y	或 CLK 顺序	Q_1, Q_2, Q_3	Y
			0		
			1		
			2		
			3		
			0		
			1		

输出 Y 是“当前的输出, 而不是次态的输出”

2. 状态转换图

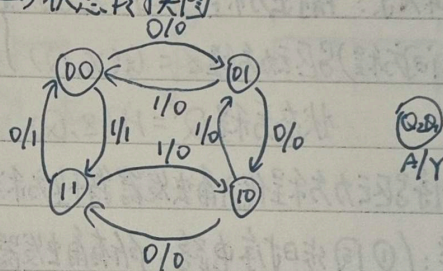
圆圈：电路的各个状态， n 个触发器 $\Rightarrow 2^n$ 个状态 箭头：状态转换的方向

箭头上：注明状态转换前的输入变量取值和输出值 输入变量/输出值



eg. 状态转换表 (相当于3张卡诺图叠在一起) \leftrightarrow 状态转换图

Q ₂ Q ₁ Q ₀ / A	00	01	11	10
0	01/0	10/0	00/1	11/0
1	11/1	00/0	10/0	01/0



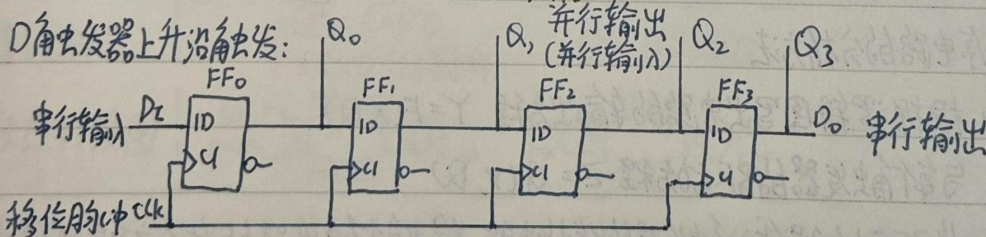
3. 时序图

就是波形图

§6.3 常用时序逻辑电路

一. 移位寄存器

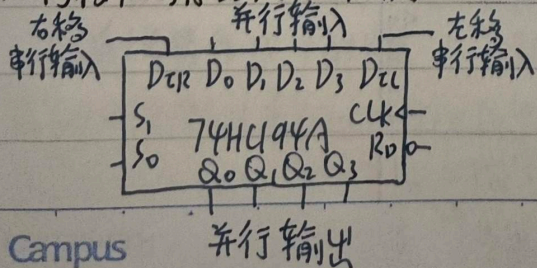
功能：除了能存储二进制外，还具有移位功能



利用移位寄存器可以实现二进制的串行-并行转换和并行-串行转换

可以换成利用JK触发器、RS触发器构成，可换成脉冲触发，不能换成电平触发

双向移位寄存器 74HC194A

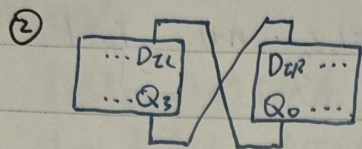


功能表

R_0	S_1	S_0	工作状态
0	x	x	异步清零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

用两片74HC194A接成8位双向移位寄存器

① 把两片的 S_1, S_0, CLK, R_0' 分别直接相连



二、计数器 工作特点：在时钟信号操作下自动地依次从一个状态转为下一个状态，无输入变量，有进位输出

作用：对时钟脉冲计数，还可用于分频、定时、产生节拍脉冲和脉冲序列，进行数字运算

分类：同步计数器/异步计数器

数字增减方式：加法计数器/减法计数器/可逆计数器

数字的编码方式：二进制计数器、十进制计数器

计数容量：二进制计数器、十进制计数器

1. 同步计数器

指能计到的最大数， n 位二进制计数器的容量为 $2^n - 1$

① 同步二进制加法计数器

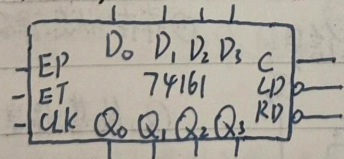
原理：每次信号到来，末位翻转，任一位以下各位皆为1时翻转，用T触发器构成

法一：控制输入端T的状态 $T_i = \prod_{j=0}^{i-1} Q_j$ ($i=1, 2, \dots, n-1$), $T_0=1$ clk 全并联

法二：控制时钟信号 $clk_i = CLK \prod_{j=0}^{i-1} Q_j$ ($i=1, 2, \dots, n-1$), $clk_0 = CLK$ T全接1

性质：计16个数为一个循环，并在输出端 Q_n 产生一个进位信号，又称十六进制计数器

4位同步二进制计数器 74161



LD' : 同步预置数控制端 $D_0 \sim D_3$: 数据输入端

C : 进位输出端

R_0' : 异步置零端

$EP=0$: 保持

$ET=0$: 保持, 且置 $C=0$

② 同步二进制减法计数器

原理：每次信号到来，末位翻转，任一位以下各位皆为0时翻转

法一：控制输入端T的状态 $T_i = \prod_{j=0}^{i-1} \bar{Q}_j$ ($i=1, 2, \dots, n-1$), $T_0=1$

法二：控制时钟信号 $clk_i = CLK \prod_{j=0}^{i-1} \bar{Q}_j$ ($i=1, 2, \dots, n-1$), $clk_0 = CLK$

$clk \rightarrow f_0$ 则 $Q_0 \rightarrow \frac{1}{2}f_0$, $Q_1 \rightarrow \frac{1}{4}f_0$, $Q_2 \rightarrow \frac{1}{8}f_0$, $Q_3 \rightarrow \frac{1}{16}f_0$

③ 同步二进制加/减计数器

法一：合并加法和减法计数器，多一条选择控制线 U/D

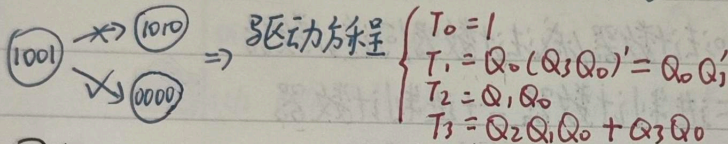
$$T_i = \underbrace{(U/D) \prod_{j=0}^{i-1} Q_j}_{\text{加计数}} + \underbrace{(U/D)' \prod_{j=0}^{i-1} Q_j'}_{\text{减计数}} \quad (i=1, 2, \dots, n-1), \quad T_0=1$$

法二：双时钟结构

$$clk_i = CLK_U \prod_{j=0}^{i-1} Q_j + CLK_D \prod_{j=0}^{i-1} Q_j' \quad (i=1, 2, \dots, n-1), \quad clk_0 = CLK_U + CLK_D$$

注：加到 CLK_U 和 CLK_D 上的计数脉冲在时间上应该错开，否则会出现竞争-冒险

④ 同步十进制加法计数器 在原有四位二进制计数器基础上修改



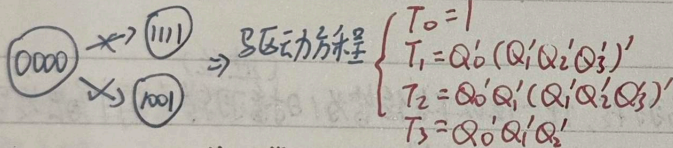
驱动方程

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 (Q_3 Q_0)' = Q_0 Q_1' \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 + Q_3 Q_0 \end{cases}$$

同步十进制加法计数器 74160 功能表与 74161 相同

同步十进制 74162 } 同步置零
同步十进制 74163 }

⑤ 同步十进制减法计数器



驱动方程

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0' (Q_1' Q_2' Q_3') \\ T_2 = Q_0' Q_1' (Q_1' Q_2' Q_3') \\ T_3 = Q_0' Q_1' Q_2' \end{cases}$$

⑥ 同步二进制加/减计数器 同上

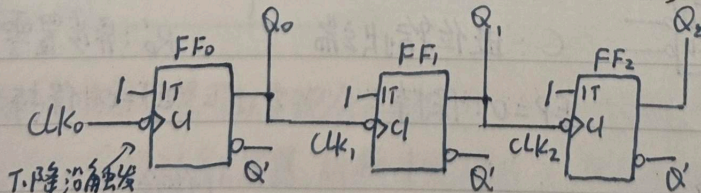
2. 异步计数器

异步计数器 优点：结构简单

① 异步二进制加法计数器

若某位是 1，则信号来时：变 0 且向高位发出进位信号

缺点：① 触发器串行进位，工作频率较低
② 电路状态译码时存在竞争-冒险

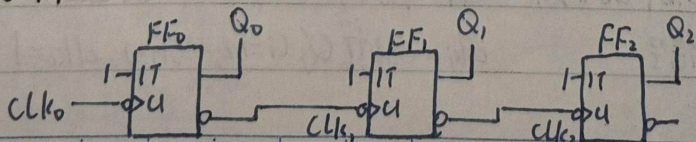


Q_0 的基准是 clk_0

Q_1 的基准是 clk_1, \dots

② 异步二进制减法计数器

若某位是 0，则 ~



3. 任意进制计数器的构成方法

假定已有 N 进制计数器, 需要得到 M 进制计数器.

① $M < N$

跳越 $N - M$ 个状态

法一: 置零法 适用于有置零输入端的计数器

异步置零输入端: S_0 $\xrightarrow{M \text{ 个计数脉冲}}$ S_m 译码产生置零信号到异步置零输入端
立刻 \leftarrow 仅在极短瞬间出现, 在稳定状态循环中不含 S_m

同步置零输入端: S_0 $\xrightarrow{M-1 \text{ 个计数脉冲}}$ S_{m-1} 译出同步置零信号
下一时刻 \leftarrow

法二: 置数法 适用于有预置数端 eg. 十三进制

异步预置数: S_{11} 译出 $LD' = 0$

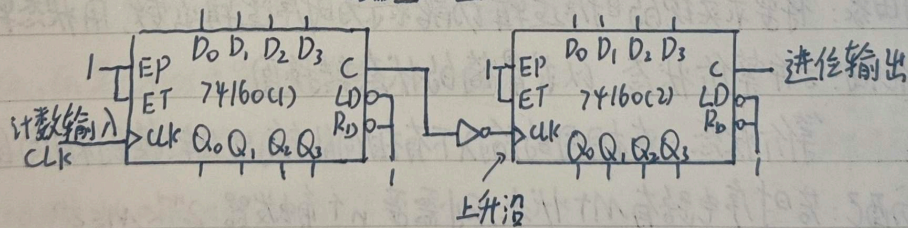
常见: 同步预置数: S_1 译出 $LD' = 0$ 1100 译出 $LD' = 0$

② $M > N$

若 M 可分解为 $M = N_1 \times N_2$, 则可将 N_1 进制和 N_2 进制的计数器连接起来

i) 串行进位方式: 低位片的进位输出信号 C 作为高位片的时钟信号

eg. 2片同步十进制计数器 \rightarrow 百进制计数器
C端 \uparrow 1001



ii) 并行进位方式: 两片的时钟信号接一块, 低位片的进位输出作为高位片的使能信号

若 M 不可分解为 $M = N_1 \times N_2$, 则: 先将两片计数器 $N_1 \times N_2 > M$ 组合

再用整体置零或整体置数构成 M 进制计数器

4. 移位寄存器型计数器

① 环形计数器: 将移位寄存器首尾相接而成 n 位移位寄存器 $\Rightarrow n$ 个状态

② 扭环形计数器:

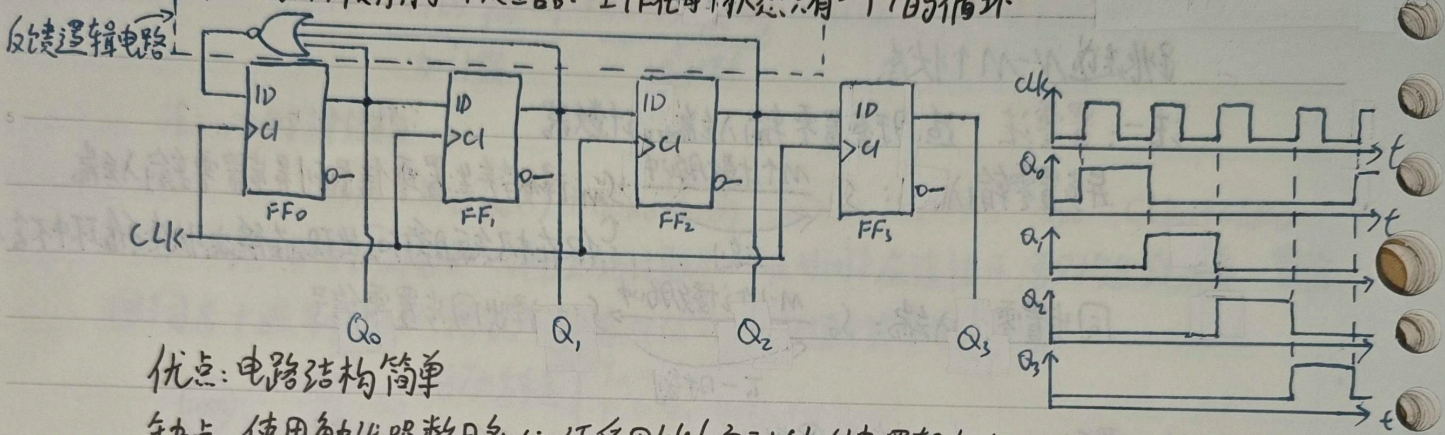
优点: ① 电路结构极为简单. ② 在将电路状态译码时不会产生竞争-冒险

顺序脉冲发生器 = 计数器 + 译码器
 中规模: 序列信号发生器 = 计数器 + 数据选择器

三、顺序脉冲发生器

用于给出一组在时间上有一定先后顺序的脉冲信号

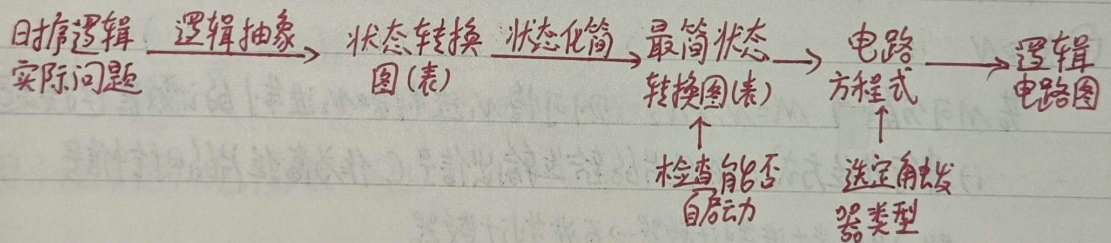
用环形计数器作顺序脉冲发生器: 工作在每个状态只有一个1的循环



优点: 电路结构简单

缺点: 使用触发器数目多, 必须采用能自启动的反馈逻辑电路

§6.4 时序逻辑电路的设计方法



1. 逻辑抽象: 将要求实现的时序逻辑功能表示为时序逻辑函数, 用状态转换图(表)表示

2. 状态化简: 合并等价状态, 以求最简的状态转换图

等价状态: 在相同的输入下有相同的输出, 且转换到相同的次态

3. 状态分配: 若时序电路有M个状态, 则需要n个触发器 $2^{n-1} < M \leq 2^n$

★4. 写出电路方程式: 将状态转换表分解为多个次态卡诺图 → 化简 → 得到状态方程与输出方程
 选定触发器类型, 由状态方程和触发器特性方程反解驱动方程

5. 画出逻辑电路图

注: 输出方程 $Y = F(X, Q)$ 驱动方程: $Z = G(X, Q)$ 状态方程 $Q^* = H(Z, Q)$

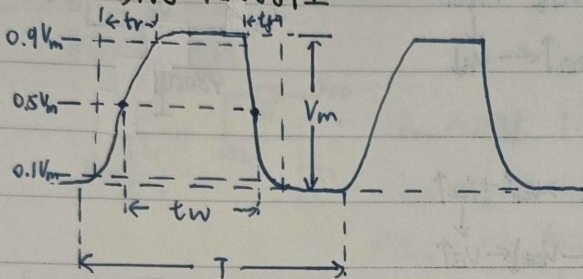
第七章 脉冲波形的整形与发生

§7.1 概述

矩形脉冲波形 — 整形电路: 施密特触发器、单稳态电路

发生电路: 多谐振荡电路 (对称式、非对称式、环形、由施密特触发电路构成)

矩形脉冲的特性



脉冲周期 T 脉冲幅度 V_m

脉冲宽度 t_w : 从 $0.5V_m$ 到 $0.5V_m$

上升时间 t_r : $0.1V_m \rightarrow 0.9V_m$ 下降时间 t_f : $0.9V_m \rightarrow 0.1V_m$

占空比 $q = \frac{t_w}{T}$

§7.2 施密特触发电路 (Schmitt Trigger)

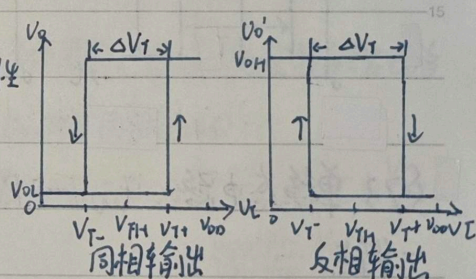
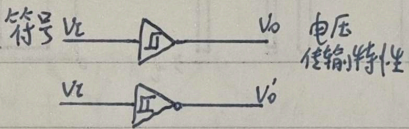
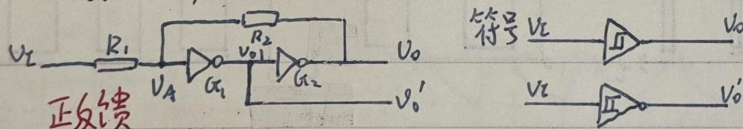
一、特点

1. 电路状态转换时, 对应着两个不同的输入电平 V_{T-} 、 V_{T+}

2. 电路状态转换时, 通过电路内部的正反馈使输出电压波形的边沿很陡

注: 施密特触发电路的输出随输入的改变而改变, 具有存储功能

二、用门电路组成



假定 G_1 、 G_2 是 CMOS 电路, 阈值电压 $V_{TH} = \frac{1}{2}V_{DD}$

$R_1 < R_2$ (否则电路自锁, 不能工作)

① $V_Z = 0$ 时 $V_0 = V_{OL} = 0$, $V_A = 0$

② $V_Z \uparrow$ 达到 $V_A = V_{TH}$ 时, 有正反馈过程 $V_A \uparrow \rightarrow V_{01} \downarrow \rightarrow V_0 \uparrow \Rightarrow V_0 = V_{OH} = V_{DD}$

$$V_A = V_{TH} = \frac{R_2}{R_1 + R_2} V_{T+} \Rightarrow V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH}$$

③ V_Z 从 V_{DD} 达到 $V_A = V_{TH}$ 时, 有正反馈过程 $V_A \downarrow \rightarrow V_{01} \uparrow \rightarrow V_0 \downarrow \Rightarrow V_0 = V_{OL} = 0$

$$\text{叠加: } V_A = V_{TH} = \frac{R_2}{R_1 + R_2} V_{T-} + \frac{R_1}{R_1 + R_2} V_{DD} \Rightarrow V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH}$$

回差电压 $\Delta V_T = V_{T+} - V_{T-} = \frac{2R_1}{R_2} V_{TH}$

\Rightarrow 调节 $\frac{R_1}{R_2}$ 可以调节 V_{T+} 、 V_{T-} 、 ΔV_T

$$f(t) = f(\infty) + [f(0^+) - f(\infty)]e^{-\frac{t}{\tau}} \Rightarrow t = \tau \ln \frac{f(\infty) - f(0^+)}{f(\infty) - f(t)}$$

三. 用晶体管组成

公共发射极电阻耦合的两极正反馈放大器, 要求 $R_1 > R_2$

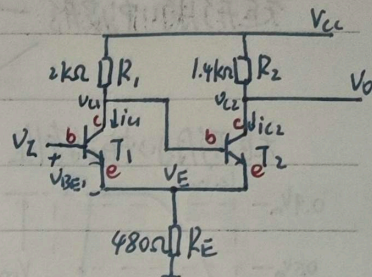
① $V_{i1} = 0$ 时, $V_{BE1} < 0.7V$, T_1 截止 T_2 饱和导通

② $V_{i1} \uparrow$ 使得 $V_{BE1} > 0.7V$ 时有正反馈 $V_{i1} \uparrow \rightarrow i_{c1} \uparrow \rightarrow V_{u1} \downarrow \rightarrow i_{c2} \downarrow$
 $\Rightarrow T_1$ 饱和导通, T_2 截止

$$V_{E2} = (V_{CC} - V_{CE2}) \frac{R_E}{R_2 + R_E}, V_{T+} = V_{E2} + 0.7V$$

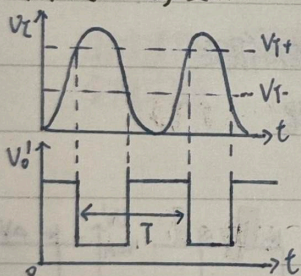
③ V_{i1} 从 $V_{u1} \downarrow$ 使得 $V_{BE1} < 0.7V$ 时有正反馈 $V_{i1} \downarrow \rightarrow i_{c1} \downarrow \rightarrow V_{u1} \uparrow \rightarrow i_{c2} \uparrow$
 $\Rightarrow T_1$ 截止, T_2 饱和导通

$$V_{E1} = (V_{CC} - V_{CE1}) \frac{R_E}{R_1 + R_E}, V_{T-} = V_{E1} + 0.7V$$

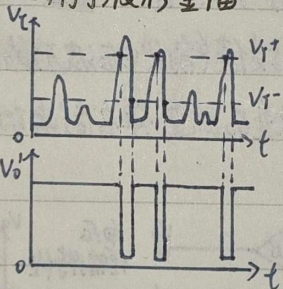


四. 施密特触发器的应用

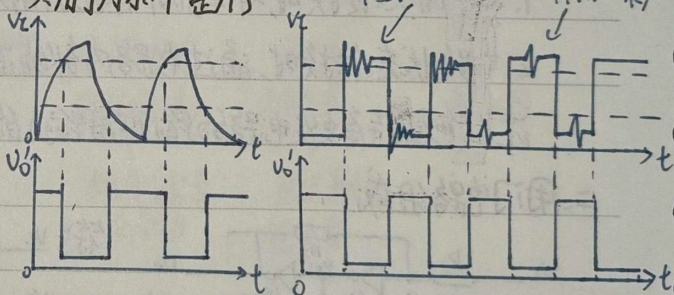
1. 用于波形变换



2. 用于波形鉴幅



3. 用于脉冲整形



§7.3 单稳态电路 $t_w \rightarrow RC \ln 2$, 都是正脉冲触发, 触发脉冲: 积分宽微分窄

一. 特点

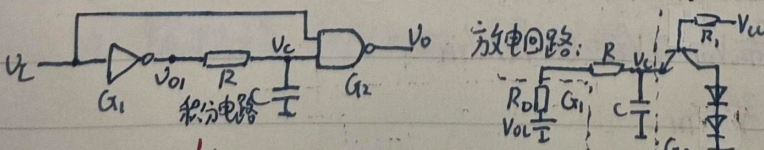
1. 有稳态和暂稳态两个不同的工作状态

2. 在外界触发脉冲的作用下, 能从稳态变为暂稳态, 在暂稳态维持一段时间 t_w 后, 再自动返回稳态

取决于电路的参数, 与触发脉冲无关

二. 积分型单稳态电路

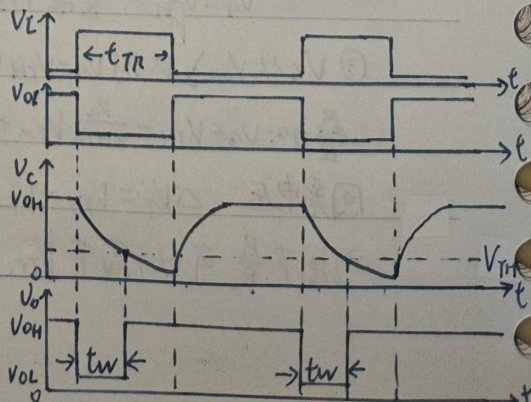
G_1, G_2 为 TTL 门, 为保证 V_{o1} 为低电平时 V_c 也为低电平, R 不能太大



原理: $i_c = C \frac{dV_c}{dt}$, C 两极间电压不能突变 (V_{i2} 输入电流非常微弱)

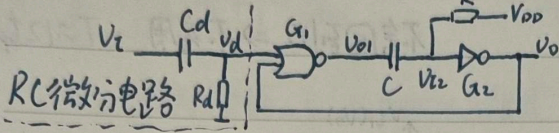
$$V_{TH} = V_{OL} + (V_{OH} - V_{OL})e^{-\frac{t_w}{\tau}} \Rightarrow t_w = (R + R_0)C \ln \frac{V_{OH} - V_{OL}}{V_{TH} - V_{OL}}$$

输出脉冲的幅度 $V_m = V_{OH} - V_{OL}$



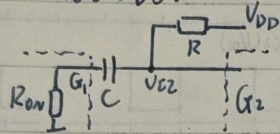
三、微分型单稳态电路 $t_w = \ln 2 \cdot RC$

G_1, G_2 为 CMOS 门电路, 可认为 $V_{OH} = V_{DD}, V_{OL} \approx 0, V_{TH} \approx \frac{1}{2}V_{DD}$



Cd, Rd 部分用于取窄脉冲

电容 C 充电电路:

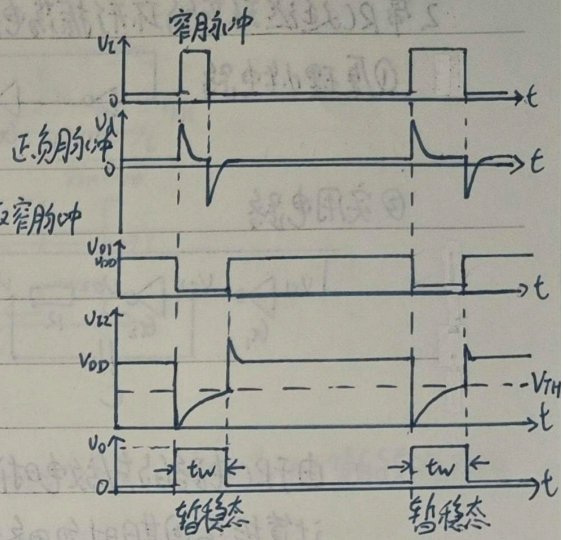


$R_{0V} \ll R$ 时 $T = RC$

$V_{TH} = V_{DD} + [0 - V_{DD}]e^{-\frac{t}{T}}$

$\Rightarrow t_w = T \ln \frac{V_{DD} - 0}{V_{DD} - V_{TH}} = \ln 2 \cdot RC$

输出脉冲幅度 $V_m = V_{OH} - V_{OL} \approx V_{DD}$

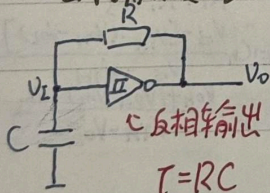


- ★ 对比: 1. 微分型单稳态电路可以用窄脉冲触发; 积分型单稳态电路触发脉冲的宽度必须大于输出脉冲的宽度才能正常工作
- 2. 积分型抗干扰能力强, 但因为无正反馈, 输出波边沿较差

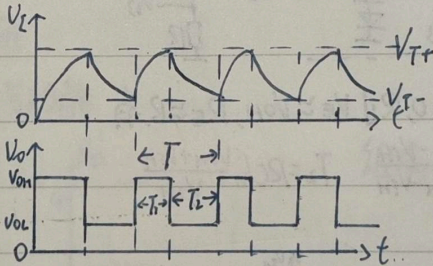
§7.4 多谐振荡电路

是一种自激振荡电路, 在接通电源后, 不需外加触发信号, 即能自动产生矩形脉冲

一、施密特触发器 + 积分环节



充放电回路一致

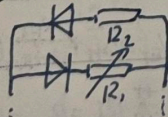


设使用的是 CMOS 施密特触发器

$V_{OH} = V_{DD}, V_{OL} \approx 0$

$T = T_1 + T_2 = RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + RC \ln \frac{V_{T+}}{V_{T-}}$
 $= RC \ln \left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \cdot \frac{V_{T+}}{V_{T-}} \right)$

占空比可调:

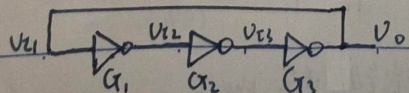


通过改变 R_1 和 R_2 的比值可改变占空比

二、环形振荡电路

利用闭合回路中的延迟负反馈作用可产生自激振荡

1. 简单环形振荡电路: 奇数个 (2n+1) 反相器首尾相连 $T = 2nt_{pd}$ n 为反相器数目

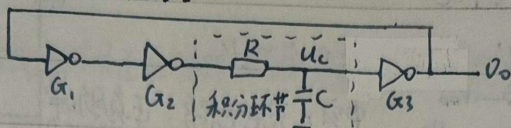


缺点: t_{pd} 太短, 频率极高且不易调节

$$t = T \ln \frac{f(\infty) - f(0^+)}{f(\infty) - f(t)}$$

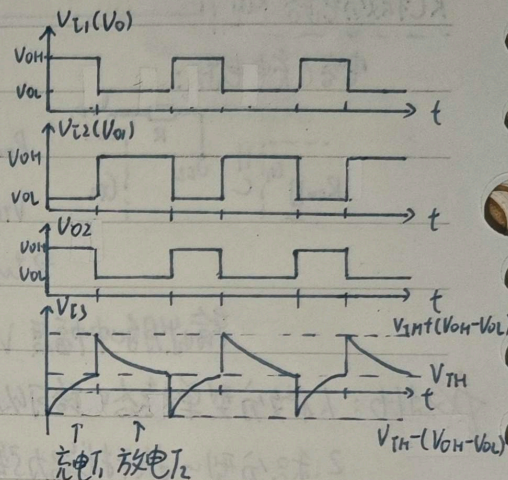
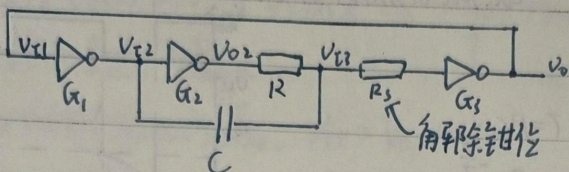
2. 带RC延迟环节的环形振荡电路

① 原理性电路



第一次充电之后, u_c 仅在 V_{TH} 附近波动, 不会回到 0 \Rightarrow 不实用 $T \approx 12 t_{pd}$

② 实用电路

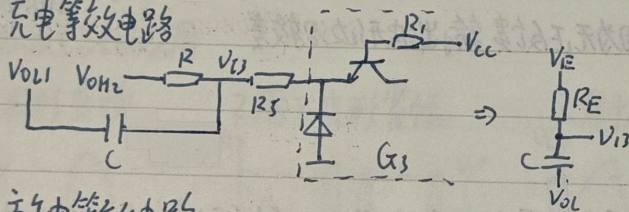


由于RC电路的充放电时间远大于门电路的 t_{pd} ,

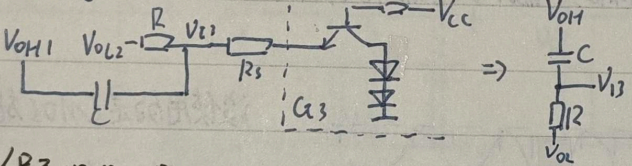
计算振荡周期时忽略 t_{pd} .

忽略反相器输出电阻:

充电等效电路



放电等效电路



假设 $R_1 + R_2 \gg R, V_{OL} \approx 0, R_1 \parallel R_2 \approx R_E \approx R$, 有

$$T_1 = RC \ln \frac{2V_{OH} - V_{TH}}{V_{OH} - V_{TH}} \quad T_2 = RC \ln \frac{V_{OH} + V_{TH}}{V_{TH}}$$

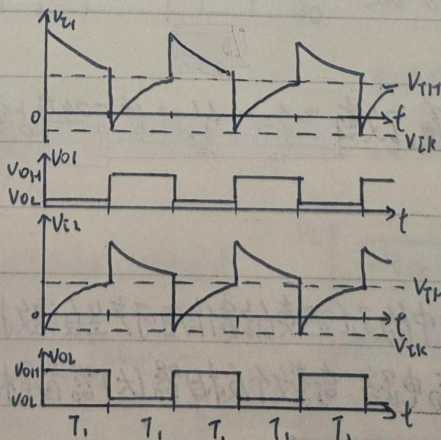
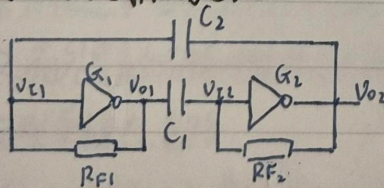
其中: $V_E = V_{OH} + (V_{OL} - V_{BE}) = V_{OH} - V_{BE}$

$$R_E = \frac{R(R_1 + R_2)}{R + R_1 + R_2}$$

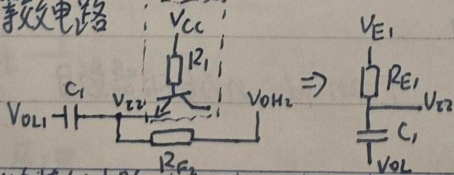
$$\Rightarrow T_1 = RC \ln \frac{V_E - [V_{TH} - (V_{OH} - V_{OL})]}{V_E - V_{TH}}$$

$$T_2 = RC \ln \frac{V_{TH} + (V_{OH} - V_{OL}) - V_{OL}}{V_{TH} - V_{OL}}$$

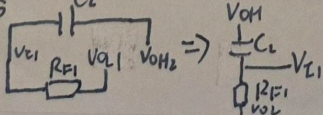
三、双稳式多谐振荡电路



C_1 充电等效电路



C_2 放电等效电路



注: V_{TL} 是输入端钳位电压, $V_{TL} < 0$

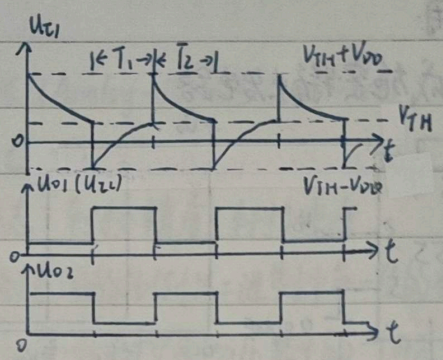
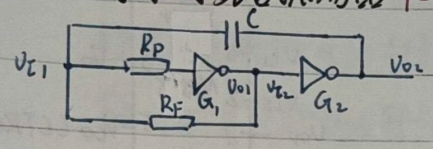
$$R_E = R_1 \parallel R_2$$

$$V_E = \frac{R_1}{R_1 + R_2} V_{OH} + \frac{R_2}{R_1 + R_2} (V_{CC} - V_{BE})$$

若 $R_{F1} = R_{F2} = R_F, C_1 = C_2 = C$

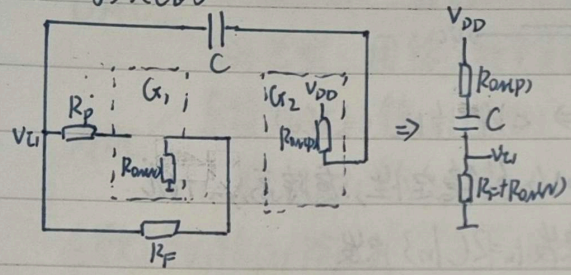
$$T = 2T_1 = 2R_E C \ln \frac{V_E - V_{TL}}{V_E - V_{TH}}$$

四. 非对称式多谐振荡器 $T = 2 \ln 3 R_F C$



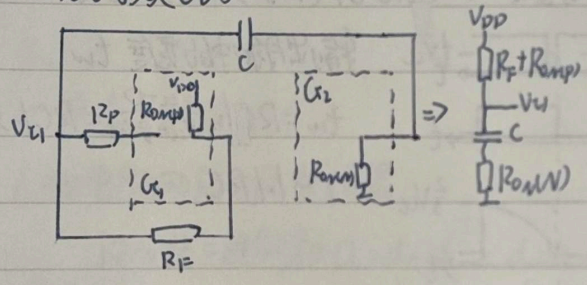
R_p : 解除钳位; G_1, G_2 为 CMOS 反相器

放电等效电路



$R_{on(n)}$ 和 $R_{on(p)}$ 分别表示 N/P 沟道 Mos 管的导通内阻
当 $R_F \gg R_{on(n)}$ 和 $R_{on(p)}$ 时

充电等效电路



$$T_1 \approx R_F C \ln \frac{V_{DD} - (V_{TH} - V_{DD})}{V_{DD} - V_{TH}} = R_F C \ln 3$$

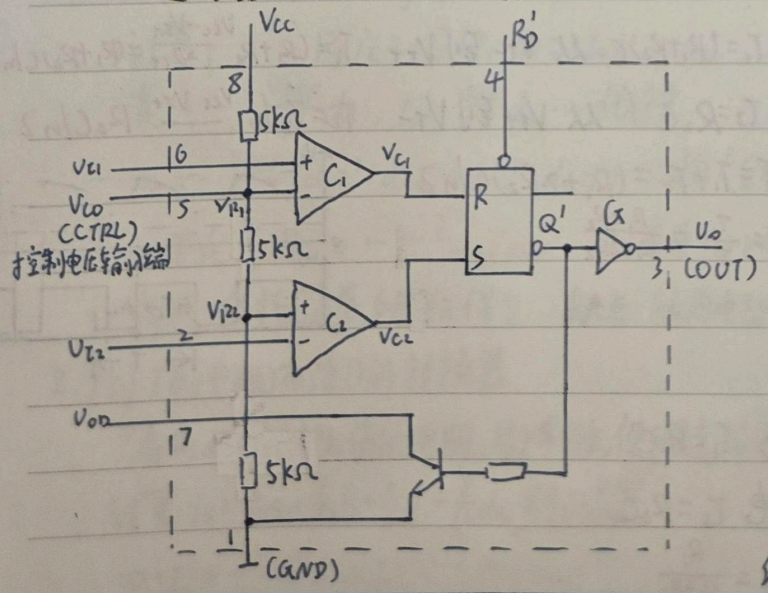
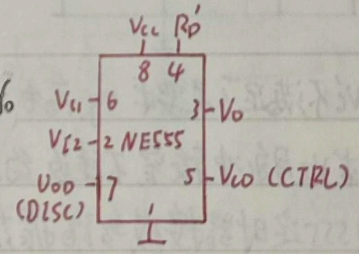
$$T_2 \approx R_F C \ln \frac{0 - (V_{TH} + V_{DD})}{0 - V_{TH}} = R_F C \ln 3$$

$$\Rightarrow T = T_1 + T_2 = 2 R_F C \ln 3$$

五. 石英晶体多谐振荡电路: 振荡频率为石英晶体固有谐振频率

§ 7.5 555 定时器及其应用

一. 555 定时器的电路结构与功能



组成: 单限电压比较器 C_1 (同相输入) C_2 (反相输入)
SR 锁存器、OC 门结构 T_0
当 V_{CO} 悬空时 $V_{R1} = \frac{2}{3} V_{CC}, V_{R2} = \frac{1}{3} V_{CC}$
当 V_{CO} 外接固定电压, $V_{R1} = V_{CO}, V_{R2} = \frac{1}{2} V_{CO}$

功能表: (模拟)输入 状态 (数字)输出

R_D'	V_{b1}	V_{c2}	R	S	V_O 即 Q	T_0 状态
0	X	X			0	导通
1	$> V_{R1}$	$> V_{R2}$	1	0	0	导通
1	$< V_{R1}$	$> V_{R2}$	0	0	不变	不变
1	$< V_{R1}$	$< V_{R2}$	0	1	1	截止
1	$> V_{R1}$	$< V_{R2}$	1	1	1	截止

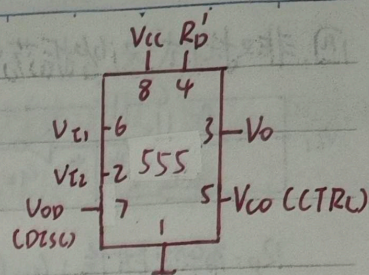
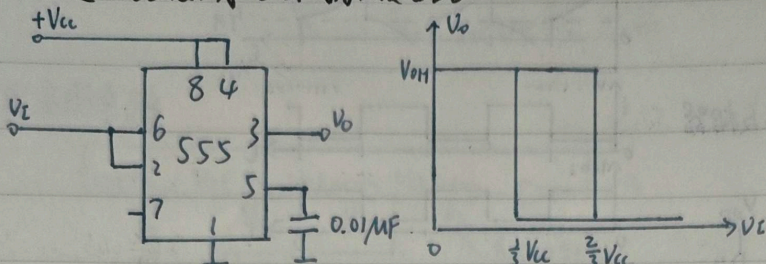
约束条件 \rightarrow

$$f(t) = f(\infty) + [f(0^+) - f(\infty)]e^{-\frac{t}{\tau}}$$

$$\Rightarrow t = \tau \ln \frac{f(\infty) - f(0^+)}{f(\infty) - f(t)}$$

二、555 定时器的应用

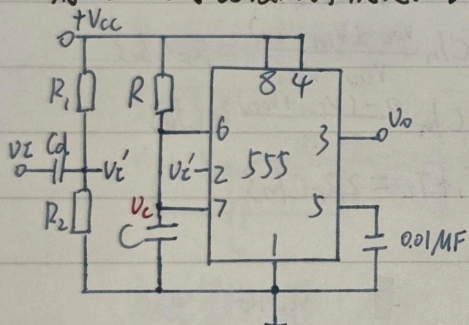
1. 用 555 定时器接成施密特触发器



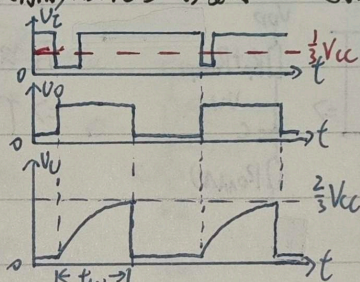
$$V_{T+} = \frac{2}{3}V_{cc} \quad V_{T-} = \frac{1}{3}V_{cc} \Rightarrow \Delta V_T = \frac{1}{3}V_{cc}$$

0.01μF 滤波电容: 提高比较器参考电压 V_{R1} 和 V_{R2} 的稳定性, 滤除高频干扰

2. 用 555 定时器接成单稳态电路 不可重复触发, 负脉冲触发



没有触发信号时, 要求 V_i' 处于高电平 (大于 $\frac{1}{3}V_{cc}$), 稳态 $V_o = 0$



输出脉冲的宽度 t_w

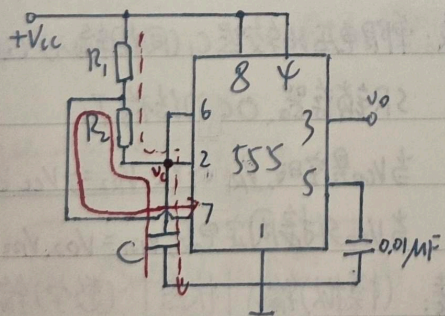
$$t_w = RC \ln \frac{V_{cc} - 0}{V_{cc} - \frac{2}{3}V_{cc}} = RC \ln 3$$

$$\approx 1.1RC$$

① 若 V_i 大小不满足要求, eg. 高电平 3.4V, 低电平 0.1V, 可在输入端加上一分压电路, 使 $V_{iH} > \frac{1}{3}V_{cc}$, $V_{iL} < \frac{1}{3}V_{cc}$

② 要求 V_i 脉冲较窄, 不违反约束条件 $SR = 0$. 若 V_i 太宽, 可取上图所示微分电路

3. 用 555 定时器接成多谐振荡电路

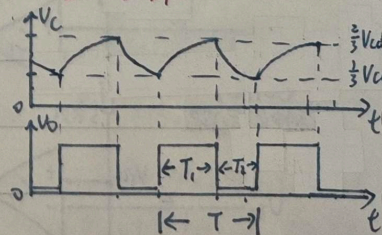


充电 $T_1 = (R_1 + 2R_2)C$ 从 V_{T-} 到 V_{T+} $T_1 = T_1 \ln \frac{V_{cc} - V_{T-}}{V_{cc} - V_{T+}} = (R_1 + 2R_2)C \ln 2$

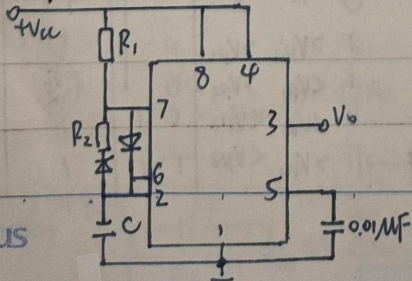
放电 $T_2 = R_2C$ 从 V_{T+} 到 V_{T-} $T_2 = T_2 \ln \frac{0 - V_{T+}}{0 - V_{T-}} = R_2C \ln 2$

$$T = T_1 + T_2 = (R_1 + 2R_2)C \ln 2$$

$$q = \frac{T_1}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$$



另一种画法



充电 $T_1 = R_1C$

放电 $T_2 = R_2C$

$$q = \frac{R_1}{R_1 + R_2}$$

第八章 DAC与ADC

§ 8.1 概述

模数转换即A/D转换 ADC (Analog-Digital Converter)

数-模转换即D/A转换 DAC (Digital-Analog Converter)

衡量ADC和DAC性能优劣的主要标志: 转换精度, 转换速度

DAC — 电流求和型: 一组支路电流数量间的比例与二进制中每一位的权重成正比

分压器型: 用输入数字量的每一位去控制分压器中的一个开关, 使输出电压与输入数字量成正比

ADC — 直接ADC: 输入(模拟) → 输出(数字)

间接ADC: 输入(模拟) → 中间变量(时间、频率等) → 输出(数字)

在数字量的输入/输出上, DAC → 并行输入/串行输入 ADC → 并行输出/串行输出

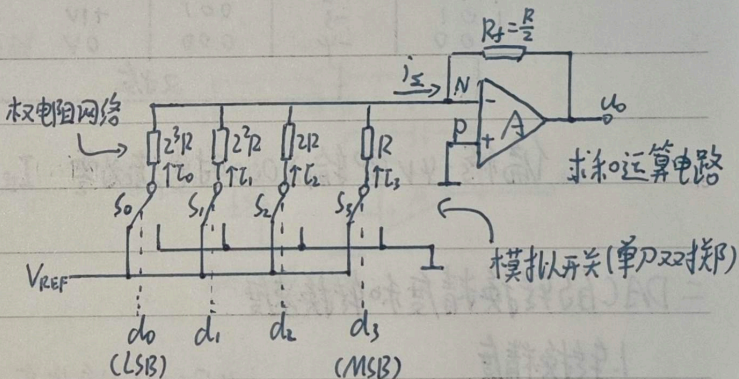
§ 8.2 DAC

一. 电流求和型DAC

1. 权电阻网络D/A转换器

设n位二进制数 $D_n = d_{n-1}d_{n-2} \dots d_1d_0$

权为 $\frac{1}{2^{n-1}} \frac{1}{2^{n-2}} \dots \frac{1}{2^1} \frac{1}{2^0}$



最高位MSB (Most Significant Bit)

最低位LSB (Least Significant Bit)

计算: $U_o = -R_f i_z = -\frac{R}{2} (I_3 + I_2 + I_1 + I_0)$

其中: $I_3 = \frac{V_{REF}}{R} d_3, I_2 = \frac{V_{REF}}{2R} d_2 \dots$ 代入得

$U_o = -\frac{V_{REF}}{2^N} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \Rightarrow$ 推广至n位 $U_o = -\frac{V_{REF}}{2^n} (d_{n-1} 2^{n-1} + \dots + d_1 2^1 + d_0 2^0) = -\frac{V_{REF}}{2^n} D_n \propto D_n$

U_o 变化范围 $0 \sim -\frac{2^n}{2^n} V_{REF}$ 注: 若要 $U_o > 0$, 可取 V_{REF} 为负值

优点: 结构简单, 所用元件少 缺点: 所用电阻阻值相差较大, 难以保证电阻的精度

2. 倒T形电阻网络D/A转换器

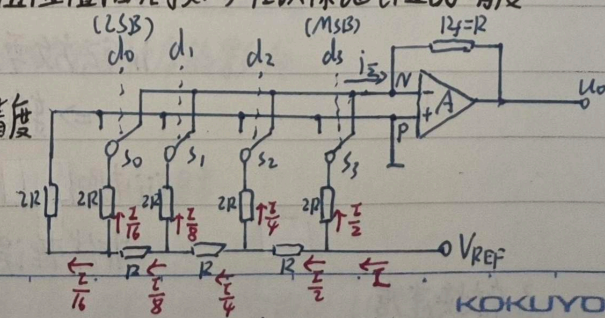
只有R, 2R两种阻值的电阻, 易于制作, 便于提高精度

计算: $i_z = \frac{I}{2} d_3 + \frac{I}{4} d_2 + \frac{I}{8} d_1 + \frac{I}{16} d_0$, 其中 $I = \frac{V_{REF}}{R}$

$\Rightarrow U_o = -\frac{V_{REF}}{2^n} D_n \propto D_n$

倒T形电阻网络单片集成DAC: AD7520

10位输出, $U_o = -\frac{V_{REF}}{2^{10}} D_{10}$. 使输出电压变化范围缩小一半的方法: ①将 V_{REF} 减半 ②将反馈电阻阻值减半



计算: 在倒T形电阻网络DAC中, 要求 V_{REF} 偏离标准值所引起

U_0 的误差小于 $\frac{1}{2}LSB$, 求 V_{REF} 的相对稳定度

解: 由 $V_0 = -\frac{V_{REF}}{2^n} D_n$ 知 $|V_0| \leq \frac{1}{2}LSB = \frac{1}{2} \cdot \frac{|V_{REF}|}{2^n}$, $|\Delta V_0| \leq \frac{2^{n-1}}{2^n} |\Delta V_{REF}|$

$\Rightarrow \frac{2^{n-1}}{2^n} |\Delta V_{REF}| \leq \frac{1}{2} \frac{|V_{REF}|}{2^n} \Rightarrow \left| \frac{\Delta V_{REF}}{V_{REF}} \right| = \dots$

3. 电流型 DAC

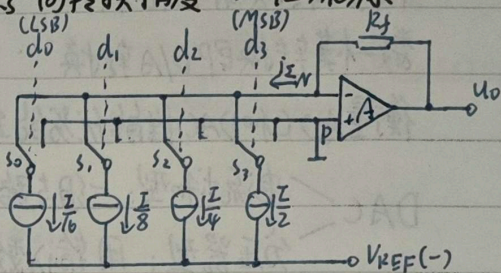
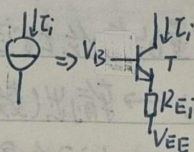
由于模拟开关有一定的导通压降和导通内阻, 带来转换误差, 影响转换精度 \Rightarrow 恒流源

计算: $U_0 = -I_{\Sigma} R_f = R_f \left(\frac{I}{2^3} d_3 + \frac{I}{2^2} d_2 + \frac{I}{2^1} d_1 + \frac{I}{2^0} d_0 \right)$
 $= \frac{R_f I}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) = \frac{R_f I}{2^4} D_4$

$U_0 = \frac{R_f I}{2^n} D_n \propto D_n$

恒流源: $I_i = \frac{V_B - V_{EE} - V_{BE}}{R_{Ei}}$

选用不同的电阻 R_{Ei} 可获得不同 I_i

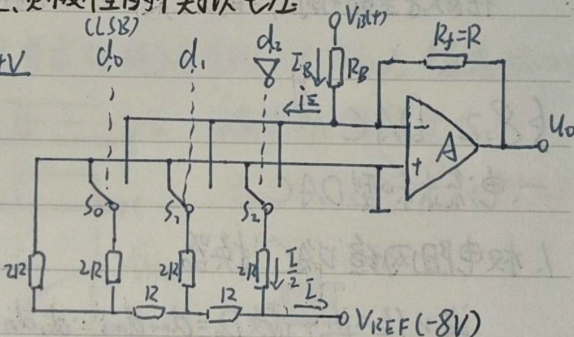


4. 具有双极性输出的DAC

要求: 能将各以补码形式的正、负数分别转换成正、负极性的模拟电压

特性	补码输入 $d_3 d_2 d_1 d_0$	对应的 十进制数	取反后输入 $\bar{d}_3 \bar{d}_2 \bar{d}_1 \bar{d}_0$	输出 无偏移	输出 偏移 -4V
	0 1 1 1	+3	1 1 1 1	+3V	+3V
	0 1 1 0	+2	1 1 1 0	+2V	+2V
	0 0 1 1	+1	1 1 0 1	+1V	+1V
	0 0 1 0	0	1 1 0 0	+0V	0V
	1 1 1 1	-1	0 1 1 1	+3V	-1V
	1 1 1 0	-2	0 1 1 0	+2V	-2V
	1 0 1 1	-3	0 0 1 1	+1V	-3V
	1 0 1 0	-4	0 0 1 0	0V	-4V

又按



偏移 -4V 即输入 000 时电流为零 $I_B = \frac{V_B}{R_B} = I_{\Sigma|000} = \frac{I}{2} = \frac{|V_{REF}|}{2R}$ 其中 $I = \frac{-V_{REF}}{R}$

二. DAC 的转换精度和转换速度

1. 转换精度

n 位 DAC 的分辨率 = $\frac{1}{2^n - 1}$ ★

① 理论精度: 分辨率: 用输入 = 进制的位数给出, 分辨率为 n 位的 DAC 给出 2^n 个等级的 U_0

② 实际精度: 转换误差: 用最低有效位的位数表示 eq. 转换误差为 $\frac{1}{2}LSB$

转换误差的来源: i) V_{REF} 偏差 ΔV_{REF}

$U_0 = -\frac{V_{REF}}{2^n} D_n \Rightarrow \Delta U_0 = -\frac{\Delta V_{REF}}{2^n} D_n$, 当前 D_n 越大, 产生 ΔU_0 越大

ii) 运放零点漂移 (温漂) $U_0 = -\frac{V_{REF}}{2^n} D_n + \Delta U_0$, 与当前 D_n 无关

\Rightarrow 输出电压的转换特性曲线向上/下平移

iii) 电阻阻值偏差, 模拟开关存在导通内阻和导通压降 \Rightarrow 非线性误差

非线性误差可能导致 DAC 转换特性存在局部非单调性

2. 转换速度

定量描述: 建立时间 t_{set} : 从输入数字量发生突变开始, 到 U_0 进入与稳态值相差 $\frac{1}{2}LSB$ 范围以内的时间

§8.3 ADC

转换速度: 并联比较型 > 逐次逼近型 > 双积分型

一、A/D 转换的基本原理

A/D 转换的过程: 输入模拟电压信号 \rightarrow 采样 \rightarrow 量化 \rightarrow 编码 \rightarrow 输出数字信号

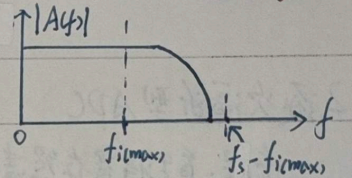
1. 采样: 时间上的离散性

采样定理 (奈奎斯特定理): 设模拟信号 u_i 的最高频率分量的频率为 $f_{i(max)}$,

取样信号 u_s 的采样频率为 f_s , 为了能从 u_s 将原来的被采样信号恢复, 必须满足 $f_s \geq 2f_{i(max)}$

通常取 $f_s = (3 \sim 5) \cdot f_{i(max)}$

在满足采样定理的条件下, 可以用低通滤波器将 u_s 还原为 u_i



2. 量化: 数值上的离散性

将采样电压 u_s 表示为某个规定最小数量单位 (Δ) 的整数倍 \rightarrow 化分量化电平的方法

3. 编码: 将量化的结果用二进制代码表示出来.

(a) 只舍不入 $\Delta = \frac{1}{2^n} V_{REF}$ 最大量化误差 Δ

(b) 四舍五入 $\Delta = \frac{2}{2^{n+1}} V_{REF}$ $\frac{1}{2} \Delta$

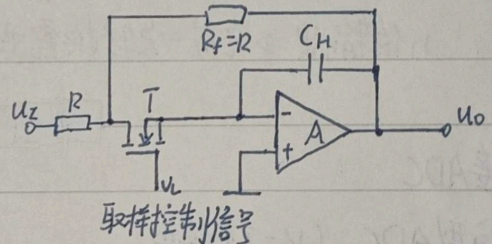
二、取样-保持电路 (S/H 电路) Sample/hold

T 为 N 沟道增强型 MOS 管, 作模拟开关

1. 当 $v_i = 1$ 时, T 导通, u_i 经 R, T 向电容 C_H 充电,

充电结束 $u_o = -u_i$

2. 当 $v_i = 0$ 时, T 截止, u_o 保持不变



三、直接 ADC

1. 并联比较型 ADC (闪速 ADC, Flash ADC)

输入模拟电压 u_i $\xrightarrow[\text{7个比较器}]{\text{并联电阻比较器}}$ 状态 $V_{i1} \sim V_{i7}$ $\xrightarrow{\text{代码转换器}}$ MSB LSB $d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0$

转换精度: 主要取决于量化电平的划分, 分得越细 (即 Δ 越小) 精度越高

还受 V_{REF} 稳定性、R 相对精度及比较器灵敏度的影响

优点: 转换速度快

缺点: 需要较多比较器和规模较大的代码转换电路; 很贵

输出为 n 位二进制代码的转换器需要 $2^n - 1$ 个比较器

采用改进划分量化电平, 量化单位 $\Delta = \frac{2}{2^{n+1}} V_{REF}$ 最大量化误差 $\frac{1}{2} \Delta = \frac{1}{2^{n+1}} V_{REF}$, 比较电压 $\frac{1}{2} \Delta, \frac{3}{2} \Delta, \dots, \frac{2^{n-1}-1}{2} \Delta$

要求 V_{REF} 变化引起的误差 $\leq \frac{1}{2} \text{LSB}$, 即 $\frac{2^{n-1}-3}{2^{n+1}-1} \Delta V_{REF} \leq \frac{1}{2} \Delta$

$\frac{2^{n-1}-3}{2^{n+1}-1} V_{REF}$

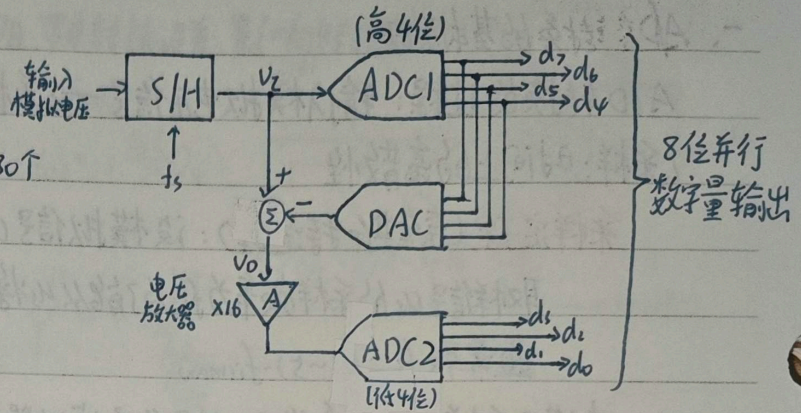
半闪速型 ADC (Half-Flash ADC)

优点: 可大大压缩电路规模

eg. 8位输出所需比较器数量

闪速: $2^8 - 1 = 255$ 个 半闪速: $2(2^4 - 1) = 30$ 个

缺点: ADC1, DAC, ADC2 串行工作, 转换速度比闪速型略小



2. 逐次逼近型 ADC

流程: 首先将寄存器清零, 置为 100...00, 该数字被 DAC 转换成 V_0 与 V_x 比较

① 若 $V_0 > V_x$, 则去掉这个 1

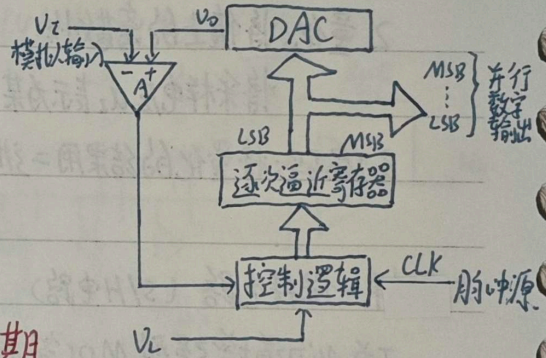
② 若 $V_0 < V_x$, 则保留

这样逐位比较下去, 最后寄存器里所存即所求的输出

思想: 二分法 输出有几位就需要比较几次

特点: 转换速度略小于并联比较型, 但电路规模更小

n 位输出 \Rightarrow 完成一次转换需要 $n+2$ 个时钟信号周期



四. 间接 ADC

1. 双积分型 ADC (V-T 变换型)

流程: 先将输入的模拟电压信号转换成与之成正比的

时间宽度信号, 再在时间宽度内对固定频率的脉冲计数

步骤: ① 充电固定时间 T_1 , $V_0(t=T_1) = \frac{1}{C} \int_0^{T_1} \frac{V_x}{R} dt = \frac{T_1}{RC} V_x$

② 放电至放空, $V_0(t=T_2) = \frac{1}{C} \int_0^{T_2} \frac{V_{REF}}{R} dt - \frac{T_1}{RC} V_x = 0$

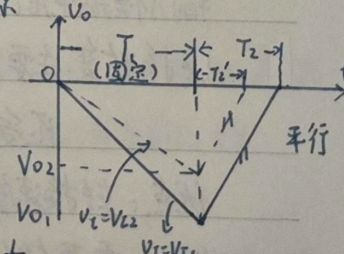
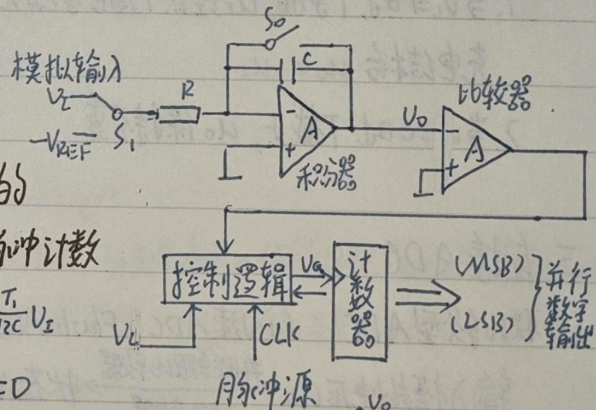
$$\Rightarrow T_2 = \frac{T_1}{V_{REF}} V_x$$

③ 放电时用 f_c 的时钟脉冲计数, 计数结果 $D = \frac{T_2}{T_c} = \frac{T_1 V_x}{T_c V_{REF}} \propto V_x$

优点: 工作性能稳定, 抗干扰能力强, 缺点: 工作速度低

完成转换所需的最长时间 $T_{max} = 2T_1 = 2 \cdot 2^n T_c$ 其中 n 为计数器位数, $T_c = \frac{1}{f_c}$

对 V_x 转换时间 $T = T_1 + T_2 = T_1 + \frac{T_1}{V_{REF}} V_x$



Campus 输出数字量 $D = \frac{2^n}{V_{REF}} V_x$