

实验三 时序逻辑电路实验

第 1 步： 5 分

实验目的：（简要写出）

- (1) 熟悉常用触发器逻辑功能的测试及使用方法。
- (2) 理解计数器的工作原理和逻辑功能。
- (3) 掌握时序逻辑电路的设计方法。
- (4) 学会在实际电路中正确使用计数器。

第 2 步： 5 分

实验原理：（简要写出）

同步时序逻辑电路的设计步骤为：

- 1、逻辑抽象，得出电路的状态转换图或状态转换表
- 2、状态化简，最简化电路设计方案
- 3、状态分配，确定时序电路所需的触发器数量
- 4、选定触发器的类型，求出电路的状态方程、驱动方程和输出方程
- 5、根据得到的方程式画出逻辑图
- 6、检查设计的电路能否自启动

异步时序逻辑电路的设计步骤与同步时序逻辑电路类似，只是在选定触发器类型后需要为每个触发器选定时钟信号。挑选时钟的原则是：

- 一，触发器的状态应该翻转时必须有时钟信号；
- 发生；二，触发器的状态不应翻转时“多余的”时钟信号越少越好。

D 触发器真值表

CLK	D	Q*
↑	0	0
↑	1	1

J-K 触发器真值表

S'D	R'D	J	K	CLK	Q*	Q**
0	1	x	x	x	1	0
1	0	x	x	x	0	1
1	1	0	0	↓	Q	Q'
1	1	0	1	↓	0	1
1	1	1	0	↓	1	0
1	1	1	1	↓	翻转	

第 3 步： 8 分

预习题（拍照或截图，可上传多张图片）

专业-班级: 自动化1班

专业-班级: 自动化1班

学号: 210320111

姓名: 吕宗星

实验检查记录表:

预习	一	二	三	四	作业完成时间	五(选做)
预习已做	预习已做	预习已做	预习已做	预习已做	16:26	

- 1、D 触发器的状态方程:  $Q^* = D$   
2、JK 触发器的状态方程:  $Q^* = JQ' + K'Q$

### 3.5.1 集成 J-K 触发器功能测试


(作实验做, 预习不做该表格) 表 3-6 基本 J-K 触发器真值表

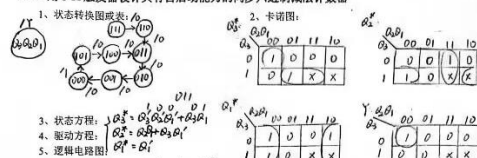
$\overline{A}_6$	$\overline{A}_5$	CLK	J	K	Q	Q'
0	1	x	x	x	x	1
1	0	x	x	x	x	0
1	1	↑	0	0	0	0
1	1	↓	0	0	0	0
1	1	↑	0	0	1	1
1	1	↓	0	0	1	1
1	1	↑	0	1	0	0
1	1	↓	0	1	0	0
1	1	↑	0	1	1	1
1	1	↓	0	1	1	1
1	1	↑	1	0	0	0
1	1	↓	1	0	0	0
1	1	↑	1	0	1	1
1	1	↓	1	0	1	1
1	1	↑	1	1	0	0
1	1	↓	1	1	0	0
1	1	↑	1	1	1	1
1	1	↓	1	1	1	1

### 3.5.2 触发器逻辑功能的转换

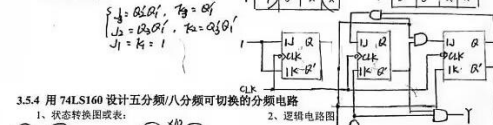
- 1、图中 D 触发器的状态方程： $Q^* = Q'$ ，转换成  $T^*$  触发器。  
2、图中 JK 触发器的状态方程： $Q^* = JQ' + KQ$ ，转换成  $T^*$  触发器。  
3、做完实验后，附上 C, Q1, Q2 的波形，分析 Q1 与 C 是什么关系？Q2 与 C 是什么关系？

### 3.5.3 用 J-K 触发器设计具有自启动能力的同步六进制减法计数器

1. 状态转换图或表:  2. 卡诺图:

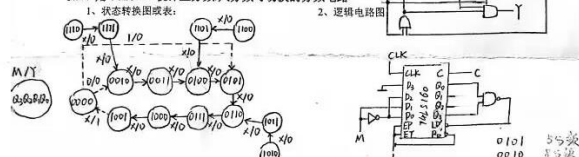


- 3、状态方程:  $\begin{cases} \dot{Q}_3^* = Q_3^* Q_2^* Q_1^* + Q_3 Q_1 \\ \dot{Q}_2^* = Q_2^* + Q_3 Q_1^* \\ \dot{Q}_1^* = Q_1^* \end{cases}$



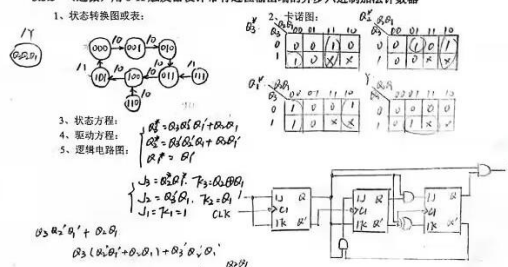
### 3.5.4 用 74LS160 设计五分频/八分频可切换的分频电路

- 1、状态转换图或表:

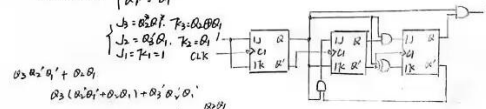


3.5.5 \* (选做) 用 J-K 触发器设计带有进位输出端的异步六进制加法计数器

- 1、状态转换图或表:



- 3、状态方程:  $\dot{Q}_1^* = Q_2 Q_1' B_1' + Q_2 Q_1$   
4、驱动方程:  $Q_2^* = Q_1' Q_2' Q_1 + Q_2 Q_1'$   
5、逻辑电路图:  $Q_2^* = Q_1'$



### 3.5.1 集成 J-K 触发器功能测试

完成“表 3-1 基本 J-K 触发器真值表”（截图或拍照），并简述 JK 触发器的逻辑功能。

当 CLK 产生下降沿时:

$J=0, K=0, Q$  保持不变;

J=0, K=1, Q=0;

J=1, K=0, Q=1;

J=1, K=1, Q 翻转。

当异步置位端  $S'D$  为低电平时，立即使  $Q=1$

当异步复位端 R'D 为低电平时，即使  $Q=0$

### 3.5.1 集成 J-K 触发器功能测试

(作实验做, 预习不做该表格) 表 3-6 基本 J-K 触发器真值表

$\overline{S_D}$	$\overline{R_D}$	CLK	J	K	Q	Q'
0	1	x	x	x	x	1
1	0	x	x	x	x	0
1	1	↑	0	0	0	0
1	1	↓	0	0	0	0
1	1	↑	0	0	1	1
1	1	↓	0	0	1	1
1	1	↑	0	1	0	0
1	1	↓	0	1	0	0
1	1	↑	0	1	1	1
1	1	↓	0	1	1	1
1	1	↑	1	0	0	0
1	1	↓	1	0	0	1
1	1	↑	1	0	1	1
1	1	↓	1	0	1	1
1	1	↑	1	1	0	0
1	1	↓	1	1	0	1
1	1	↑	1	1	1	1
1	1	↓	1	1	1	0

第 6 步: 10 分

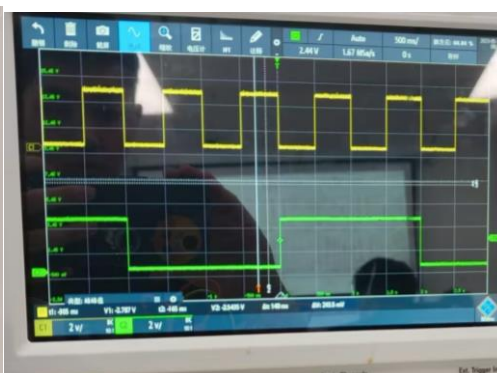
### 3.5.2 触发器逻辑功能的转换

D 触发器转换为 T 触发器, JK 触发器转换为 T 触发器

图中黄色波形均为 C, 绿色波形图 1、图 2 分别为 Q1, Q2

当 C 上升沿产生时, Q1 翻转一次

当 C 下降沿产生 2 次时, Q2 翻转一次



## 第 7 步： 10 分

### 3.5.3 用 J-K 触发器设计具有自启动能力的同步六进制减法计数器

简述实验现象。

接入时钟信号后，数码管依次循环显示“543210”

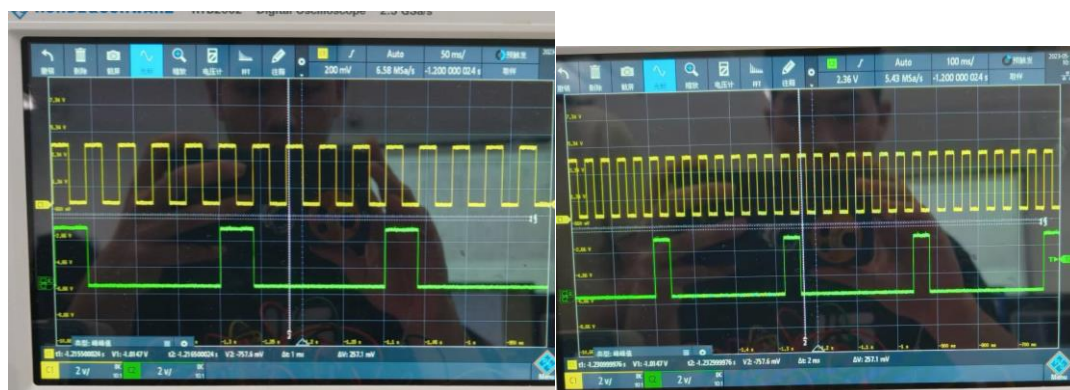
## 第 8 步： 10 分

### 3.5.4 用 74LS160 设计五分频/八分频可切换的分频电路

简述实验现象，给出五分频波形图、八分频波形图（拍照或截图）。

M=0 时，输出信号周期为时钟信号的 5 倍

M=1 时，输出信号周期为时钟信号的 8 倍

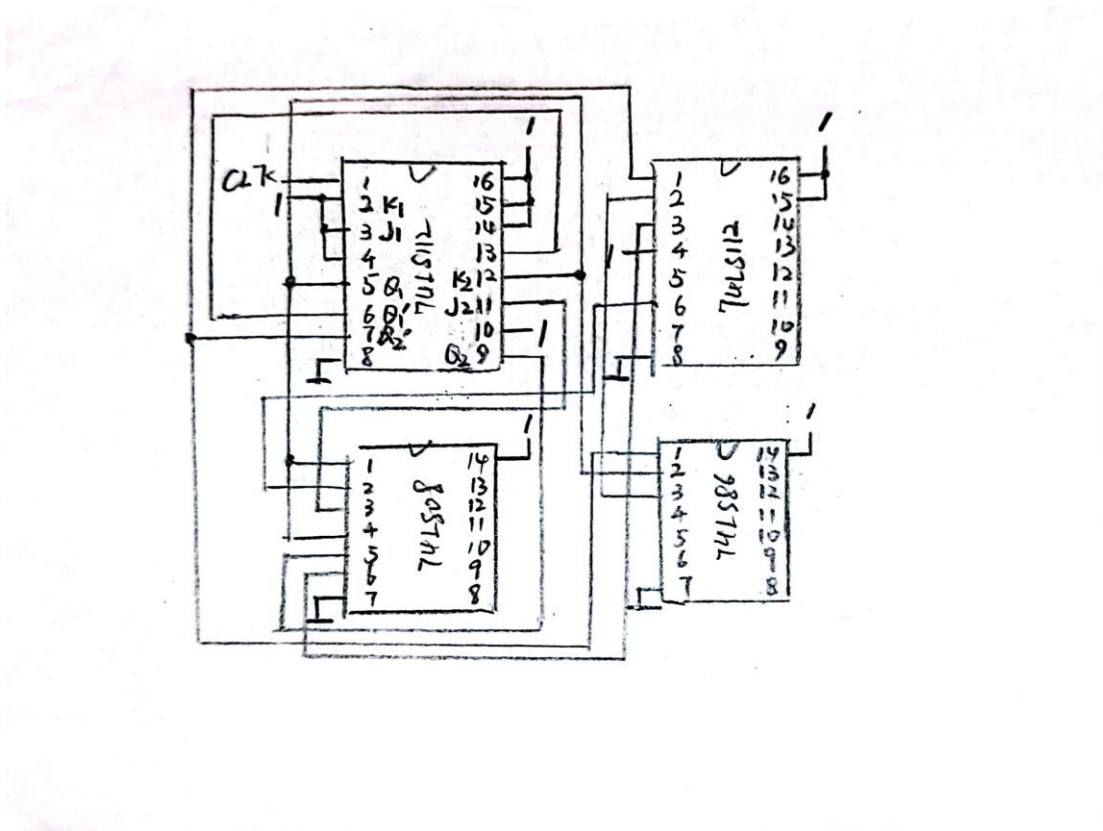


## 第 9 步： 10 分

### 3.5.5 \*用 J-K 触发器设计带有进位输出端的异步六进制加法计数器（选做）

简述实验现象。

*（课前画的电路，实际并未成功实现功能）*



## 实验思考

### 第 1 题： 10 分

(1) 各类触发器中  $R_D'$   $R_D'$ 端和  $S_D'$   $S_D'$  端的作用是什么？

$R_D'$ ,  $S_D'$  能直接将 Q 置为 1 或 0。

### 第 2 题： 10 分

(2) 实验中使用的 74LS74 和 74LS112 是什么触发方式的触发器？

74LS74 是上升沿触发器，74LS112 是下降沿触发器。

### 第 3 题： 10 分

(3) 如果使用 74LS162/163 芯片实现六进制和十二进制计数器，电路设计方

案与现有的 74LS160/161 芯片有何区别？

74LS160/161 为异步清零，而 74LS162/163 为同步清零。

因此使用  $R_D'$  端置零实现 6 进制计数器时，74LS160/161 需在  $Q_3Q_2Q_1Q_0=0110$  时拉低  $R_D'$ ，74LS162/163 在  $Q_3Q_2Q_1Q_0=0101$  时拉低。

类似地，实现 12 进制计数器时，74LS160/161 与 74LS162/163 分别在  $Q_3Q_2Q_1Q_0=1100$  或  $1011$  时拉低  $R_D'$ 。

由于两者均为同步置数，因此使用置数法设计时两者电路相同。

#### 第4题：10分

（4）什么叫反馈归零法？什么叫置数法？二者有何不同？

对于同步置零/数  $N$  进制计数器，

置零法：当从全 0 状态到达  $M-1$  状态时，译出置零信号。当下一个时钟信号产生时，同步置零端  $R'D$  拉低，计数器立即返回 0 状态（跳过  $N-M$  个状态），实现  $M$  进制计数。

置数法：当计数器在某个状态时译出置数信号，下一个时钟信号产生时拉低置数端  $LD'$ ，此时计数器状态与  $D_3D_2D_1D_0$  所加信号相同。此法可跳过  $N-M$  个状态，实现  $M$  进制计数器。

置零法计数器只能工作在  $0 \sim M-1$  状态，而置数法可工作在任意  $M$  个状态。