

# 第十一讲 直接存储器访问模块DMA

# DSP

主讲：叶剑

电话：13728639620

Email: [yejian@hit.edu.cn](mailto:yejian@hit.edu.cn)

# 第十一讲：直接存储器访问模块DMA



1、概述

2、F28335的DMA模块

3、寄存器

# 1.1 DMA模块概述

- 数字信号控制器的优势不能纯粹以处理器的速度来衡量，而是以整个系统的能力来衡量。
- 数字信号控制器处理的许多应用操作都要用大量的带宽来移动数据，如从片外存储器到片内存储器，从一个外设（例如一个模数转换器）到RAM，从一个外设到另一个外设之间。
- 例如当控制器读写AD采集的数据时或者读写外部扩展存储器内容时，内存与外设间会存在着大量的数据交换，而且这种交换是经常性的。

# 1.1 DMA模块概述

- 对于这样的数据交换，若采用中断方式响应，每传送一次数据，就要经历中断处理的全部步骤，CPU就会不断的进行中断的相关操作，如将工作现场寄存器压入堆栈，中断结束时，恢复现场，CPU频繁的进行工作现场的切换，非常不专注，效率非常低。
- 有没有一种专用通道，专用的控制器来负责这类经常性的操作，而将CPU资源释放出来呢？

# 1.1 DMA模块概述

- 直接存储访问DMA(Direct Memory Access)模块就是用**硬件**实现存储器与存储器之间、存储器与I/O设备之间直接进行高速数据传送,不需要CPU的干预,减少了中间环节,而且存储器地址的修改和传送均由硬件自动完成,所以极大地提高了**批量**数据的传送速度。

# 第十一讲：直接存储器访问模块DMA

1、概述



2、F28335的DMA模块

3、寄存器

# 2.1 DMA的基本特性

1. 6个DMA通道，6个通道都具有独立的PIE中断
2. 可作为DMA传送的触发信号：
  - ADC序列发生器1中断和序列发生器2中断
  - 多路缓冲串行端口A和B（McBSP-A, McBSP-B）的发送和接收；
  - XINT1-7和XINT13；
  - CPU计时器
  - ePWM1-6 ADCSOCA和ADSOCB信号
  - 软件

# 2.1 DMA的基本特性

## 3. 数据源/目的地

DMA传递数据的来源或者传输的目的地，主要如下：

- L4~L7 16K\*16 SARAM
- 所有XINTF区域（外扩的存储器）
- ADC的结果寄存器
- McBSP-A和McBSP-B发送和接收缓冲器
- ePWM1-6/HRPWM1-6外设第3帧映射寄存器

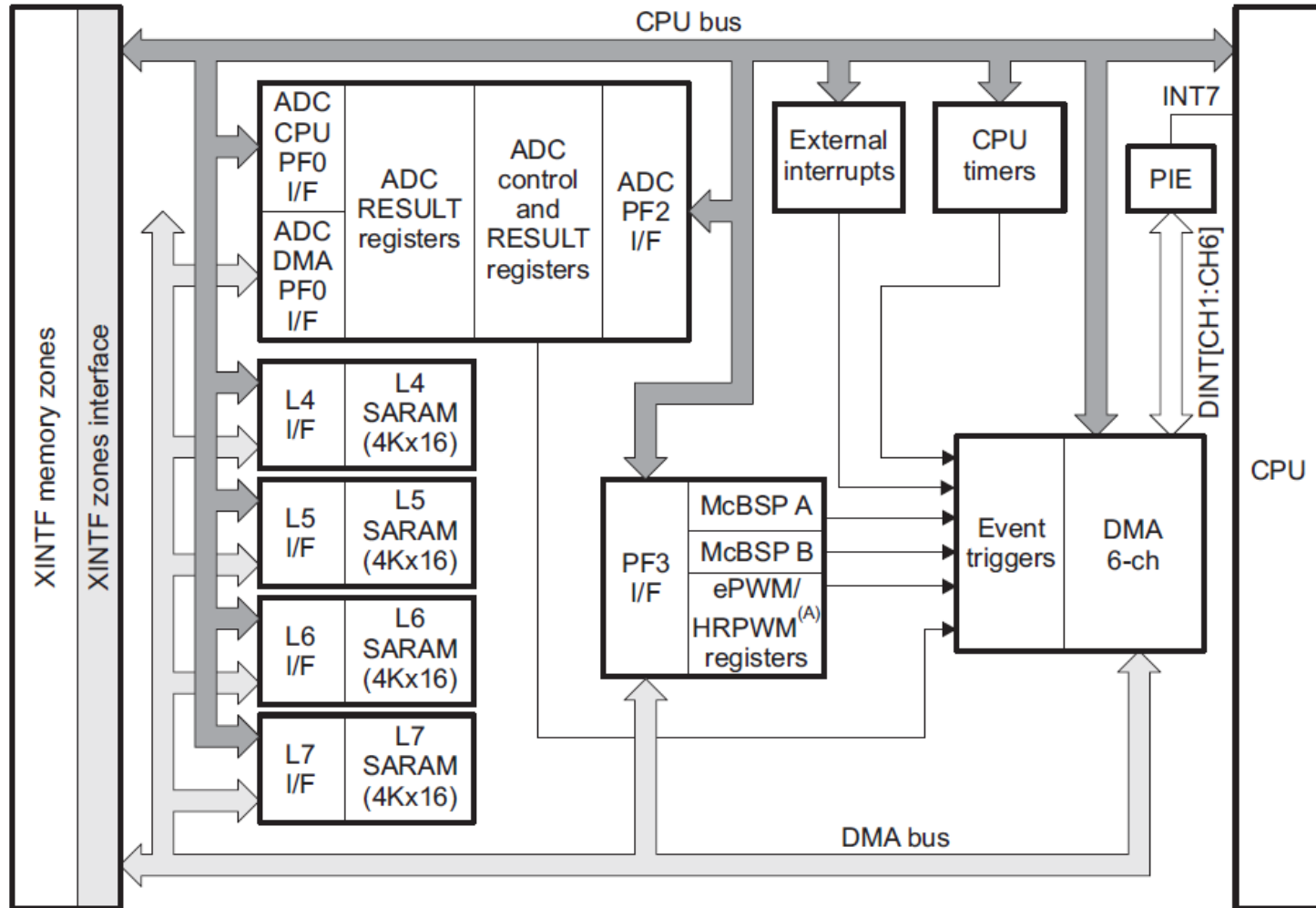
## 4. 字长：

DMA传输数据的字长为：

- 字的大小：16位或32位（McBSP只限于16位）
- 读写操作：4周期/字（对于McBSP 5周期/字进行读取）。

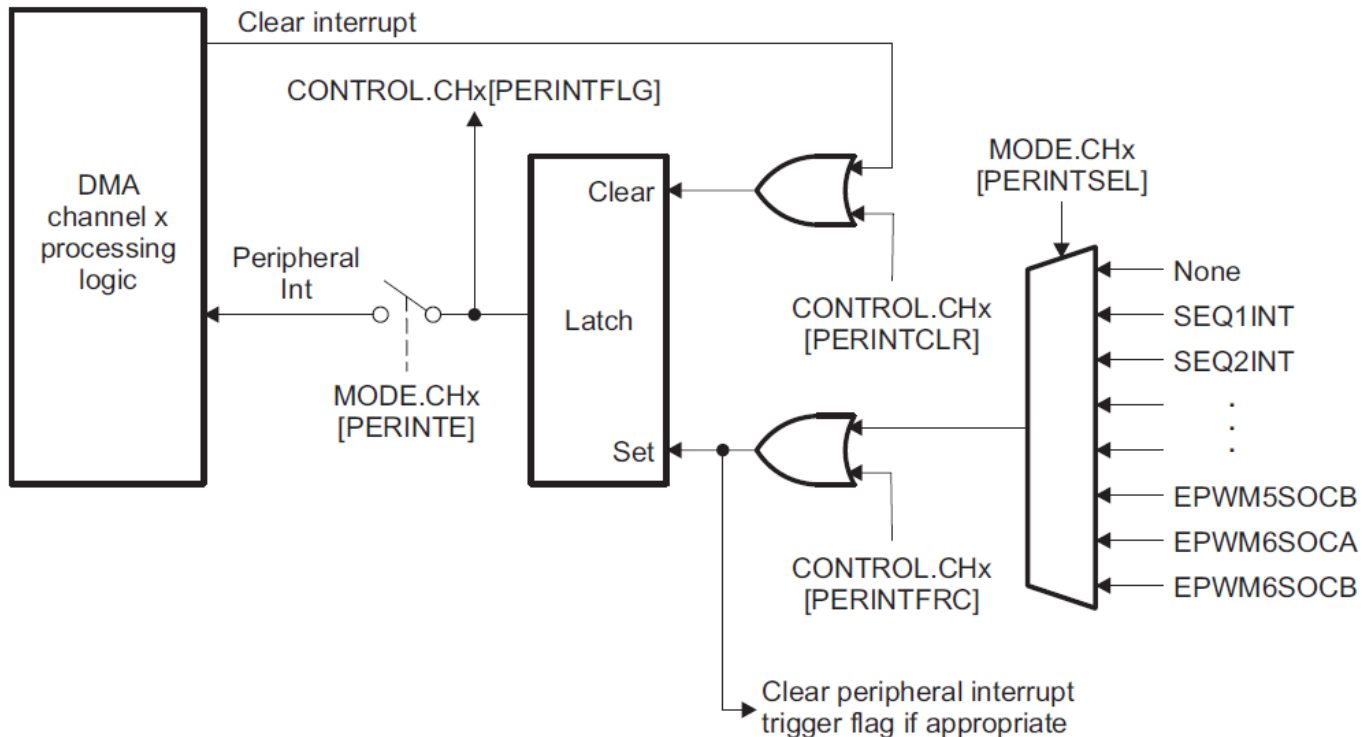


# 2.2 DMA的结构框图



## 2.3 DMA中断源选择电路

- F28335的DMA每个通道都可以选择各自独立的触发源。
- 在接收完一个外设中断触发信号后，DMA会自动地发一个清除信号给中断源，这样后续的中断事件会接着响应。

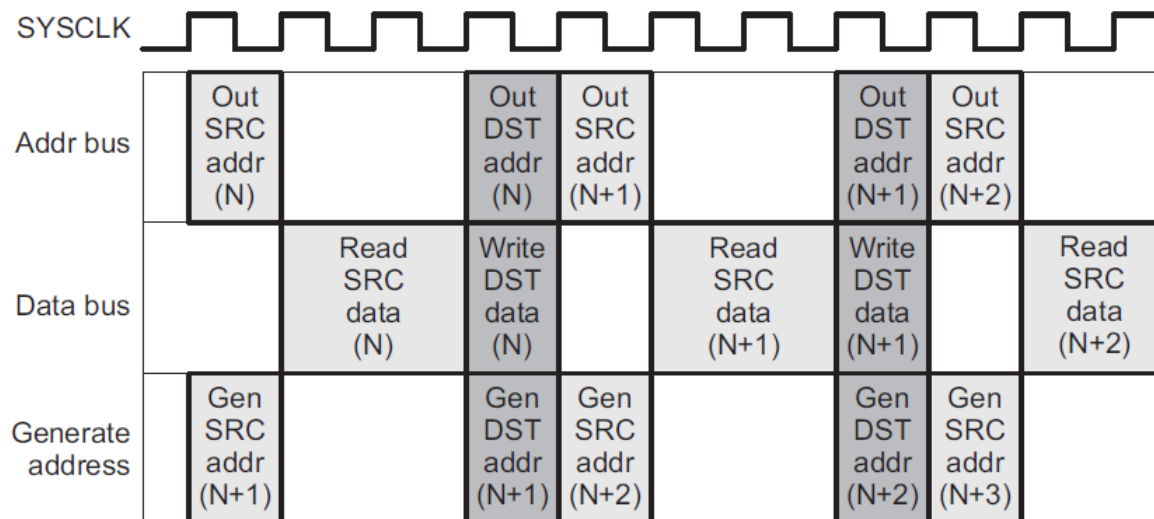


## 2.4 DMA中变量的定义

- 字长Word
  - 16或32位
  - 可由每个DMA通道单独配置
- 突发Burst
  - 由多个word组成
  - 一次可传送数据的最小单元
- 突发长度
  - 每次突发时word的数量
  - 由BURST\_SIZE寄存器控制
    - 5位‘N-1’，最大为每次突发32个 words
- 发送
  - 有多个突发组成
- 发送长度
  - 每次发送的突发个数
  - 由TRANSFER\_SIZE寄存器决定
    - 16位‘N-1’值 – 可满足目前所有应用的需求

## 2.5 DMA流水线机制

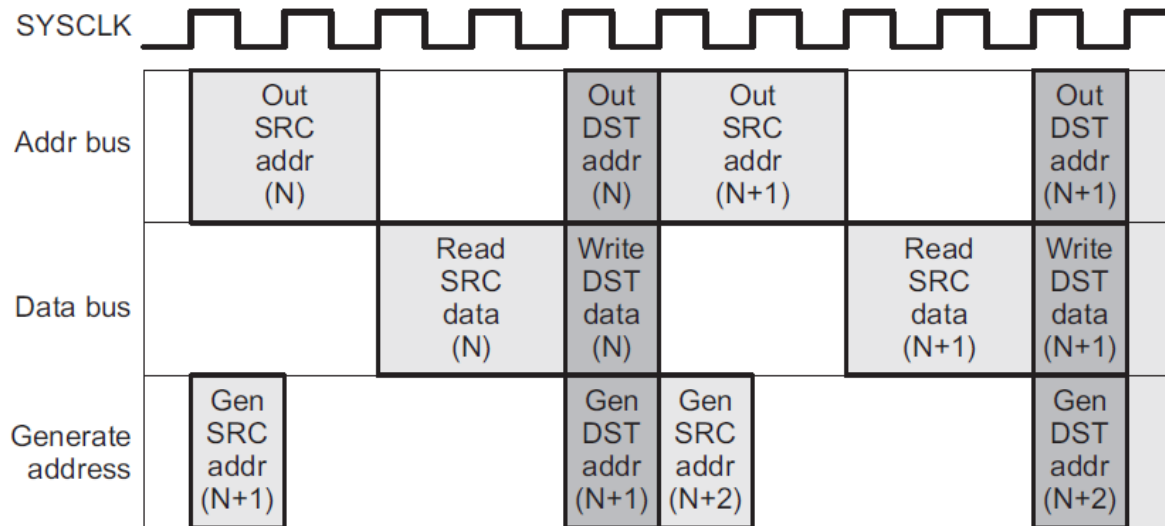
- DMA进行数据传输的时候采用了4级流水线，将数据传输主要分成了如下工序：产生数据源地址，输出数据源地址，读数据源数据，产生目的地址，输出目的地址，写目的数据。
- 读写操作：4周期/字（对于McBSP 5周期/字进行读取）



4-Stage Pipeline DMA Transfer

# 2.5 DMA流水线机制

- DMA进行数据传输的时候采用了4级流水线，将数据传输主要分成了如下工序：产生数据源地址，输出数据源地址，读数据源数据，产生目的地址，输出目的地址，写目的数据。
- 读写操作：4周期/字（对于McBSP 5周期/字进行读取）



**4-Stage Pipeline With One Read Stall (McBSP as source)**

## 2.5 DMA流水线机制

此外还有一些其它操作也会影响到DMA通道的吞吐：

- 1、在每次突发传送之前要增加一个周期的延迟。
- 2、当从CH1高优先级中断返回时也会有一周期延迟。
- 3、32位传输速度是16位传输速度的两倍，传输1个32位的字与传输1个16位的字所花的时间是一样的。
- 4、与CPU的冲突可能增加延迟时间。

## 2.5 DMA流水线机制

例：从ADC到RAM传递128个16位的字，通道被配置成1波传递16个字，每个字要花4个时钟周期，8波能传完，总需时钟周期520个时钟周期

$$8 \text{ bursts} * [(4 \text{ cycles/word} * 16 \text{ words/burst}) + 1] = 520 \text{ cycles}$$

如果相同量的数据，通道被配置成传递32位的字，传递过程为

$$8 \text{ bursts} * [(4 \text{ cycles/word} * 8 \text{ words/burst}) + 1] = 264 \text{ cycles},$$

总需要时钟周期264个，所花时间差不多减半。

也就是对DMA传输而言，采用32位数据线传输，若以16位为字进行传输，即一半吞吐量浪费了。

## 2.6 CPU仲裁

(1) 访问外部存储器接口：

- a、如果CPU和DMA在同一周期内访问任何一个XINTF区域，DMA被响应，CPU的所有访问被挂起（CPU访问正常的优先权顺序是写-读-获取）。
- b、如果CPU访问一个XINTF的区域处于挂起状态或者正在被处理，此时DMA正试图访问该区域，DMA访问会被搁置，直到挂起的CPU访问完成为止。例如一个CPU的读或写的访问在挂起状态，CPU的获取访问在被执行中，首先是完成这个获取访问，然后是CPU的写，接着CPU的读，最后才DMA访问。
- c、如果CPU与DMA同时试图进行操作，则延时一个时钟周期。



## 2.6 CPU仲裁

(2) 其他外设/存储器

a、CPU与DMA同一周期内访问相同接口，DMA优先，CPU被延迟。

b、CPU正在访问，CPU对同一接口的另一个访问在挂起状态，如CPU正在进行写处理，一个读访问在挂起状态，CPU写操作完以后，DMA访问先于读访问执行。对于同一个接口，对于挂起的CPU访问而言，DMA访问有更高优先权。

## 2.7 通道优先级

### (1) ROUND-robin模式

Round-robin模式就是轮次模式，在这个模式下，**所有通道有着平等的优先权**，每一个通道以“轮次”响应的形式被响应到。响应形式如下：

CH1 -> CH2 -> CH3 -> CH4 -> CH5 -> CH6 -> CH1 -> CH2 ->

在上述情况下，每个通道发送一波字以后，下一个通道就会被响应，用户可以指定每个通道的一波字的数量，一旦第6通道（或者是最后一个被使能的通道）响应结束后，并且没有其余被挂起的响应，轮次模式状态机就进入了空闲状态。

## 2.7 通道优先级

### (2) 通道1高优先级模式

在这个模式中，**通道1有高优先权**。如果通道1触发事件发生，其余任何通道在当前字传完（还不是这一波传完）后即被终止，通道1响应，完成数据传送。数据传送完成后，又回到原来执行的传送中。除1以外的其余通道还是平等的，还是以轮次模式执行。

高优先级：CH1

低优先级：CH2 -> CH3-> CH4 ->CH5-> CH6 ->CH2 ->

# 2.8 DMA 2级循环状态机运行模式

以下模式定义了DMA两级循环状态机的运行模式：

(1) 单次触发模式(ONESHOT)。在一次外设中断触发信号到来时，如果使能单次触发模式，则在TRANSFER\_COUNT归零前DMA将连续执行突发传送。如果单次触发模式被禁止，则每次突发传送过程都要由中断触发信号进行触发，直到TRANSFER\_COUNT归零。

10	ONESHOT		One Shot Mode Bit: If this bit is set to 1, then subsequent burst transfers occur without additional event triggers after the first event trigger. If this bit is 0 then only one burst transfer is performed per event trigger.
----	---------	--	--

## 2.8 DMA 2级循环状态机运行模式

以下模式定义了DMA两级循环状态机的运行模式：

(1) 单次触发模式(ONESHOT)。

在MODE.CHX[ONESHOT]位默认设置下,DMA在一次外设中断触发下仅产生一次突发传送。当此次突发传送结束后,即使当前通道的触发信号再次到来,状态机也将根据优先级顺序移动到下一个通道,这样可以防止一个通道独占DMA总线。如果所要传送的总数据量大于一次突发传送的最大数据量,那么可以通过将MODE.CHx[ONESHOT]置位来完成整个传送过程。但需要注意的是,在此模式下将会导致一次触发事件占用绝大部分的DMA带宽。

# 2.8 DMA 2级循环状态机运行模式

以下模式定义了DMA两级循环状态机的运行模式：

(2) 连续触发模式 (CONTINUOUS)。如果连续触发模式被禁止，那么在传送结束后将CONTROL寄存器中的RUNSTS位清零，禁止DMA通道工作。如果要在该通道发起又一次传送过程，则首先要将CONTROL寄存器中的RUN位置1，以重新启动通道。如果连续触发模式被使能，则RUNSTS位在每次传送结束不会被清除。

11	CONTINUOUS		Continuous Mode Bit: If this bit is set to 1, then DMA re-initializes when TRANSFER_COUNT is zero and waits for the next interrupt event trigger. If this bit is 0, then the DMA stops and clears the RUNSTS bit to 0.
----	------------	--	--

# 2.8 DMA 2级循环状态机运行模式

以下模式定义了DMA两级循环状态机的运行模式：

(3) 通道中断模式 (CHINTMODE)。用来定义DMA中断是在传送开始时发生还是在传送结束时发生。如果要用连续模式实现“乒乓”操作，则中断应在传送开始时发生；如果DMA没有工作在连续模式，则中断通常在传送结束时产生。

9	CHINTMODE		Channel Interrupt Generation Mode Bit: This bit specifies when the respective DMA channel interrupt should be generated to the CPU (via the PIE). 0 Generate interrupt at beginning of new transfer 1 Generate interrupt at end of transfer.
---	-----------	--	--

# 第十一讲：直接存储器访问模块DMA

1、概述

2、F28335的DMA模块



3、寄存器



谢谢